



MARATHA MANDAL ENGINEERING COLLEGE

(R.S.No.104, Halbhavi, Post: New Vantmuri Belagavi 591113)

A RESOURCE MATERIAL OF ANALOG CIRCUITS

MULTILINGUAL EDITION – ENGLISH, KANNADA, MARATHI

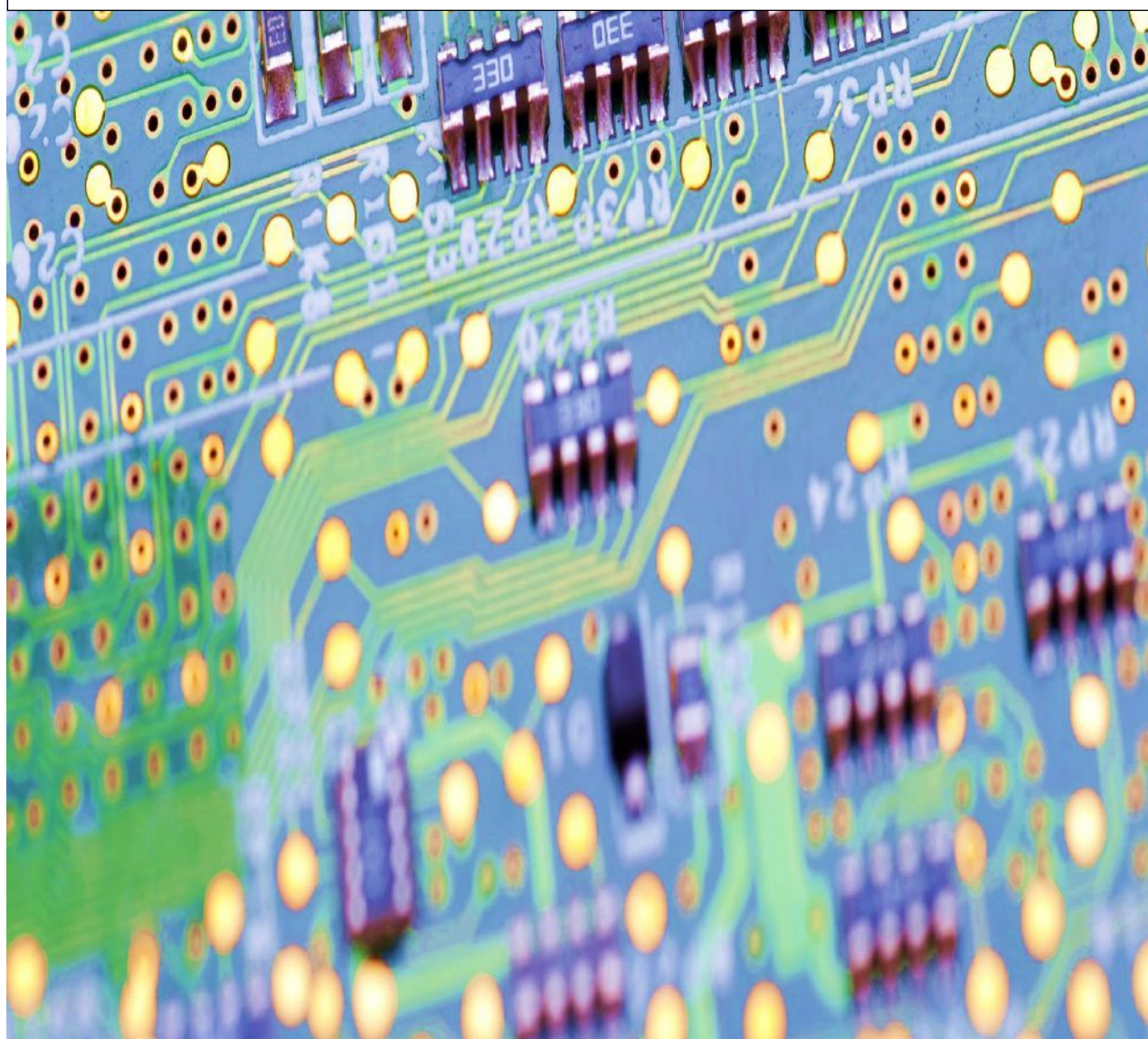
FOR UNDERGRADUATE B. E / B. TECH STUDENTS

COMPILED BY

PROF. MANI.C & PROF. SANDHYA BEVOOR

Department Of Electronics & Communication Engineering

FOR INTERNAL CIRCULATION ONLY



President's Message



Smt. Rajshree Nagraju
President MM Group

*It gives me an immense pleasure to acknowledge the contribution made by the faculties of **Maratha Mandal Engineering College, Belagavi** in introducing the resource material for the student community in all the three languages - English, Marathi and Kannada. This content will be useful for rural background students and vernacular medium students. This is a unique reading material first of its kind as per the guidelines of National Education policy (**NEP**) to be introduced in Engineering education for betterment of students in teaching - learning process.*

Foreward



*I am extremely happy and take this opportunity to highlight that **Prof. Sandhya Bevoor** and **Prof. Mani C.** of Maratha Mandal Engineering college, Belagavi has compiled a Multilingual text book on Analog Circuits which will be helpful to 2nd year undergraduate B.E / B.Tech Students of Electrical and Electronics branches of engineering.*

The faculties from the department of Electronics and Communication engineering have been dedicated in teaching this subject and I am sure that this book which is written in English, Kannada and Marathi will be an great asset for student community.

I would recommend this textbook not only for students but also to everyone who want to upgrade and advance their knowledge in the field of analog Electronics.

Dr. D. G. Kulkarni

Ph.d, M.Tech, MBA, PGDM,
PGTD, MISTE, MISTD, MISCM(USA)

Principal

**Maratha Mandal Engineering
College, Belagavi**

Preface

This book is a product of my dedicated teaching experience of 15 years for the subject “Analog Electronics”. The concepts of the subject are explained in a systematic and logical manner and written and explained in English, Kannada and Marathi for the student’s community in a user friendly manner. It is Simple and some relevant problems are solved for better understanding in designing the application circuits.

The books introduce concepts of biasing, amplification, feedback circuits using BJTs and Mosfets along with application circuits using op-amps at undergraduate level for Electrical and electronics students.

Despite efforts taken to introduce the textbook, I would also apologise for any type errors introduced and all levels of corrections will be implemented in the next edition.

ACKNOWLEDGEMENT

My sincere gratitude to Smt. Rajshree Nagaraju, President, Maratha Mandal Group of Institutions, Belagavi, who inspired me to take up and successfully complete this task.

A special word of thanks to Dr. S. Vidyashankarji, honourable vice-chancellor, Visveswararajah Technological University (VTU), Belagavi, Dr. B. E. Rangaswamy, registrar V.T.U, Dr. T. N. Sreenivasa, Registrar (Evaluation), V.T.U who are always an infinite source of encouragement in all my endeavours.

I gratefully and thankfully acknowledge all the encouragement from Dr. D. G. Kulkarni, Principal, Maratha Mandal Engineering College, Belagavi in providing guidance and providing support, facilities and resources in drafting this material.

I sincerely thank my beloved Head of Electronics and communication engineering department, Prof. Vaibhav Kakade, who encouraged me to take up this assignment. His support and invaluable suggestions at each and every stage of drafting this material are unforgettable. I hope without his support and encouragement, this book would hardly be in its present form.

I must thank all my colleagues in the department of Electronics and Communication, M.M.E.C, Belagavi, for all their suggestion towards improving the material presented.

I must acknowledge all the encouragement and timely support from my family members without them it wouldn't have been possible for completion of this task.

CONTENTS

MODULE 1

1.1. BJT Biasing: Biasing in BJT Amplifier Circuits

1.11 Introduction

1.12 The Classical Discrete – Circuit Bias Arrangement

1.13 Biasing using Collector to Base Feedback bias

1.2. Small Signal Operations and Models

1.21 Collector current and Transconductance

1.22 Base Current and Base input resistance

1.23 Emitter Current and Emitter input resistance

1.24 Voltage gain

1.25 Separating the Signal and DC quantities

1.26 The Hybrid - π Model

1.27 The T – Model

1.3. MOSFETS: Biasing in MOS Amplifier Circuits

1.31 Fixing V_{GS}

1.32 Fixing V_G

1.33 Drain to Gate Feedback Resistor

1.4. Small Signal Operation and Modelling

1.41 The DC Bias Point

1.42 Signal Current in drain terminal

1.43 Voltage gain

1.44 Small Signal Equivalent Circuit Models

1.45 Transconductance

1.46 T – Equivalent Circuit Model

MODULE 2

2.1. MOSFET Amplifier Configuration

2.11 Basic Configurations

2.12 Characterizing Amplifiers

2.13 Common Source Amplifiers with and without Source resistance

2.14 Source follower

2.15 Comparison of MOSFET Amplifiers

2.2. MOSFET Internal Capacitances and High Frequency Model

2.21 The Gate – Capacitive effect

2.22 Junction Capacitances

2.23 High Frequency Model

2.3. Frequency Response of Common Source Amplifier

2.31 Three Frequency Bands

2.32 Low Frequency Response of CS Amplifier

2.33 High Frequency Response of CS Amplifier

2.4. Oscillators

2.41 Phase Shift Oscillator

2.42 LC and Crystal Oscillators

MODULE 3

3.1. Output Stages and Power Amplifiers

3.11 Introduction

3.12 Classification of output stages

3.13 Class – A Output Stage

3.2 Class – B Output Stage

3.3 Class AB Output stage

3.4 Class -C Tuned Amplifier

3.5. Feedback Amplifier

3.51 General feedback Structure

3.52 Properties of Negative Feedback

3.53 The Four Basic Feedback Topologies

MODULE 4

4.1. Op-Amp DC and AC Amplifiers

4.11 Inverting

4.12 Non-inverting Amplifiers

4.13 AC characteristics

4.2. Filters

4.2.1 First order Low Pass Butterworth Filter

4.2.2 First order High Pass Butterworth Filter

4.2.3 Band Pass Filter

4.2.4 Narrow Band Pass Filter

4.2.5 Band Reject Filter

4.3 555 Timer and its Applications

4.3.1 Introduction

4.3.2 Important features of 555 Timer

4.4 Monostable Multivibrator

4.4.1 Operation

4.5. Astable Multivibrator

MODULE 5

5.1. Introduction to Power Electronics

5.2. Thyristors

5.3 Turn On Methods Of SCR

5.4 Turn Off Methods Of SCR

5.5 Resistance Firing Circuit

5.6.R-C Firing Circuit

5.7 UJT Firing Circuit

MODULE 1:

1.1 BJT Biasing: Biasing in BJT Amplifier Circuits: The Classical Discrete circuit bias (Voltage – divider Bias), Biasing using Collector to Base Feedback bias.

1.11 Introduction:

The most important application of a transistor is its use in electronic circuits as amplifier. Amplification is the process of strengthening of a weak signal i.e.; increasing its amplitude, without distortion of its waveshape. For faithful amplification, it is essential that the emitter base junction remains forward biased and the collector-base junction remains reverse biased throughout the signal period. If the junctions are not properly biased, there would be distortion at the output voltage. The transistor to work as an amplifier with faithful amplification, it is to be operated in active region (the region between cut off and saturation region). The point of intersection of d.c load line with an output characteristic at a certain level of base current is termed as operating point. It is also referred as quiescent point or Q-point. It represents the d.c bias condition, in the absence of input signal. Its coordinates give the values of V_{CE} and I_C , corresponding to the value of I_B at which the output characteristic is plotted. Different types of biasing circuits are: i) fixed current bias method or base resistor method ii) collector to base bias method iii) Self-bias or voltage divider bias method. The Voltage divider bias also called as emitter current bias configuration is most widely used of all the bias configurations. In this method of biasing a transistor, Resistors are connected across the bias battery so that they form a potential divider. The voltage drop V_B remains fairly constant and provides the necessary fixed bias for the emitter base junction. Current I_B flows into the base and the emitter diode is always forward biased. Once the circuit is properly biased, the weak a.c signal to be amplified is applied across the input terminals of the amplifier circuit and the output is taken across the load resistor at the output terminals of the amplifier.

ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಅತ್ಯಂತ ಪ್ರಮುಖ ಅನ್ವಯವೆಂದರೆ ವಿದ್ಯುನ್ಮಾನ ಸರ್ಕ್ಯೂಟ್‌ಗಳಲ್ಲಿ ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿ ಅದರ ಬಳಕೆ. ಆಂಪ್ಲಿಫಿಕೇಶನ್ ಎಂಬುದು ದುರ್ಬಲ ಸಂಕೇತವನ್ನು ಬಲಪಡಿಸುವ ಪ್ರಕ್ರಿಯೆಯಾಗಿದೆ, ಅಂದರೆ ಅದರ ತರಂಗಾಂತರದ ವಿರೂಪವಿಲ್ಲದೆ ಅದರ ವೈಶಾಲ್ಯವನ್ನು ಹೆಚ್ಚಿಸುತ್ತದೆ. ವಿಶ್ವಾಸಾರ್ಹ ವರ್ಧನೆಗಾಗಿ, ಹೊರಸೂಸುವ ಬೇಸ್ ಜಂಕ್ಷನ್ ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತದಿಂದ ಕೂಡಿರುತ್ತದೆ ಮತ್ತು ಸಂಗ್ರಾಹಕ-ಬೇಸ್ ಜಂಕ್ಷನ್ ಸಿಗ್ನಲ್ ಅವಧಿಯದ್ದಕ್ಕೂ ರಿವರ್ಸ್ ಪಕ್ಷಪಾತದಿಂದ ಕೂಡಿರುತ್ತದೆ. ಜಂಕ್ಷನ್‌ಗಳು ಸರಿಯಾಗಿ ಪಕ್ಷಪಾತ ಮಾಡದಿದ್ದರೆ, ಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ವಿರೂಪಗೊಳ್ಳುತ್ತದೆ. ವಿಶ್ವಾಸಾರ್ಹ

MODULE 1:

ವರ್ಧನೆಯೊಂದಿಗೆ ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸಲು ಟ್ರಾನ್ಸಿಸ್ಟರ್, ಇದು ಸಕ್ರಿಯ ಪ್ರದೇಶದಲ್ಲಿ (ಕಟ್ ಆಫ್ ಮತ್ತು ಸ್ಯಾಚುರೇಶನ್ ಪ್ರದೇಶದ ನಡುವಿನ ಪ್ರದೇಶ) ಕಾರ್ಯನಿರ್ವಹಿಸಲು. ಬೇಸ್ ಪ್ರವಾಹದ ಒಂದು ನಿರ್ದಿಷ್ಟ ಮಟ್ಟದಲ್ಲಿ ಔಟ್ಪುಟ್ ಗುಣಲಕ್ಷಣದೊಂದಿಗೆ ಡಿ. ಸಿ ಲೋಡ್ ರೇಖೆಯ ಛೇದನದ ಬಿಂದುವನ್ನು ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. ಇದನ್ನು ಕ್ವಿಸೆಂಟ್ ಪಾಯಿಂಟ್ ಅಥವಾ ಎಕ್ಸ್-ಪಾಯಿಂಟ್ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ಇದು ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಅನುಪಸ್ಥಿತಿಯಲ್ಲಿ, d. c. ಪಕ್ಷಪಾತ ಸ್ಥಿತಿಯನ್ನು ಪ್ರತಿನಿಧಿಸುತ್ತದೆ. ಇದರ ನಿರ್ದೇಶಾಂಕಗಳು IBಯ ಮೌಲ್ಯಕ್ಕೆ ಅನುಗುಣವಾದ ಡಬ್ಲ್ಯುಸಿಇ ಮತ್ತು ಐಸಿ ಮೌಲ್ಯಗಳನ್ನು ನೀಡುತ್ತವೆ, ಇದರಲ್ಲಿ ಔಟ್ಪುಟ್ ಗುಣಲಕ್ಷಣವನ್ನು ಯೋಜಿಸಲಾಗಿದೆ. ವಿವಿಧ ರೀತಿಯ ಪಕ್ಷಪಾತ ಸರ್ಕ್ಯೂಟ್‌ಗಳು: i) ಸ್ಥಿರ ಪ್ರಸ್ತುತ ಪಕ್ಷಪಾತ ವಿಧಾನ ಅಥವಾ ಬೇಸ್ ರೆಸಿಸ್ಟರ್ ವಿಧಾನ ii) ಬೇಸ್ ಪಕ್ಷಪಾತ ವಿಧಾನ iii) ಸ್ವಯಂ-ಬಿಯಾಸ್ ಅಥವಾ ವೋಲ್ಟೇಜ್ ವಿಭಜಕ ಪಕ್ಷಪಾತ ವಿಧಾನ. ಹೊರಸೂಸುವ ಪ್ರಸ್ತುತ ಪಕ್ಷಪಾತ ಸಂರಚನೆ ಎಂದು ಕರೆಯಲ್ಪಡುವ ವೋಲ್ಟೇಜ್ ವಿಭಜಕ ಪಕ್ಷಪಾತವನ್ನು ಎಲ್ಲಾ ಪಕ್ಷಪಾತ ಸಂರಚನೆಗಳಲ್ಲಿ ಅತ್ಯಂತ ವ್ಯಾಪಕವಾಗಿ ಬಳಸಲಾಗುತ್ತದೆ. ಒಂದು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಪಕ್ಷಪಾತ ಮಾಡುವ ಈ ವಿಧಾನದಲ್ಲಿ, ಪ್ರತಿರೋಧಕಗಳು ಪಕ್ಷಪಾತ ಬ್ಯಾಟರಿಯಾದ್ಯಂತ ಸಂಪರ್ಕ ಹೊಂದಿರುತ್ತವೆ, ಇದರಿಂದಾಗಿ ಅವುಗಳು ಸಂಭಾವ್ಯ ವಿಭಜಕವನ್ನು ರೂಪಿಸುತ್ತವೆ. ವೋಲ್ಟೇಜ್ ಡ್ರಾಪ್ ವಿಬಿ ಸಾಕಷ್ಟು ಸ್ಥಿರವಾಗಿರುತ್ತದೆ ಮತ್ತು ಹೊರಸೂಸುವ ಬೇಸ್ ಜಂಕ್ಷನ್ ಅಗತ್ಯ ಸ್ಥಿರ ಪಕ್ಷಪಾತ ಒದಗಿಸುತ್ತದೆ. ಪ್ರಸ್ತುತ ಐಬಿ ಬೇಸ್‌ನಲ್ಲಿ ಹರಿಯುತ್ತದೆ ಮತ್ತು ಹೊರಸೂಸುವ ಡಯೋಡ್ ಯಾವಾಗಲೂ ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತದಿಂದ ಕೂಡಿರುತ್ತದೆ. ಸರ್ಕ್ಯೂಟ್ ಸರಿಯಾಗಿ ಪಕ್ಷಪಾತ ಮಾಡಿದ ನಂತರ, ವರ್ಧಿಸಬೇಕಾದ ದುರ್ಬಲ ಎ. ಸಿ ಸಿಗ್ನಲ್ ಅನ್ನು ಆಂಪ್ಲಿಫೈಯರ್ ಸರ್ಕ್ಯೂಟ್ ಇನ್ಪುಟ್ ಟರ್ಮಿನಲ್‌ಗಳಾದ್ಯಂತ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ ಮತ್ತು ಔಟ್ಪುಟ್ ಅನ್ನು ಆಂಪ್ಲಿಫೈಯರ್ ಔಟ್ಪುಟ್ ಟರ್ಮಿನಲ್‌ಗಳಲ್ಲಿ ಲೋಡ್ ರೆಸಿಸ್ಟರ್‌ನಾದ್ಯಂತ ತೆಗೆದುಕೊಳ್ಳಲಾಗುತ್ತದೆ.

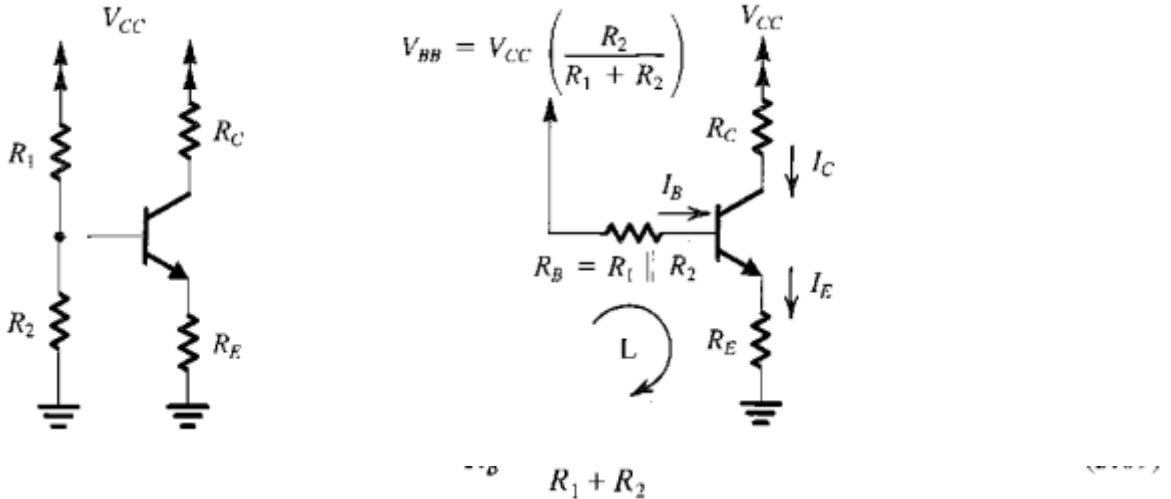
एक ट्रांझिस्टर सर्वात महत्वाचे अर्ज वर्धक म्हणून इलेक्ट्रॉनिक सर्किट मध्ये त्याचा वापर आहे. आंबटपणा एक कमकुवत सिग्नल मजबूत करण्याची प्रक्रिया म्हणजे; त्याच्या waveshape विकृती न करता, त्याच्या मोठेपणा वाढत. या सर्व गोष्टींकडे लक्ष वेधले असता, या सर्व गोष्टींकडे लक्ष वेधले असता, या सर्व गोष्टींकडे लक्ष वेधले असता, हा सर्व प्रकार लक्षात येतो. जर जंक्शन योग्यरित्या पक्षपाती नसतील तर आउटपुट व्होल्टेजवर विकृती होईल. विश्वासू प्रवर्धन सह एक

MODULE 1:

प्रवर्धक म्हणून काम करण्यासाठी ट्रान्झिस्टर, तो सक्रिय प्रदेश (कट ऑफ आणि संपृक्तता प्रदेश दरम्यान प्रदेश) मध्ये ऑपरेट करणे आहे. आधार वर्तमान एक विशिष्ट पातळीवर आउटपुट वैशिष्ट्यपूर्ण डीसी लोड ओळ छेदनबिंदू बिंदू ऑपरेटिंग बिंदू म्हणतात. याला क्विसेंट पॉइंट किंवा क्यू पॉइंट असेही म्हटले जाते. हे इनपुट सिग्नल नसतानाही, d.c पूर्वग्रह स्थिती प्रतिनिधित्व करते. त्याचे निर्देशांक VCE आणि आयसीचे मूल्य देतात, आयबीच्या मूल्याशी संबंधित ज्यावर आउटपुट वैशिष्ट्यपूर्ण प्लॉट केले जाते. विविध प्रकारच्या पक्षपाती सर्किट आहेत: i) निश्चित वर्तमान पक्षपाती पद्धत किंवा बेस रेझिस्टर पद्धत ii) कलेक्टर टू बेस पक्षपाती पद्धत iii) स्व-पक्ष किंवा व्होल्टेज डिव्हायडर पक्षपाती पद्धत. यालाच वर्तमान पूर्वग्रह संरचना असेही म्हटले जाते, हे सर्व पूर्वग्रह संरचनांचा मोठ्या प्रमाणावर वापर केला जातो. एक ट्रान्झिस्टर पक्षपाती या पद्धतीमध्ये, विरोधक पक्षपाती बऱ्या ओलांडून जोडलेले आहेत जेणेकरून ते संभाव्य विभाजक तयार करतात. व्होल्टेज ड्रॉप VB बऱ्यापैकी स्थिर राहते आणि emitter बेस जंक्शन आवश्यक निश्चित पूर्वग्रह प्रदान करते. वर्तमान आयबी बेस मध्ये वाहते आणि emitter diode नेहमी पुढे पक्षपाती आहे. एकदा सर्किट योग्य पक्षपाती आहे, कमकुवत एसी सिग्नल प्रवर्धित करणे वर्धक सर्किट इनपुट टर्मिनल ओलांडून लागू आहे आणि आउटपुट वर्धक आउटपुट टर्मिनल येथे लोड प्रतिरोधक ओलांडून घेतले आहे

1.12 The Classical Discrete – Circuit Bias Arrangement:

The technique consists of supplying the base of the transistor with a fraction of the supply voltage V_{CC} through the voltage divider R_1, R_2 . In addition, a resistor R_E is connected to the emitter.



The current I_E can be determined by writing a Kirchhoff loop equation for the base-emitter-ground loop, labeled L, and substituting $I_B = I_E / (\beta + 1)$:

MODULE 1:

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B / (\beta + 1)}$$

To make I_E insensitive to temperature and β variation,⁸ we design the circuit to satisfy the following two constraints:

$$V_{BB} \gg V_{BE}$$

$$R_E \gg \frac{R_B}{\beta + 1}$$

For a given value of the supply voltage V_{CC} , the higher the value we use for V_{BB} , the lower will be the sum of voltages across R_C and the collector-base junction (V_{CB}). On the other hand, we want the voltage across R_C to be large in order to obtain high voltage gain and large signal swing (before transistor cut off). We also want V_{CB} (or V_{CE}) to be large to provide a large signal swing (before transistor saturation). As a rule of thumb, one designs for V_{BB} about $(1/3) V_{CC}$, V_{CB} (or V_{CE}) about $(1/3) V_{CC}$, and $I_C R_C$ about $(1/3) V_{CC}$. I_E is made insensitive to variations in β and could be satisfied by selecting R_B small. This in turn is achieved by using low values for R_1 and R_2 . Lower values for R_1 and R_2 , however, will mean a higher current drain from the power supply, and will result in a lowering of the input resistance of the amplifier (if the input signal is coupled to the base), which is the trade-off involved in this part of the design. It should be noted that we want to make the base voltage independent of the value of β and determined solely by the voltage divider. This will obviously be satisfied if the current in the divider is made much larger than the base current. Typically one selects R_1 and R_2 such that their current is in the range of I_E to $0.1 I_E$.

Further insight regarding the mechanism by which the bias arrangement of above figure stabilizes the dc emitter (and hence collector) current is obtained by considering the feedback action provided by R_E . Consider that for some reason the emitter current increases. The voltage drop across R_E , and hence V_E will increase correspondingly. Now, if the base voltage is determined primarily by the voltage divider $R_1 R_2$, which is the case if R_B is small, it will remain constant, and the increase in V_E will result in a corresponding decrease in V_{BE} . This in turn reduces the collector (and emitter) current, a change opposite to that originally assumed. Thus, R_E provides a negative feedback action that stabilizes the bias current.

ಸರಬರಾಜು ವೋಲ್ಟೇಜ್ ವಿಸಿಸಿಯ ಒಂದು ನಿರ್ದಿಷ್ಟ ಮೌಲ್ಯಕ್ಕೆ, ನಾವು ವಿಬಿಬಿಗೆ ಬಳಸುವ ಹೆಚ್ಚಿನ ಮೌಲ್ಯ, ಕಡಿಮೆ ಆರ್ಸಿ ಮತ್ತು ಸಂಗ್ರಾಹಕ-ಮೂಲ ಜಂಕ್ಷನ್ (V_{CB}) ಉದ್ದಕ್ಕೂ

MODULE 1:

ವೋಲ್ಟೇಜ್‌ಗಳ ಮೊತ್ತವಾಗಿರುತ್ತದೆ. ಮತ್ತೊಂದೆಡೆ, ಹೆಚ್ಚಿನ ವೋಲ್ಟೇಜ್ ಲಾಭ ಮತ್ತು ದೊಡ್ಡ ಸಿಗ್ನಲ್ ಸ್ವಿಂಗ್ (ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಕಡಿತಗೊಳ್ಳುವ ಮೊದಲು) ಪಡೆಯುವ ಸಲುವಾಗಿ ಆರ್ಸಿ ಅಡ್ಡಲಾಗಿ ವೋಲ್ಟೇಜ್ ದೊಡ್ಡದಾಗಿರಬೇಕು ಎಂದು ನಾವು ಬಯಸುತ್ತೇವೆ. ದೊಡ್ಡ ಸಿಗ್ನಲ್ ಸ್ವಿಂಗ್ (ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಸ್ಯಾಚುರೇಶನ್ ಮೊದಲು) ಒದಗಿಸಲು V_{CB} (ಅಥವಾ ವಿಸಿಇ) ದೊಡ್ಡದಾಗಿರಬೇಕು ಎಂದು ಸಹ ನಾವು ಬಯಸುತ್ತೇವೆ. ಹೆಬ್ಬರಳಿನ ನಿಯಮದಂತೆ, V_{BB} ಬಗ್ಗೆ $(1/3) V_{CC}$, V_{CB} (ಅಥವಾ V_{CE}) ಬಗ್ಗೆ $(1/3) V_{CC}$, ಮತ್ತು $I_C R_C$ ಬಗ್ಗೆ $(1/3) V_{CC}$ ಒಂದು ವಿನ್ಯಾಸ. I_E ಅನ್ನು β ನಲ್ಲಿನ ವ್ಯತ್ಯಾಸಗಳಿಗೆ ಸಂವೇದನಾರಹಿತವಾಗಿ ಮಾಡಲಾಗುತ್ತದೆ ಮತ್ತು R_B ಸಣ್ಣವನ್ನು ಆಯ್ಕೆ ಮಾಡುವ ಮೂಲಕ ಅದನ್ನು ತೃಪ್ತಿಪಡಿಸಬಹುದು. ಪ್ರತಿಯಾಗಿ R_1 ಮತ್ತು R_2 ಗಾಗಿ ಕಡಿಮೆ ಮೌಲ್ಯಗಳನ್ನು ಬಳಸುವ ಮೂಲಕ ಇದನ್ನು ಸಾಧಿಸಲಾಗುತ್ತದೆ. R_1 ಮತ್ತು R_2 ಗೆ ಕಡಿಮೆ ಮೌಲ್ಯಗಳು, ಆದರೂ, ವಿದ್ಯುತ್ ಪೂರೈಕೆಯಿಂದ ಹೆಚ್ಚಿನ ಪ್ರಸ್ತುತ ಡ್ರೈನ್ ಅರ್ಥೈಸುತ್ತದೆ, ಮತ್ತು ಆಂಪ್ಲಿಫೈಯರ್ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಕಡಿಮೆ ಮಾಡಲು ಕಾರಣವಾಗುತ್ತದೆ (ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಬೇಸ್‌ಗೆ ಜೋಡಿಸಿದರೆ), ವಿನ್ಯಾಸದ ಈ ಭಾಗದಲ್ಲಿ ಒಳಗೊಂಡಿರುವ ಟ್ರೇಡ್-ಆಫ್ ಯಾವುದು. ನಾವು ಬೇಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು V_b ಯ ಮೌಲ್ಯದಿಂದ ಸ್ವತಂತ್ರವಾಗಿ ಮಾಡಲು ಬಯಸುತ್ತೇವೆ ಮತ್ತು ವೋಲ್ಟೇಜ್ ವಿಭಜಕದಿಂದ ಮಾತ್ರ ನಿರ್ಧರಿಸುತ್ತೇವೆ ಎಂದು ಗಮನಿಸಬೇಕು. ವಿಭಜಕದಲ್ಲಿನ ಪ್ರವಾಹವನ್ನು ಬೇಸ್ ಪ್ರವಾಹಕ್ಕಿಂತ ಹೆಚ್ಚು ದೊಡ್ಡದಾಗಿ ಮಾಡಿದರೆ ಇದು ಸ್ಪಷ್ಟವಾಗಿ ತೃಪ್ತಿಪಡುತ್ತದೆ. ಸಾಮಾನ್ಯವಾಗಿ ಒಬ್ಬರು R_1 ಮತ್ತು R_2 ಅಂತಹವುಗಳನ್ನು ಆಯ್ಕೆ ಮಾಡುತ್ತಾರೆ, ಅವುಗಳ ಪ್ರವಾಹವು I_E ನಿಂದ $0.1I_E$ ರ ವ್ಯಾಪ್ತಿಯಲ್ಲಿರುತ್ತದೆ.

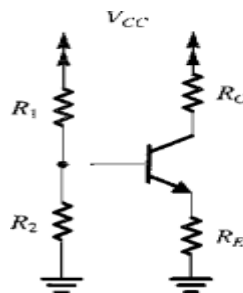
ಮೇಲಿನ ಫಿಗರ್ನ್ ಪಕ್ಷಪಾತದ ವ್ಯವಸ್ಥೆ ಡಿಸಿ ಹೊರಸೂಸುವ (ಮತ್ತು ಆದ್ದರಿಂದ ಸಂಗ್ರಾಹಕ) ಪ್ರವಾಹವನ್ನು ಸ್ಥಿರಗೊಳಿಸುವ ಕಾರ್ಯವಿಧಾನದ ಬಗ್ಗೆ ಹೆಚ್ಚಿನ ಒಳನೋಟವನ್ನು R_E ಒದಗಿಸಿದ ಪ್ರತಿಕ್ರಿಯೆ ಕ್ರಿಯೆಯನ್ನು ಪರಿಗಣಿಸುವ ಮೂಲಕ ಪಡೆಯಲಾಗುತ್ತದೆ. ಕೆಲವು ಕಾರಣಕ್ಕಾಗಿ ಹೊರಸೂಸುವ ಪ್ರವಾಹವು ಹೆಚ್ಚಾಗುತ್ತದೆ ಎಂದು ಪರಿಗಣಿಸಿ. R_E ಯಾದಂತ್ಯತೆ ವೋಲ್ಟೇಜ್ ಡ್ರಾಪ್, ಮತ್ತು ಆದ್ದರಿಂದ ವಿಇ ಅನುಗುಣವಾದ ಹೆಚ್ಚಾಗುತ್ತದೆ. ಈಗ, ಬೇಸ್ ವೋಲ್ಟೇಜ್ ವಯಸ್ಸು ಪ್ರಾಥಮಿಕವಾಗಿ ವೋಲ್ಟೇಜ್ ವಿಭಜಕ R_1 R_2 ನಿರ್ಧರಿಸಲಾಗುತ್ತದೆ ವೇಳೆ, ಇದು R_B ಸಣ್ಣ ವೇಳೆ, ಇದು ಸ್ಥಿರವಾಗಿರುತ್ತದೆ, ಮತ್ತು ವಿಇ ಹೆಚ್ಚಳ ಅನುಗುಣವಾದ ಇಳಿಕೆಗೆ ಕಾರಣವಾಗುತ್ತದೆ ವಿಬಿಇ. ಇದು ಪ್ರತಿಯಾಗಿ ಸಂಗ್ರಾಹಕ (ಮತ್ತು ಹೊರಸೂಸುವ) ಪ್ರವಾಹವನ್ನು ಕಡಿಮೆ ಮಾಡುತ್ತದೆ, ಮೂಲತಃ ಊಹಿಸಿದ ಇದಕ್ಕೆ ವಿರುದ್ಧವಾದ ಬದಲಾವಣೆ. ಹೀಗಾಗಿ, R_E ಪಕ್ಷಪಾತ ಪ್ರವಾಹವನ್ನು ಸ್ಥಿರಗೊಳಿಸುವ ನಕಾರಾತ್ಮಕ ಪ್ರತಿಕ್ರಿಯೆ ಕ್ರಿಯೆಯನ್ನು ಒದಗಿಸುತ್ತದೆ.

MODULE 1:

पुरवठा व्होल्टेज व्हीसीसीच्या दिलेल्या मूल्यासाठी, आम्ही व्हीबीबीसाठी जितके जास्त मूल्य वापरतो, तितके कमी आरसी आणि कलेक्टर-बेस जंक्शन (व्हीसीबी) वर व्होल्टेजचे प्रमाण असेल. दुसरीकडे, आम्ही उच्च व्होल्टेज लाभ आणि मोठ्या सिग्नल स्विंग (ट्रान्सफॉर्मर कापून करण्यापूर्वी) प्राप्त करण्यासाठी आर. सी. ओलांडून व्होल्टेज मोठ्या प्रमाणात पाहिजे. आम्ही देखील एक मोठा सिग्नल स्विंग (ट्रान्सफॉर्मर संपृक्तता आधी) प्रदान करण्यासाठी VCB (किंवा VCE) मोठ्या इच्छित. अंगठ्याचा नियम म्हणून, VBB साठी एक डिझाइन $(1/3) V_{CC}$ बदल, VCB (किंवा VCE) बदल $(1/3) V_{CC}$ बदल, आणि ICRC बदल $(1/3) V_{CC}$. आयई बी मधील विविधतांबद्दल असंवेदनशील केले जाते आणि आरबी लहान निवडून समाधानी होऊ शकते. यामधून R1 आणि R2 साठी कमी मूल्ये वापरून साध्य आहे. R1 आणि R2 साठी कमी मूल्य, मात्र, वीज पुरवठा पासून उच्च चालू नाले याचा अर्थ असा होईल, आणि परिणामी वर्धकाचे इनपुट प्रतिकार कमी होईल (इनपुट सिग्नल बेसला जोडल्यास), जे डिझाइनच्या या भागामध्ये गुंतलेले ट्रेड-ऑफ आहे. हे लक्षात घेतले पाहिजे की आपल्याला बेस व्होल्टेज बीच्या मूल्यापासून स्वतंत्र बनवायचे आहे आणि व्होल्टेज डिव्हायडरद्वारे पूर्णपणे निर्धारित केले आहे. हे स्पष्टपणे विभाजीत मध्ये चालू बेस चालू पेक्षा खूप मोठे केले तर समाधानी होईल. साधारणपणे एक निवडतो R1 आणि R2 जसे की त्यांचे वर्तमान आयई ते $0.1I_E$ च्या श्रेणीत आहे.

ज्या यंत्रणेद्वारे वरील आकृतीची पक्षपाती व्यवस्था डीसी उत्सर्जक (आणि म्हणूनच कलेक्टर) वर्तमान स्थिर करते त्याबाबतची अधिक माहिती आरई द्वारे प्रदान केलेल्या अभिप्राय कृतीचा विचार करून प्राप्त केली जाते. काही कारणास्तव emitter वर्तमान वाढते विचार करा. आरई ओलांडून व्होल्टेज ड्रॉप, आणि म्हणून V_E संबंधित वाढ होईल. आता, बेस व्होल्ट वय प्रामुख्याने व्होल्टेज विभाजक R1 R2, जे आरबी लहान असेल तर केस आहे, तो सतत राहील, आणि V_E मध्ये वाढ V_{BE} मध्ये संबंधित कमी होईल. यामधून जिल्हाधिकारी (आणि emitter) वर्तमान कमी, मूळ गृहीत धरले की उलट बदल. त्यामुळे, आरई एक नकारात्मक अभिप्राय क्रिया प्रदान जे पूर्वग्रह वर्तमान स्थिर करते.

Example: To design the bias network for the amplifier in the below figure to establish a current $I_E = 1 \text{ mA}$ using a power supply $V_{CC} = +12 \text{ V}$. The transistor is specified to have a nominal β value of 100.



MODULE 1:

Solution: We shall follow the rule of thumb mentioned above and allocate one-third of the supply voltage to the voltage drop across R_2 and another one-third to the voltage drop across R_C , leaving one-third for possible signal swing at the collector. Thus,

$$V_B = +4 \text{ V}$$

$$V_E = 4 - V_{BE} \approx 3.3 \text{ V}$$

$$R_E = \frac{V_E}{I_E} = \frac{3.3}{1} = 3.3 \text{ k}\Omega$$

And R_E is determined from

We select a voltage divider current of $0.1I_E = 0.1 \times 1 = 0.1 \text{ mA}$. Neglecting the base current, we find

$$R_1 + R_2 = \frac{12}{0.1} = 120 \text{ k}\Omega$$

and

$$\frac{R_2}{R_1 + R_2} V_{CC} = 4 \text{ V}$$

Thus $R_2 = 40 \text{ k}\Omega$ and $R_1 = 80 \text{ k}\Omega$.

Finding the value for I_E

$$I_E = \frac{4 - 0.7}{3.3 + 0.027} = 0.99 \approx 1 \text{ mA}$$

And

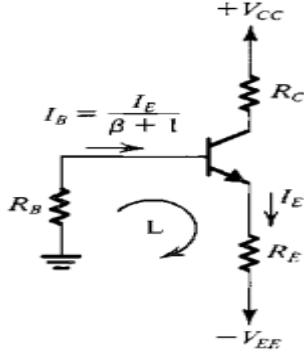
$$R_C = \frac{12 - V_C}{I_C}$$

Substituting $I_C = 0.99 \times 1 = 0.99 \text{ mA}$,

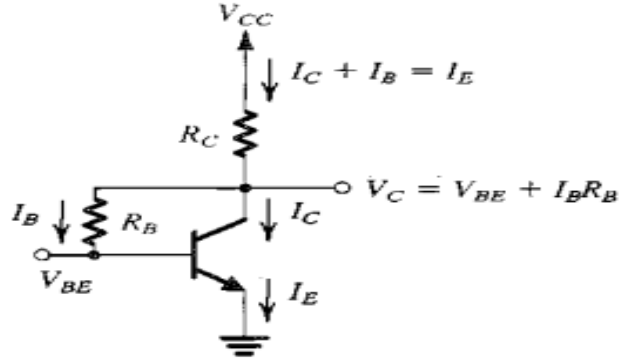
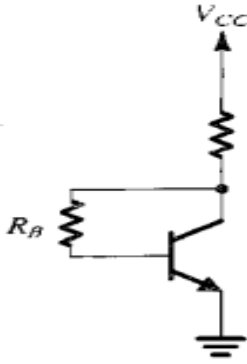
$$R_C = \frac{12 - 8}{1} = 4 \text{ k}\Omega$$

Note: If two power supplies are used for classical bias arrangement, then

MODULE 1:



$$I_E = \frac{V_{EE} - V_{BE}}{R_E + R_B / (\beta + 1)}$$



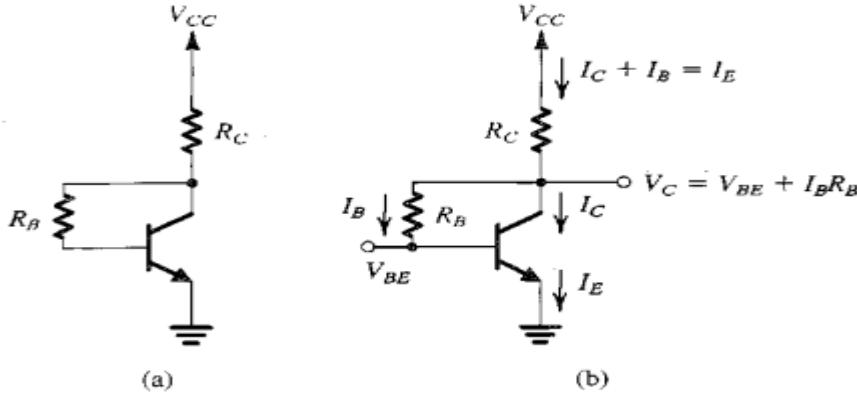
1.13 Biasing Using collector to base feedback bias:

Figure below shows a simple but effective alternative biasing arrangement suitable for common-emitter amplifiers. The circuit employs a resistor R_B connected between the collector and the base. Resistor R_B provides negative feedback, which helps to stabilize the bias point of the BJT.

ಕೆಳಗಿನ ಚಿತ್ರವು ಸಾಮಾನ್ಯ-ಎಮಿಟರ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳಿಗೆ ಸೂಕ್ತವಾದ ಸರಳವಾದ ಆದರೆ ಪರಿಣಾಮಕಾರಿ ಪರ್ಯಾಯ ಪಕ್ಷಪಾತ ವ್ಯವಸ್ಥೆಯನ್ನು ತೋರಿಸುತ್ತದೆ. ಸರ್ಕ್ಯೂಟ್ ಸಂಗ್ರಾಹಕ ಮತ್ತು ಬೇಸ್ ನಡುವೆ ಸಂಪರ್ಕ ಒಂದು ನಿರೋಧಕ ಆರ್ಬಿ ನಿಯೋಜಿಸುತ್ತದೆ. ಪ್ರತಿರೋಧಕ ಆರ್ಬಿ ನಕಾರಾತ್ಮಕ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಒದಗಿಸುತ್ತದೆ, ಇದು ಬಿಜಿಟಿಯ ಪಕ್ಷಪಾತ ಬಿಂದುವನ್ನು ಸ್ಥಿರಗೊಳಿಸಲು ಸಹಾಯ ಮಾಡುತ್ತದೆ.

MODULE 1:

खालील आकृती सामान्य-एमिटर वर्धकांसाठी योग्य एक साधी परंतु प्रभावी पर्यायी पक्षपाती व्यवस्था दर्शविते. सर्किट कलेक्टर आणि बेस दरम्यान कनेक्ट एक प्रतिरोधक आरबी रोजगार. रेसिस्टर आरबी नकारात्मक अभिप्राय प्रदान करते, जे बीजेटीच्या पक्षपाती बिंदूला स्थिर करण्यास मदत करते.



The circuit employs a resistor R_B connected between the collector and the base. Resistor R_B provides negative feedback, which helps to stabilize the bias point of the BJT.

Analysis: From fig(b) shows

$$\begin{aligned} V_{CC} &= I_E R_C + I_B R_B + V_{BE} \\ &= I_E R_C + \frac{I_E}{\beta + 1} R_B + V_{BE} \end{aligned}$$

Thus, the emitter current I_E is
$$I_E = \frac{V_{CC} - V_{BE}}{R_C + R_B / (\beta + 1)}$$
 given by

It follows that to obtain a value of I_E that is insensitive to variation of β , we select $R_B / (\beta + 1) \ll R_C$. Note, however, that the value of R_B determines the allowable signal swing at the collector since

$$V_{CB} = I_B R_B = I_E \frac{R_B}{\beta + 1}$$

MODULE 1:

1.2 SMALL SIGNAL OPERATIONS AND MODELS:

Contents: Collector current and Transconductance, Base current and input resistance, emitter current and input resistance, voltage gain, separating the signal and DC quantities, the hybrid π model and T model.

Having learned the basis for the operation of the BJT as an amplifier, we now take a closer look at the small-signal operation of the transistor. Toward that end, consider once more the conceptual amplifier circuit shown in Fig. 1(a). Here the base-emitter junction is forward biased by a dc voltage V_{BE} (battery). The reverse bias of the collector-base junction is established by connecting the collector to another power supply of voltage V_{CC} through a resistor R_C . The input signal to be amplified is represented by the voltage source v_{be} that is superimposed on V_{BE} . We consider first the dc bias conditions by setting the signal v_{be} to zero. The circuit reduces to that in Fig. 1(b), and we can write the following relationships for the dc currents and voltages:

ಆಂಪ್ಲಿಫಯರ್ ಆಗಿ ಬಿಜೆಟಿಯ ಕಾರ್ಯಾಚರಣೆಯ ಆಧಾರವನ್ನು ಕಲಿತುಕೊಂಡ ನಾವು ಈಗ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಸಣ್ಣ-ಸಂಕೇತ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಹತ್ತಿರದಿಂದ ನೋಡುತ್ತೇವೆ. ಆ ತುದಿಗೆ, ಚಿತ್ರ 1 (ಎ) ನಲ್ಲಿ ತೋರಿಸಿರುವ ಪರಿಕಲ್ಪನಾ ಆಂಪ್ಲಿಫಯರ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಮತ್ತೊಮ್ಮೆ ಪರಿಗಣಿಸಿ. ಇಲ್ಲಿ ಬೇಸ್-ಎಮಿಟರ್ ಜಂಕ್ಷನ್ ಒಂದು ಡಿಸಿ ವೋಲ್ಟೇಜ್ ವಿಬಿಇ (ಬ್ಯಾಟರಿ) ನಿಂದ ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತ ಹೊಂದಿದೆ. ಸಂಗ್ರಾಹಕ-ಬೇಸ್ ಜಂಕ್ಷನ್ ಹಿಮ್ಮುಖ ಪಕ್ಷಪಾತವು ಸಂಗ್ರಾಹಕವನ್ನು ವೋಲ್ಟೇಜ್ ವಿಸಿಸಿಯ ಮತ್ತೊಂದು ವಿದ್ಯುತ್ ಪೂರೈಕೆಗೆ ನಿರೋಧಕ ಆರ್ಸಿ ಮೂಲಕ ಸಂಪರ್ಕಿಸುವ ಮೂಲಕ ಸ್ಥಾಪಿಸಲ್ಪಡುತ್ತದೆ. ವರ್ಧಿಸಬೇಕಾದ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಅನ್ನು ವಿಬಿಇ ಮೇಲೆ ಸೂಪರ್‌ಇಂಪೋಸ್ ಮಾಡಲಾದ ವೋಲ್ಟೇಜ್ ಮೂಲ ವಿಬಿ ಪ್ರತಿನಿಧಿಸುತ್ತದೆ. ಸಿಗ್ನಲ್ ವಿಬಿ ಶೂನ್ಯಕ್ಕೆ ಹೊಂದಿಸುವ ಮೂಲಕ ನಾವು ಮೊದಲು ಡಿಸಿ ಪಕ್ಷಪಾತ ಪರಿಸ್ಥಿತಿಗಳನ್ನು ಪರಿಗಣಿಸುತ್ತೇವೆ. ಸರ್ಕ್ಯೂಟ್ ಚಿತ್ರ 1 (ಬಿ) ನಲ್ಲಿ ಅದನ್ನು ಕಡಿಮೆ ಮಾಡುತ್ತದೆ, ಮತ್ತು ಡಿಸಿ ಕರೆಂಟ್‌ಗಳು ಮತ್ತು ವೋಲ್ಟೇಜ್‌ಗಳಿಗಾಗಿ ನಾವು ಕೆಳಗಿನ ಸಂಬಂಧಗಳನ್ನು ಬರೆಯಬಹುದು:

ಬಿಜೆಟಿಚ್ಯಾ ಆಪರೇಶನ್‌ಚಾ ಆಧಾರ ಆಂಪ್ಲಿಫಯರ್ ಮ್ಹಣ್ನ್ ಜಾಣ್ನ್ ಘೆತಲ್ಯಾನ್ತರ್, ಆಮ್ಹಿ ಆತಾ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಚ್ಯಾ ಲಹಾನ್-ಸಿಗ್ನಲ್ ಆಪರೇಶನ್‌ವರ್ ಬಾರಕಾರ್‌ನೆ ಲಕ್ಷ ದೆತೊ. ತ್ಯಾ ಶೇವಟಿ, ಫಿಗ 1 (ಏಕ) ಮಧ್ಯೆ ದರ್ಶಿವಿಲೆ ವೈಚಾರಿಕ ವರ್ಧಕ ಸರ್ಕ್ಯುಟ್ ಪುನ್ಹಾ ಏಕದಾ ವಿಚಾರ ಕರಾ. ಯೆಥೆ ಬೇಸ್-ಎಮಿಟರ್ ಜಂಕ್ಷನ್ ಪುಡೆ ಡಿಸಿ ವೋಲ್ಟೇಜ್ V_{BE} (ಬ್ಯಾಟರಿ) ದ್ವಾರೆ ಪಕ್ಷಪಾತಿ ಆಹೆ. ಜಿಲ್ಹಾಧಿಕಾರಿ-ಬೇಸ್ ಜಂಕ್ಷನ್ ಉಲಟ್ ಪೂರ್ವಗ್ರಹ ಏಕ ಪ್ರತಿರೋಧಕ ಆರ್ಸಿ ಮಾಧ್ಯಮಾತುನ್ ವೋಲ್ಟೇಜ್ V_{CC} ದುಸರ್ಯಾ

MODULE 1:

वीज पुरवठा जिल्हाधिकारी कनेक्ट करून स्थापना केली आहे. विस्तीर्ण करण्यासाठी इनपुट सिग्नल V_{BE} वर superimposed आहे की व्होल्टेज स्रोत v_{be} द्वारे दर्शविले जाते. आपण सिग्नल v_{be} शून्य सेट करून प्रथम डीसी पूर्वग्रह अटी विचार. सर्किट Fig. 1 (ब) मध्ये त्या कमी होते, आणि आम्ही डीसी currents आणि व्होल्टेज खालील संबंध लिहू शकता:

$$I_C = I_S e^{V_{BE}/V_T}$$

$$I_E = I_C / \alpha$$

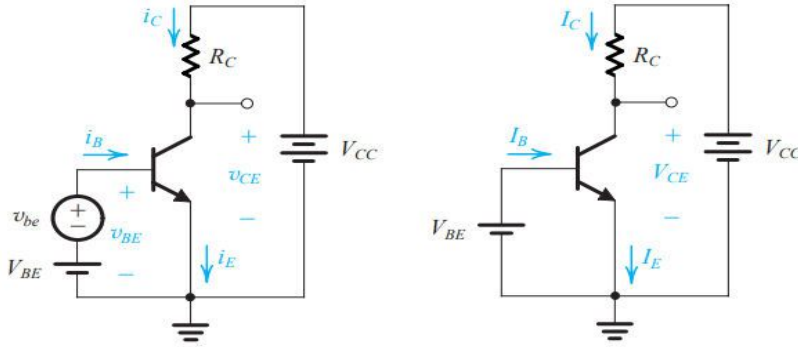


Fig 1(a) Conceptual circuit to illustrate the operation of the transistor as an amplifier. (b) The circuit of (a) with the signal source v_{be} eliminated for dc (bias) analysis.

$$I_B = I_C / \beta$$

$$V_{CE} = V_{CC} - I_C R_C$$

1.21 The Collector current and Transconductance:

If a signal v_{be} is applied as shown in Fig. 1(a), the total instantaneous base-emitter voltage v_{BE} becomes

$$v_{BE} = V_{BE} + v_{be}$$

Correspondingly, the collector current becomes

$$\begin{aligned} i_C &= I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE} + v_{be})/V_T} \\ &= I_S e^{V_{BE}/V_T} e^{v_{be}/V_T} \end{aligned}$$

$$i_C = I_C e^{v_{be}/V_T}$$

Now, if $v_{be} \ll V_T$, we may approximate the above equation as,

MODULE 1:

$$i_C \approx I_C \left(1 + \frac{v_{be}}{V_T} \right)$$

Here we have expanded the exponential in i_C equation in a series and retained only the first two terms. This approximation, which is valid only for v_{be} less than approximately 10 mV, is referred to as the small-signal approximation. Under this approximation, the total collector current is given by the above equation and rewritten as

$$i_C = I_C + \frac{I_C}{V_T} v_{be}$$

Thus the collector current is composed of the dc bias value I_C and a signal component i_c

$$i_c = \frac{I_C}{V_T} v_{be}$$

This equation relates the signal current in the collector to the corresponding base-emitter signal voltage. It can be rewritten as

$$i_c = g_m v_{be} \quad \text{where } g_m \text{ is called the transconductance,}$$

$$g_m = \frac{I_C}{V_T}$$

We observe that the transconductance of the BJT is directly proportional to the collector bias current I_C . Thus to obtain a constant predictable value for g_m , we need a constant predictable I_C . Finally, we note that BJTs have relatively high transconductance.

A graphical interpretation for g_m is given in Fig.1(c), where it is shown that g_m is equal to the slope of the $i_C - v_{BE}$ characteristic curve at $i_C = I_C$ (i.e., at the bias point Q). Thus,

$$g_m = \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{i_C = I_C}$$

MODULE 1:

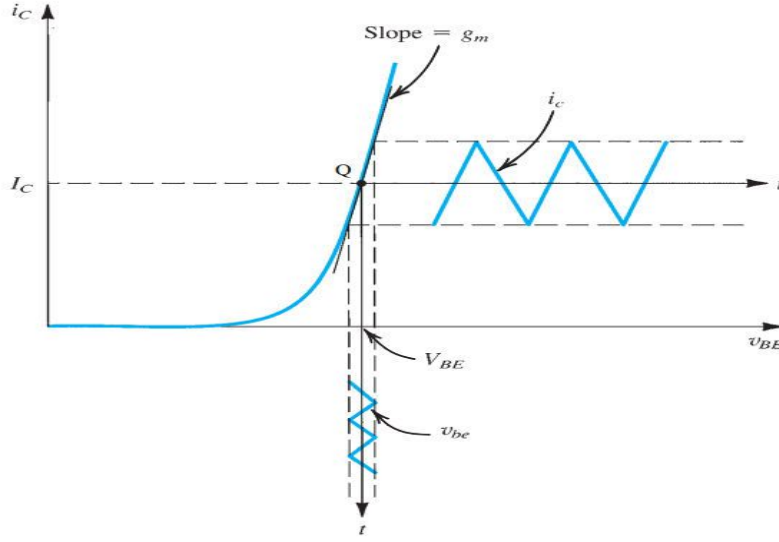


Fig: 1(c): Linear operation of the transistor under the small-signal condition: A small signal v_{be} with a triangular waveform is superimposed on the dc voltage V_{BE} . It gives rise to a collector signal current i_c , also of triangular waveform, superimposed on the dc current I_C . Here, $i_c = g_m v_{be}$, where g_m is the slope of the $i_C - v_{BE}$ curve at the bias point Q.

The small-signal approximation implies keeping the signal amplitude sufficiently small that operation is restricted to an almost-linear segment of the $i_C - v_{BE}$ exponential curve. Increasing the signal amplitude will result in the collector current having components nonlinearly related to v_{be} .

The analysis above suggests that for small signals ($v_{be} \ll V_T$), the transistor behaves as a voltage-controlled current source. The input port of this controlled source is between base and emitter, and the output port is between collector and emitter. The transconductance of the controlled source is g_m , and the output resistance is infinite. The latter ideal property is a result of our first-order model of transistor operation in which the collector voltage has no effect on the collector current in the active mode.

ಸಣ್ಣ-ಸಂಕೇತದ ಅಂದಾಜಿನ ಪ್ರಕಾರ, ಕಾರ್ಯಾಚರಣೆಯು ಐಸಿ-ವಿಬಿಇ ಘಾತಾಂಕ ವಕ್ರರೇಖೆಯ ಬಹುತೇಕ-ರೇಖೀಯ ವಿಭಾಗಕ್ಕೆ ಸೀಮಿತವಾಗಿದೆ ಎಂದು ಸಿಗ್ನಲ್ ವ್ಯಾಪ್ತಿಯನ್ನು ಸಾಕಷ್ಟು ಚಿಕ್ಕದಾಗಿ ಇಟ್ಟುಕೊಳ್ಳುವುದನ್ನು ಸೂಚಿಸುತ್ತದೆ. ಸಿಗ್ನಲ್ ವೈಶಾಲ್ಯವನ್ನು ಹೆಚ್ಚಿಸುವುದರಿಂದ ಸಂಗ್ರಾಹಕ ಪ್ರವಾಹವು ರೇಖಾತ್ಮಕವಲ್ಲದ ವಿಚ್ಛೇದನ ಸಂಬಂಧಿಸಿದ ಘಟಕಗಳನ್ನು ಹೊಂದಿರುತ್ತದೆ.

MODULE 1:

ಮೇಲಿನ ವಿಶ್ಲೇಷಣೆಯು ಸಣ್ಣ ಸಂಕೇತಗಳಿಗೆ (ವಿಬಿ << ವಿಟಿ) ಟ್ರಾನ್ಸಿಸ್ಟರ್ ವೋಲ್ಟೇಜ್-ನಿಯಂತ್ರಿತ ಪ್ರಸ್ತುತ ಮೂಲವಾಗಿ ವರ್ತಿಸುತ್ತದೆ ಎಂದು ಸೂಚಿಸುತ್ತದೆ. ಈ ನಿಯಂತ್ರಿತ ಮೂಲದ ಇನ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಬೇಸ್ ಮತ್ತು ಎಮಿಟರ್ ನಡುವೆ ಇರುತ್ತದೆ, ಮತ್ತು ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಂಗ್ರಾಹಕ ಮತ್ತು ಎಮಿಟರ್ ನಡುವೆ ಇರುತ್ತದೆ. ನಿಯಂತ್ರಿತ ಮೂಲದ ಟ್ರಾನ್ಸ್‌ಫರಡೆನ್ಸ್ ಗ್ರಾಂ, ಮತ್ತು ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧ ಅನಂತ ಆಗಿದೆ. ನಂತರದ ಆದರ್ಶ ಆಸ್ತಿ ನಮ್ಮ ಮೊದಲ ಕ್ರಮಾಂಕದ ಮಾದರಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಕಾರ್ಯಾಚರಣೆಯ ಪರಿಣಾಮವಾಗಿ ಇದರಲ್ಲಿ ಸಂಗ್ರಾಹಕ ವೋಲ್ಟೇಜ್ ಸಕ್ರಿಯ ಮೋಡ್ನಲ್ಲಿ ಸಂಗ್ರಾಹಕ ಪ್ರವಾಹದ ಮೇಲೆ ಯಾವುದೇ ಪರಿಣಾಮ ಹೊಂದಿದೆ.

ಲಹಾನ-ಸಿಗ್ನಲ್ ಅಂದಾಜು ಸಿಗ್ನಲ್ ಮೋಡೆಲಿಂಗ್ ಪುರಸ್ಕಾರ ಲಹಾನ ಠೇವಣಿ ಯಾಚಾ ಅರ್ಥ ಅಸಾ ಕೀ ಆಪರೇಶನ್ IC-vBE ಘಾತಾಂಕ ವಕ್ರ ಏಕ ಜವಜವಜ-ರೇಖಿಕ ಖಂಡ ಮರ್ಯಾದಿತ ಆಹೆ. ಸಂಕೇತ ಮೋಡೆಲಿಂಗ್ ವಾಡತ ಜಿಲ್ಹಾಧಿಕಾರಿ ಚಾಲ್ ಘಟಕ nonlinearly vbe ಸಂಬಂಧಿತ ಅಸೆಲ ಪರಿಣಾಮ ಹೊಲ್ಲೆ.

ವರೀಲ ವಿಶ್ಲೇಷಣೆ ಲಹಾನ ಸಿಗ್ನಲ್ ($v_{be} \ll V_T$) ಸಾಠಿ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಏಕ ಫೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಿತ ಚಾಲ್ ಸ್ರೋತ ಮ್ಹಣುನ್ ವಾಗತಾತ ಅಸೆ ಸೂಚಿತ ಕರ್ತೆ ಕೀ. ಯಾ ನಿಯಂತ್ರಿತ ಸ್ರೋತಾಚೆ ಇನ್‌ಪುಟ್ ಪೋರ್ಟ್ ಬೇಸ್ ಆಫಿ ಎಮಿಟರ್ ಡರಮ್ಯಾನ್ ಆಹೆ, ಆಫಿ ಆಊಟಪುಟ್ ಪೋರ್ಟ್ ಕಲೆಕ್ಟರ್ ಆಫಿ ಎಮಿಟರ್ ಡರಮ್ಯಾನ್ ಆಹೆ. ನಿಯಂತ್ರಿತ ಸ್ರೋತಾಚೆ ಸಂಕ್ರಮಣ ಗ್ರಾಫ್ ಆಹೆ, ಆಫಿ ಆಊಟಪುಟ್ ಪ್ರತಿಕಾರ ಅನಂತ ಆಹೆ. ನಂತರಚೆ ಆದರ್ಶ ಗುಣಧರ್ಮ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಆಪರೇಶನ್ ಆಮಚ್ಯಾ ಪಹಿಲ್ಯಾ ಆರ್ದರ್ ಮೋಡೆಲಿಂಗ್ ಪರಿಣಾಮ ಆಹೆ ಜ್ಯಾತ ಕಲೆಕ್ಟರ್ ಫೋಲ್ಟೇಜ್ ಸಕ್ರಿಯ ಮೋಡಮ್ಲೆ ಕಲೆಕ್ಟರ್ ವರ್ತಮಾನ್ ವರ ಪರಿಣಾಮ ನಾಹಿ.

1.22 The Base current and the input resistance at the Base:

To determine the resistance seen by v_{be} , we first evaluate the total base current i_B

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + \frac{1}{\beta} \frac{I_C}{V_T} v_{be}$$

Thus

$$i_B = I_B + i_b$$

where I_B is equal to and the signal component i_b is given by

$$i_b = \frac{1}{\beta} \frac{I_C}{V_T} v_{be}$$

Substituting for g_m gives

MODULE 1:

$$i_b = \frac{g_m}{\beta} v_{be}$$

The small-signal input resistance between base and emitter, looking into the base, is denoted by r_π and is defined as

$$r_\pi \equiv \frac{v_{be}}{i_b}$$

Substituting for i_b

$$r_\pi = \frac{\beta}{g_m}$$

Thus r_π is directly dependent on β and is inversely proportional to the bias current I_C . Substituting for g_m and replacing I_C / β by I_B gives an alternative expression for r_π ,

$$r_\pi = \frac{V_T}{I_B}$$

1.23 The Emitter Current and the input Resistance at the Emitter:

The total emitter current i_E can be determined from

$$i_E = \frac{i_C}{\alpha} = \frac{I_C}{\alpha} + \frac{i_c}{\alpha}$$

Thus,

$$i_E = I_E + i_e$$

where I_E is equal to I_C / α and the signal current i_e is given by

$$i_e = \frac{i_c}{\alpha} = \frac{I_C}{\alpha V_T} v_{be} = \frac{I_E}{V_T} v_{be}$$

If we denote the small-signal resistance between base and emitter looking into the emitter by r_e , it can be defined as

$$r_e \equiv \frac{v_{be}}{i_e}$$

we find that r_e , called the emitter resistance, is given by

$$r_e = \frac{V_T}{I_E}$$

MODULE 1:

Comparing with g_m equation,

$$r_e = \frac{\alpha}{g_m} \simeq \frac{1}{g_m}$$

The relationship between r_π and r_e

$$v_{be} = i_b r_\pi = i_e r_e$$

Thus,

$$r_\pi = (i_e/i_b) r_e$$

Which yields

$$r_\pi = (\beta + 1) r_e$$

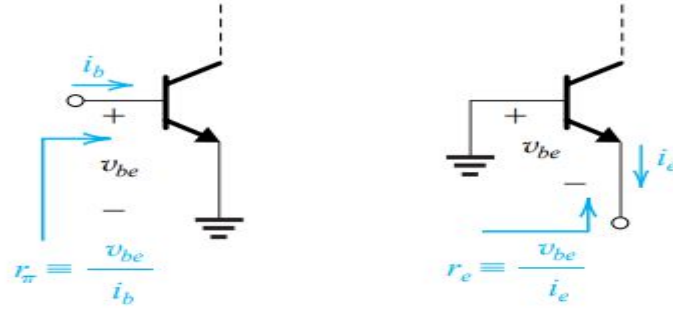


Fig: 1(d): Illustrating the definition of r_π and r_e

1.24 Voltage Gain:

We have established above that the transistor senses the base-emitter signal v_{be} and causes a proportional current $g_m v_{be}$ to flow in the collector lead at a high (ideally infinite) impedance level. In this way the transistor is acting as a voltage-controlled current source. To obtain an output voltage signal, we may force this current to flow through a resistor, as is done in Fig. 1(a). Then the total collector voltage v_{CE} will be

ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಬೇಸ್-ಎಮಿಟರ್ ಸಿಗ್ನಲ್ ವ್ಯಾಜ್ ಅನ್ನು ಗ್ರಹಿಸುತ್ತದೆ ಮತ್ತು ಸಂಗ್ರಾಹಕ ಸೀಸದಲ್ಲಿ ಒಂದು ಅನುಪಾತದ ಪ್ರಸ್ತುತ ಗ್ರಾಂ ವ್ಯಾಜ್ ಅನ್ನು ಹೆಚ್ಚಿನ (ಆದರ್ಶವಾಗಿ ಅನಂತ) ಪ್ರತಿರೋಧ ಮಟ್ಟದಲ್ಲಿ ಹರಿಯುವಂತೆ ಮಾಡುತ್ತದೆ ಎಂದು ನಾವು ಮೇಲೆ ಸ್ಥಾಪಿಸಿದ್ದೇವೆ. ಈ ರೀತಿಯಲ್ಲಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಿತ ಪ್ರಸ್ತುತ ಮೂಲವಾಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತಿದೆ. ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಪಡೆಯಲು, ನಾವು ಈ

MODULE 1:

ಪ್ರವಾಹವನ್ನು ರೆಸಿಸ್ಟರ್ ಮೂಲಕ ಹರಿಯುವಂತೆ ಒತ್ತಾಯಿಸಬಹುದು, ಚಿತ್ರ 1 (ಎ) ನಲ್ಲಿ ಮಾಡಿದಂತೆ. ನಂತರ ಒಟ್ಟು ಸಂಗ್ರಹಕ ವೋಲ್ಟೇಜ್ ವಿಸಿಷ ಇರುತ್ತದೆ

आम्ही वर स्थापना केली आहे की ट्रान्झिस्टर बेस-एमिटर सिग्नल v_{be} इंद्रियगोचर आणि एक उच्च (आदर्श असीम) impedance पातळीवर जिल्हाधिकारी आघाडी मध्ये प्रवाह एक प्रमाणात चालू ग्राम v_{be} कारणीभूत. अशा प्रकारे ट्रान्झिस्टर एक व्होल्टेज नियंत्रित वर्तमान स्रोत म्हणून काम करत आहे. आऊटपुट व्होल्टेज सिग्नल प्राप्त करण्यासाठी, आम्ही या वर्तमानाला प्रतिरोधक माध्यमातून प्रवाह करण्यास भाग पाडू शकतो, जसे की अंजीर 1 (ए) मध्ये केले जाते. मग एकूण जिल्हाधिकारी व्होल्टेज v_{CE} होईल

$$\begin{aligned}v_{CE} &= V_{CC} - i_C R_C \\&= V_{CC} - (I_C + i_c) R_C \\&= (V_{CC} - I_C R_C) - i_c R_C \\&= V_{CE} - i_c R_C\end{aligned}$$

Here the quantity V_{CE} is the dc bias voltage at the collector, and the signal voltage is given by

$$\begin{aligned}v_{ce} &= -i_c R_C = -g_m v_{be} R_C \\&= (-g_m R_C) v_{be}\end{aligned}$$

Thus the voltage gain of this amplifier A_v is

$$A_v \equiv \frac{v_{ce}}{v_{be}} = -g_m R_C$$

Here again we note that because g_m is directly proportional to the collector bias current, the gain will be as stable as the collector bias current is made. Substituting for g_m enables us to express the gain in the form

$$A_v = -\frac{I_C R_C}{V_T}$$

1.25 Separating the signal and DC quantities:

The analysis above indicates that every current and voltage in the amplifier circuit of Fig.1(a) is composed of two components: a dc component and a signal component. For instance, $v_{BE} = V_{BE} + v_{be}$, $I_C = I_C + i_c$, and so on. The dc components are determined from the dc circuit given in Fig. 1(b).

MODULE 1:

On the other hand, a representation of the signal operation of the BJT can be obtained by eliminating the dc sources, as shown below. Observe that since the voltage of an ideal dc supply does not change, the signal voltage across it will be zero. For this reason we have replaced V_{CC} and V_{BE} with short circuits. Had the circuit contained ideal dc current sources, these would have been replaced by open circuits.

ಮೇಲಿನ ವಿಶ್ಲೇಷಣೆಯು ಚಿತ್ರ 1 (ಎ) ಯ ಆಂಪ್ಲಿಫಯರ್ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿನ ಪ್ರತಿಯೊಂದು ಪ್ರವಾಹ ಮತ್ತು ವೋಲ್ಟೇಜ್ ಎರಡು ಘಟಕಗಳಿಂದ ಕೂಡಿದೆ ಎಂದು ಸೂಚಿಸುತ್ತದೆ: ಡಿಸಿ ಘಟಕ ಮತ್ತು ಸಿಗ್ನಲ್ ಘಟಕ. ಉದಾಹರಣೆಗೆ, ವಿಬಿಇ ಮತ್ತು ವಿಬಿಇ + ವಿಬಿ, ಐಸಿ ಮತ್ತು ಐಸಿ + ಐಸಿ, ಮತ್ತು ಹಾಗೆ. dc ಘಟಕಗಳನ್ನು ಚಿತ್ರ 1 (ಬಿ) ನಲ್ಲಿ ನೀಡಿದ ಡಿಸಿ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ನಿರ್ಧರಿಸಲಾಗುತ್ತದೆ.

ಮತ್ತೊಂದೆಡೆ, ಕೆಳಗೆ ತೋರಿಸಿರುವಂತೆ, ಡಿಸಿ ಮೂಲಗಳನ್ನು ತೆಗೆದುಹಾಕುವ ಮೂಲಕ ಬಿಜೆಟಿಯ ಸಿಗ್ನಲ್ ಕಾರ್ಯಾಚರಣೆಯ ಪ್ರಾತಿನಿಧ್ಯವನ್ನು ಪಡೆಯಬಹುದು. ಆದರ್ಶ ಡಿಸಿ ಪೂರೈಕೆಯ ವೋಲ್ಟೇಜ್ ಬದಲಾಗುವುದಿಲ್ಲವಾದ್ದರಿಂದ, ಅದರ ಉದ್ದಕ್ಕೂ ಸಿಗ್ನಲ್ ವೋಲ್ಟೇಜ್ ಶೂನ್ಯವಾಗಿರುತ್ತದೆ ಎಂದು ಗಮನಿಸಿ. ಈ ಕಾರಣಕ್ಕಾಗಿ ನಾವು ವಿಸಿಸಿ ಮತ್ತು ವಿಬಿಇ ಅನ್ನು ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳೊಂದಿಗೆ ಬದಲಾಯಿಸಿದ್ದೇವೆ. ಸರ್ಕ್ಯೂಟ್ ಆದರ್ಶ ಡಿಸಿ ಪ್ರಸ್ತುತ ಮೂಲಗಳನ್ನು ಹೊಂದಿದ್ದರೆ, ಇವುಗಳನ್ನು ತೆರೆದ ಸರ್ಕ್ಯೂಟ್‌ಗಳಿಂದ ಬದಲಾಯಿಸಲಾಗುತ್ತಿತ್ತು.

ವರೀಲ ವಿಶ್ಲೇಷಣ Fig.1 (ಅ) ಚಾ ವರ್ಧಕ ಸರ್ಕ್ಯೂಟ್ ಮಧ್ಯೆ ಪ್ರತ್ಯೇಕ ವರ್ತಮಾನ ಆಫಿ ಫೋಲ್ಟೇಜ ಡೊನ ಘಟಕ ಬನಲೇಲೆ ಆಹೆ ಅಸೆ ಸ್ಕುಚಿತ ಕರತೆ ಕೀ: ಂಕ ಡೀಸೀ ಘಟಕ ಆಫಿ ಂಕ ಸಿಗ್ನಲ ಘಟಕ. ಁದಾಹರಣಾರ್ಥ, $v_{BE} = V_{BE} + v_{be}$, ಆಯಸೀ = ಆಯಸೀ + ಆಯಸೀ, ಆಫಿ ಲ್ಯಾಮುಲೆ ವರ. ಡೀಸೀ ಘಟಕ ಫಿಗ 1 (ಬ) ಮಧ್ಯೆ ದಿಲೇಲ್ಯಾ ಡೀಸೀ ಸರ್ಕ್ಯೂಟ್ ಪಾಸೂನ ನಿಶ್ಚಿತ ಕೇಲೆ ಜಾತಾತ.

ಢುಸರೀಕಡೆ, ಖಾಲೀ ದರ್ಶವಿಲ್ಯಾಪ್ರಮಾಣೆ, ಡೀಸೀ ಸೂತ ನಶ್ಠ ಕರ್ನುನ ಖಾಜಪಚ್ಯಾ ಸಿಗ್ನಲ ಆಫೆರೆಶನವೆ ಪ್ರತಿನಿಧಿಲ್ವ ಮಿಲ್ ಶಕತೆ. ಂಕ ಆದರ್ಶ ಡೀಸೀ ಪುರವಠ್ಯಾಚಾ ಫೋಲ್ಟೇಜ ಬದಲತ ನಾಹೀ ಢ್ಹಣೂನ ನಿರೀಕ್ಷಣ ಕರಾ, ಲ್ಯಾವರೀಲ ಸಿಗ್ನಲ ಫೋಲ್ಟೇಜ ಶೂನ್ಯ ಅಸೆಲ. ಯಾ ಕಾರಣಾಸಾಠೀ ಆಢ್ಹೀ V_{CC} ಆಫಿ V_{BE} ಚೀ ಜಾಗಾ ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ನೆ ಘೆತಲೀ ಆಹೆ. ಜರ ಸರ್ಕ್ಯೂಟ್‌ಮಧ್ಯೆ ಆದರ್ಶ ಡೀಸೀ ವರ್ತಮಾನ ಸೂತ ಅಸತೆ, ತರ ಹೆ ಖುಲ್ಯಾ ಸರ್ಕ್ಯೂಟ್‌ದ್ವಾರೆ ಬದಲಲೆ ಗೆಲೆ ಅಸತೆ.

MODULE 1:

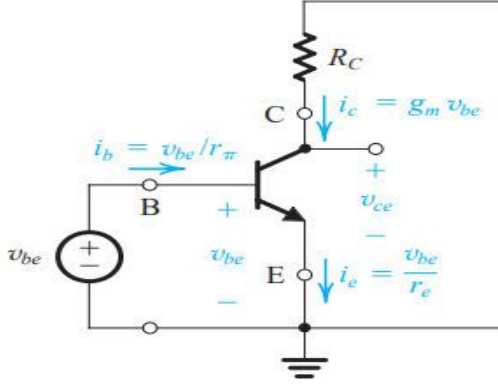


Fig 1(e): The amplifier circuit of Fig. 1(a) with the dc sources (V_{BE} and V_{CC}) eliminated (short-circuited). Thus, only the signal components are present. Note that this is a representation of the signal operation of the BJT and not an actual amplifier circuit.

Note, however, that the circuit of Fig. 1(e) is useful only in so far as it shows the various signal currents and voltages; it is not an actual amplifier circuit, since the dc bias circuit is not shown. Figure 6.39 also shows the expressions for the current increments (i_c , i_b , and i_e) obtained when a small signal v_{be} is applied. These relationships can be represented by a circuit. Such a circuit should have three terminals—C, B, and E—and should yield the same terminal currents indicated in Fig. 1(e). The resulting circuit is then equivalent to the transistor as far as small-signal operation is concerned, and thus it can be considered an equivalent small-signal circuit model.

ಆದಾಗ್ಯೂ, ಚಿತ್ರ 1 (ಇ) ಯ ಸರ್ಕ್ಯೂಟ್ ವಿವಿಧ ಸಿಗ್ನಲ್ ಪ್ರವಾಹಗಳು ಮತ್ತು ವೋಲ್ಟೇಜ್‌ಗಳನ್ನು ತೋರಿಸುವವರೆಗೆ ಮಾತ್ರ ಉಪಯುಕ್ತವಾಗಿದೆ ಎಂಬುದನ್ನು ಗಮನಿಸಿ: ಇದು ನಿಜವಾದ ಆಂಪ್ಲಿಫೈಯರ್ ಸರ್ಕ್ಯೂಟ್ ಅಲ್ಲ, ಏಕೆಂದರೆ ಡಿಸಿ ಬಯಾಸ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ತೋರಿಸಲಾಗಿಲ್ಲ. ಚಿತ್ರ 6.39 ಸಹ ಒಂದು ಸಣ್ಣ ಸಿಗ್ನಲ್ ವಿಬ್ ಅನ್ವಯಿಸಿದಾಗ ಪಡೆದ ಪ್ರಸ್ತುತ ವರ್ಧಕಗಳಿಗೆ (i_c , i_b , ಮತ್ತು i_e) ಅಭಿವ್ಯಕ್ತಿಗಳು ತೋರಿಸುತ್ತದೆ. ಈ ಸಂಬಂಧಗಳನ್ನು ಸರ್ಕ್ಯೂಟ್ ಪ್ರತಿನಿಧಿಸಬಹುದು. ಅಂತಹ ಸರ್ಕ್ಯೂಟ್ ಮೂರು ಟರ್ಮಿನಲ್‌ಗಳನ್ನು ಹೊಂದಿರಬೇಕು - ಸಿ, ಬಿ, ಮತ್ತು ಇ - ಮತ್ತು ಚಿತ್ರ 1 (ಇ) ನಲ್ಲಿ ಸೂಚಿಸಲಾದ ಅದೇ ಟರ್ಮಿನಲ್ ಪ್ರವಾಹಗಳನ್ನು ನೀಡಬೇಕು. ಪರಿಣಾಮವಾಗಿ ಉಂಟಾಗುವ ಸರ್ಕ್ಯೂಟ್ ನಂತರ ಸಣ್ಣ-ಸಂಕೇತ ಕಾರ್ಯಾಚರಣೆಗೆ ಸಂಬಂಧಿಸಿದಂತೆ ಟ್ರಾನ್ಸಿಸ್ಟರ್ಗ್ಗೆ ಸಮನಾಗಿರುತ್ತದೆ, ಮತ್ತು ಹೀಗಾಗಿ ಇದನ್ನು ಸಮಾನ ಸಣ್ಣ-ಸಂಕೇತ ಸರ್ಕ್ಯೂಟ್ ಮಾದರಿ ಎಂದು ಪರಿಗಣಿಸಬಹುದು.

तथापि, लक्षात घ्या की फिग. 1 (ई) चे सर्किट केवळ आतापर्यंत उपयुक्त आहे कारण ते विविध सिग्नल प्रवाह आणि व्होल्टेज दर्शविते; डीसी पूर्वग्रह सर्किट दर्शविले जात नाही म्हणून ते प्रत्यक्ष वर्धक सर्किट

MODULE 1:

नाही. आकृती 6.39 देखील एक लहान सिग्नल v_{be} लागू केले जाते तेव्हा प्राप्त वर्तमान वेतनवाढ (i_c , i_b , आणि म्हणजे) अभिव्यक्ती दाखवते. हे संबंध एक सर्किट द्वारे दर्शविले जाऊ शकते. अशा सर्किटमध्ये तीन टर्मिनल असावेत - सी, बी आणि ई - आणि फिग 1 (ई) मध्ये दर्शविलेले समान टर्मिनल प्रवाह उत्पन्न करावेत. परिणामी सर्किट नंतर लहान-सिग्नल ऑपरेशन पर्यंत ट्रान्झिस्टर समतुल्य आहे, आणि अशा प्रकारे तो एक समतुल्य लहान-सिग्नल सर्किट मॉडेल मानले जाऊ शकते.

1.26 The Hybrid – π model:

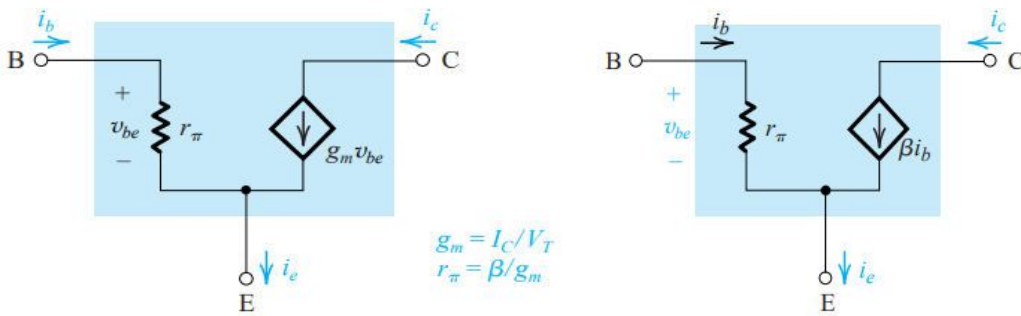
An equivalent circuit model for the BJT is shown in Fig. 1(e). This model represents the BJT as a voltage-controlled current source and explicitly includes the input resistance looking into the base, r_π . The model obviously yields $i_c = g_m v_{be}$ and Not so obvious, however, is the fact that the model also yields the correct expression for i_e . This can be shown as follows: At the emitter node we have

$$\begin{aligned} i_e &= \frac{v_{be}}{r_\pi} + g_m v_{be} = \frac{v_{be}}{r_\pi} (1 + g_m r_\pi) \\ &= \frac{v_{be}}{r_\pi} (1 + \beta) = v_{be} / \left(\frac{r_\pi}{1 + \beta} \right) \\ &= v_{be} / r_e \end{aligned}$$

A slightly different equivalent-circuit model can be obtained by expressing the current of the controlled source ($g_m v_{be}$) in terms of the base current i_b as follows:

$$\begin{aligned} g_m v_{be} &= g_m (i_b r_\pi) \\ &= (g_m r_\pi) i_b = \beta i_b \end{aligned}$$

This results in the alternative equivalent-circuit model shown in Fig.1(f). Here the transistor is represented as a current-controlled current source, with the control current being i_b .



MODULE 1:

Fig. 1: Two slightly different versions of the hybrid- π model for the small-signal operation of the BJT. The equivalent circuit in 1(e) represents the BJT as a voltage-controlled current source (transconductance amplifier), and that in 1(f) represents the BJT as a current-controlled current source (a current amplifier).

The two models of above figure are simplified versions of what is known as the hybrid- π model. This is the most widely used model for the BJT. It is important to note that the small-signal equivalent circuits of fig 1(f) model the operation of the BJT at a given bias point. This should be obvious from the fact that the model parameters g_m and r_π depend on the value of the dc bias current I_C , as indicated in above figure. It is interesting and useful to note that the models of Fig. 1(e) and 1(f) are the small-signal versions of BJT.

ಮೇಲಿನ ಫಿಗರ್ನ್ ಎರಡು ಮಾದರಿಗಳು ಹೈಬ್ರಿಡ್-ಪಿ ಮಾದರಿ ಎಂದು ಕರೆಯಲ್ಪಡುವ ಸರಳೀಕೃತ ಆವೃತ್ತಿಗಳಾಗಿವೆ. ಇದು ಬಿಜೆಟಿಗೆ ಅತ್ಯಂತ ವ್ಯಾಪಕವಾಗಿ ಬಳಸಲಾಗುವ ಮಾದರಿಯಾಗಿದೆ. ಅಂಜೂರದ 1 (ಎಫ್) ಮಾದರಿಯ ಸಣ್ಣ-ಸಂಕೇತ ಸಮಾನ ಸ್ಕೂಟಿಗಳು - ಒಂದು ನಿರ್ದಿಷ್ಟ ಪಕ್ಷಪಾತ ಬಿಂದುವಿನಲ್ಲಿ ಬಿಜೆಟಿಯ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಗಮನಿಸುವುದು ಮುಖ್ಯ. ಇದು ಮಾದರಿ ನಿಯತಾಂಕಗಳನ್ನು ಗ್ರಾಂ ಮತ್ತು π ಮೇಲೆ ಚಿತ್ರದಲ್ಲಿ ಸೂಚಿಸಿರುವಂತೆ, dc ಪಕ್ಷಪಾತ ಪ್ರಸ್ತುತ IC ಮೌಲ್ಯವನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ ರಿಂದ ಸ್ಪಷ್ಟ ಇರಬೇಕು. ಚಿತ್ರ 1 (ಇ) ಮತ್ತು 1 (ಎಫ್) ನ ಮಾದರಿಗಳು ಬಿಜೆಟಿಯ ಸಣ್ಣ-ಸಂಕೇತ ಆವೃತ್ತಿಗಳಾಗಿವೆ ಎಂದು ಗಮನಿಸುವುದು ಆಸಕ್ತಿದಾಯಕ ಮತ್ತು ಉಪಯುಕ್ತವಾಗಿದೆ.

वरील आकृती दोन मॉडेल संकरीत-पी मॉडेल म्हणून ओळखले जाते काय सोपी आवृत्ती आहेत. भाजपसाठी हे सर्वात जास्त वापरले जाणारे मॉडेल आहे. हे लक्षात घेणे महत्वाचे आहे की अंजीर 1 (एफ) च्या लहान-सिग्नल समतुल्य सर्किट्स दिलेल्या पूर्वग्रह बिंदूवर BJT च्या ऑपरेशनचे मॉडेल करतात. हे मॉडेल मापदंड ग्राह आणि आरपी वरील आकृती मध्ये दर्शविल्याप्रमाणे डीसी पूर्वग्रह वर्तमान आयसी, मूल्य अवलंबून असते की पासून स्पष्ट पाहिजे. हे मनोरंजक आणि उपयुक्त आहे की फिग. 1 (ई) आणि 1 (एफ) च्या मॉडेल्स BJT च्या लहान-सिग्नल आवृत्ती आहेत.

1.27 The T – Model:

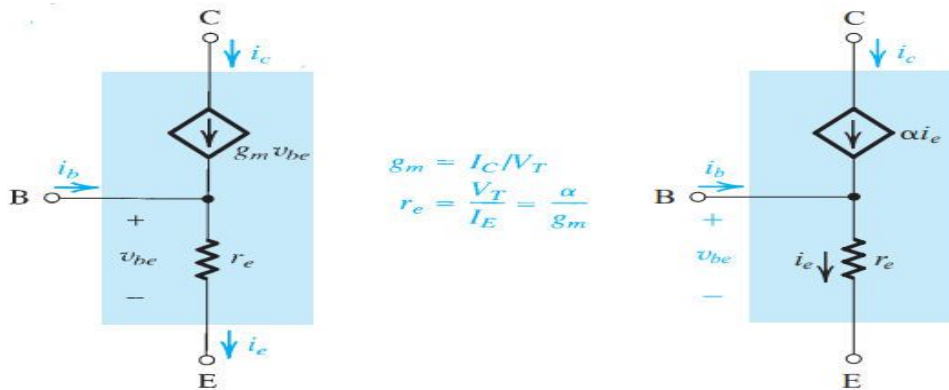
Although the hybrid- π model can be used to carry out small-signal analysis of any transistor circuit, there are situations in which an alternative model, shown in Fig. 1(g), is much more

MODULE 1:

convenient. This model, called the T model, is shown in two versions below. The model of Fig. 1.g(a) represents the BJT as a voltage-controlled current source with the control voltage being v_{be} . Here, however, the resistance between base and emitter, looking into the emitter, is explicitly shown. From Fig. 1.g(a) we see clearly that the model yields the correct expressions for i_c and i_e . For i_b we note that at the base node we have

ಹೈಬ್ರಿಡ್-ಪಿ ಮಾದರಿಯನ್ನು ಯಾವುದೇ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಸರ್ಕ್ಯೂಟ್‌ನ ಸಣ್ಣ-ಸಂಕೇತ ವಿಶ್ಲೇಷಣೆಯನ್ನು ಕೈಗೊಳ್ಳಲು ಬಳಸಬಹುದಾದರೂ, ಚಿತ್ರಣದಲ್ಲಿ ತೋರಿಸಿರುವ ಪರ್ಯಾಯ ಮಾದರಿಯು ಸನ್ನಿವೇಶಗಳಿವೆ. 1 (ಜಿ), ಹೆಚ್ಚು ಅನುಕೂಲಕರ. ಟಿ ಮಾದರಿ ಎಂದು ಕರೆಯಲ್ಪಡುವ ಈ ಮಾದರಿಯನ್ನು ಕೆಳಗೆ ಎರಡು ಆವೃತ್ತಿಗಳಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. ಚಿತ್ರ 1.g (ಎ) ಮಾದರಿಯು ಬಿಜೆಟಿಯನ್ನು ವೋಲ್ಟೇಜ್-ನಿಯಂತ್ರಿತ ಪ್ರವಾಹ ಮೂಲವಾಗಿ ಪ್ರತಿನಿಧಿಸುತ್ತದೆ. ಇಲ್ಲಿ, ಆದಾಗ್ಯೂ, ಬೇಸ್ ಮತ್ತು ಹೊರಸೂಸುವಿಕೆಯ ನಡುವಿನ ಪ್ರತಿರೋಧ, ಹೊರಸೂಸುವಿಕೆಯನ್ನು ನೋಡುವುದು, ಸ್ಪಷ್ಟವಾಗಿ ತೋರಿಸಲಾಗಿದೆ. ಫಿಗರ್ ನಿಂದ. 1.g(a) ಮಾದರಿ i_c ಮತ್ತು i_e ಗಾಗಿ ಸರಿಯಾದ ಅಭಿವ್ಯಕ್ತಿಗಳನ್ನು ನೀಡುತ್ತದೆ ಎಂದು ನಾವು ಸ್ಪಷ್ಟವಾಗಿ ನೋಡುತ್ತೇವೆ. i_b ಗಾಗಿ ನಾವು ಹೊಂದಿರುವ ಬೇಸ್ ನೋಡ್‌ನಲ್ಲಿ ನಾವು ಗಮನಿಸುತ್ತೇವೆ

ಸಂಕೇತ-ಪಿ ಮॉडल कोणत्याही ट्रान्झिस्टर सर्किट लहान-संकेत विश्लेषण अमलात आणणे वापरले जाऊ शकते तरी, अशा परिस्थितीत आहेत ज्यात एक पर्यायी मॉडल, फिग मध्ये दर्शविले आहे. 1 (जी), जास्त सोयीस्कर आहे. हे मॉडल, टी मॉडल म्हणतात, खाली दोन आवृत्त्या मध्ये दर्शविले आहे. अंजीर मॉडल. 1.g (एक) नियंत्रण व्होल्टेज v_{be} जात एक व्होल्टेज-नियंत्रित वर्तमान स्रोत म्हणून BJT प्रतिनिधित्व करते. तथापि, येथे, आधार आणि emitter दरम्यान प्रतिकार, emitter मध्ये पाहणे, स्पष्टपणे दर्शविले आहे. अंजीर पासून. 1.g (अ) आम्ही स्पष्टपणे पाहतो की मॉडल आयसीसाठी योग्य अभिव्यक्ती उत्पन्न करते आणि म्हणजे. i_b साठी आम्ही लक्षात ठेवा की बेस नोडमध्ये आपल्याकडे आहे



MODULE 1:

Figure 1(g): Two slightly different versions of what is known as the T model of the BJT. The circuit in 1(g)(a) is a voltage-controlled current source representation and that in 1(g)(b) is a current-controlled current source representation. These models explicitly show the emitter resistance r_e rather than the base resistance r_π featured in the hybrid- π model.

$$\begin{aligned} i_b &= \frac{v_{be}}{r_e} - g_m v_{be} = \frac{v_{be}}{r_e} (1 - g_m r_e) \\ &= \frac{v_{be}}{r_e} (1 - \alpha) = \frac{v_{be}}{r_e} \left(1 - \frac{\beta}{\beta + 1} \right) \\ &= \frac{v_{be}}{(\beta + 1)r_e} = \frac{v_{be}}{r_\pi} \end{aligned}$$

If in the model of Fig. 1(g)(a) the current of the controlled source is expressed in terms of the emitter current as

$$\begin{aligned} g_m v_{be} &= g_m (i_e r_e) \\ &= (g_m r_e) i_e = \alpha i_e \end{aligned}$$

we obtain the alternative T model shown in Fig. 1(g)(b). Here the BJT is represented as a current-controlled current source but with the control signal being i_e .

MOSFETs: Biasing in MOS amplifier circuits: Fixing V_{GS} , Fixing V_G , Drain to Gate feedback resistor. Small signal operation and modeling: The DC bias point, signal current in drain, voltage gain, small signal equivalent circuit models, transconductance, The T equivalent circuit model.

1.3 Biasing in MOS Amplifier Circuits:

An essential step in the design of a MOSFET amplifier circuit is the establishment of an appropriate dc operating point for the transistor. This is the step known as biasing or bias design. An appropriate dc operating point or bias point is characterized by a stable and predictable dc drain current I_D and by a dc drain-to-source voltage V_{DS} that ensures operation in the saturation region for all expected input-signal levels.

ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿ ಆಂಪ್ಲಿಫಿಯರ್ ಸರ್ಕ್ಯೂಟ್ಸ್ ವಿನ್ಯಾಸದಲ್ಲಿ ಒಂದು ಅತ್ಯಗತ್ಯ ಹಂತವೆಂದರೆ ಟ್ರಾನ್ಸಿಸ್ಟರ್ಗೆ ಸೂಕ್ತವಾದ ಡಿಸಿ ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಅನ್ನು ಸ್ಥಾಪಿಸುವುದು. ಇದು ಪಕ್ಷಪಾತ ಅಥವಾ ಪಕ್ಷಪಾತ ವಿನ್ಯಾಸ ಎಂದು ಕರೆಯಲ್ಪಡುವ

MODULE 1:

ಹಂತವಾಗಿದೆ. ಸೂಕ್ತ ಡಿಸಿ ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಅಥವಾ ಪಕ್ಷಪಾತ ಬಿಂದುವನ್ನು ಸ್ಥಿರ ಮತ್ತು ಉಹಿಸಬಹುದಾದ ಡಿಸಿ ಡ್ರೈನ್ ಕರೆಂಟ್ ಐಡಿ ಮತ್ತು ಡಿಸಿ ಡ್ರೈನ್-ಟು-ಸೋರ್ಸ್ ವೋಲ್ಟೇಜ್ ವಿಡಿಎಸ್ನಿಂದ ನಿರೂಪಿಸಲಾಗಿದೆ, ಇದು ಎಲ್ಲಾ ನಿರೀಕ್ಷಿತ ಇನ್ಪುಟ್-ಸಿಗ್ನಲ್ ಮಟ್ಟಗಳಿಗೆ ಸ್ಯಾಚುರೇಶನ್ ಪ್ರದೇಶದಲ್ಲಿ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಖಾತ್ರಿಗೊಳಿಸುತ್ತದೆ.

एमओएसएफईटी वर्धक सर्किटच्या डिझाइनमध्ये एक आवश्यक पाऊल म्हणजे ट्रान्झिस्टरसाठी योग्य डीसी ऑपरेटिंग पॉइंटची स्थापना. हे पाऊल पक्षपाती किंवा पक्षपाती डिझाइन म्हणून ओळखले जाते. एक योग्य डीसी ऑपरेटिंग पॉइंट किंवा पूर्वग्रह बिंदू एक स्थिर आणि अंदाज डीसी ड्रेन करंट आयडी आणि डीसी ड्रेन-टू-सोर्स व्होल्टेज व्हीडीएस द्वारे दर्शविले जाते जे सर्व अपेक्षित इनपुट-सिग्नल स्तरांसाठी संपृक्तता प्रदेशात ऑपरेशन सुनिश्चित करते.

1.31 Biasing by Fixing V_{GS} :

The most straightforward approach to biasing a MOSFET is to fix its gate-to-source voltage V_{GS} to the value required to provide the desired I_D . This voltage value can be derived from the power-supply voltage V_{DD} through the use of an appropriate voltage divider. Alternatively, it can be derived from another suitable reference voltage that might be available in the system. Independent of how the voltage V_{GS} may be generated, this is not a good approach to biasing a MOSFET. To understand the reason for this statement, recall that

ಬಯಸಿದ I_D ಯನ್ನು ಒದಗಿಸಲು ಅಗತ್ಯವಾದ ಮೌಲ್ಯಕ್ಕೆ ಅದರ ಗೇಟ್-ಟು-ಸೋರ್ಸ್ ವೋಲ್ಟೇಜ್ ವಿಜಿಎಸ್ ಅನ್ನು ಸರಿಪಡಿಸುವುದು ಒಂದು Mosfet ಅನ್ನು ಪಕ್ಷಪಾತ ಮಾಡುವ ಅತ್ಯಂತ ನೇರವಾದ ವಿಧಾನವಾಗಿದೆ. ಈ ವೋಲ್ಟೇಜ್ ಮೌಲ್ಯವನ್ನು ಸೂಕ್ತ ವೋಲ್ಟೇಜ್ ವಿಭಾಜಕದ ಬಳಕೆಯ ಮೂಲಕ ವಿದ್ಯುತ್ ಪೂರೈಕೆ ವೋಲ್ಟೇಜ್ ವಿ. ಡಿ. ಡಿ ಪಡೆಯಬಹುದು. ಪರ್ಯಾಯವಾಗಿ, ಇದನ್ನು ಸಿಸ್ಟಮ್‌ನಲ್ಲಿ ಲಭ್ಯವಿರುವ ಮತ್ತೊಂದು ಸೂಕ್ತವಾದ ಉಲ್ಲೇಖ ವೋಲ್ಟೇಜ್‌ನಿಂದ ಪಡೆಯಬಹುದು. ವೋಲ್ಟೇಜ್ ವಿಜಿಎಸ್ ಅನ್ನು ಹೇಗೆ ಉತ್ಪಾದಿಸಬಹುದು ಎಂಬುದರ ಬಗ್ಗೆ ಸ್ವತಂತ್ರವಾಗಿ, ಇದು ಒಂದು ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿಯನ್ನು ಪಕ್ಷಪಾತ ಮಾಡಲು ಉತ್ತಮ ವಿಧಾನವಲ್ಲ. ಈ ಹೇಳಿಕೆಯ ಕಾರಣವನ್ನು ಅರ್ಥಮಾಡಿಕೊಳ್ಳಲು, ಅದನ್ನು ನೆನಪಿಸಿಕೊಳ್ಳಿ.

एक MOSFET पक्षपाती सर्वात सरळ दृष्टिकोन इच्छित आयडी प्रदान करण्यासाठी आवश्यक मूल्य त्याच्या गेट-टू-स्रोत व्होल्टेज V_{GS} निराकरण करण्यासाठी आहे. हे व्होल्टेज मूल्य योग्य व्होल्टेज विभाजक वापर माध्यमातून वीज पुरवठा व्होल्टेज V_{DD} पासून प्राप्त केले जाऊ शकते. पर्यायाने, तो

MODULE 1:

प्रणाली मध्ये उपलब्ध असू शकते की दुसऱ्या योग्य संदर्भ व्होल्टेज पासून प्राप्त केले जाऊ शकते. व्होल्टेज व्हीजीएस कसे तयार केले जाऊ शकते यापासून स्वतंत्र, हे एक MOSFET पक्षपाती करण्याचा चांगला दृष्टिकोन नाही. या विधानाचे कारण समजून घेण्यासाठी, ते लक्षात ठेवा

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_t)^2$$

and note that the values of the threshold voltage V_t , the oxide-capacitance C_{ox} , and (to a lesser extent) the transistor aspect ratio vary widely among devices of supposedly the same size and type. This is certainly the case for discrete devices, in which large spreads in the values of these parameters occur among devices of the same manufacturer's part number. The spread is also large in integrated circuits, especially among devices fabricated on different wafers and certainly between different batches of wafers. Furthermore, both V_t and μ_n depend on temperature, with the result that if we fix the value of V_{GS} , the drain current I_D becomes very much temperature dependent.

To emphasize the point that biasing by fixing V_{GS} is not a good technique, we show in Fig. 1(h) two i_D - v_{GS} characteristic curves representing extreme values in a batch of MOSFETs of the same type. Observe that for the fixed value of V_{GS} , the resultant spread in the values of the drain current can be substantial.

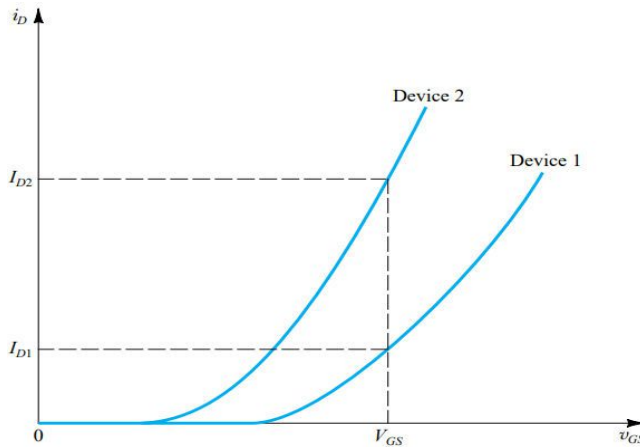


Fig:1(h): The use of fixed bias (constant V_{GS}) can result in a large variability in the value of I_D . Devices 1 and 2 represent extremes among units of the same type.

1.32 Biasing By fixing V_G and connecting a Resistance in the source:

An excellent biasing technique for discrete MOSFET circuits consists of fixing the dc voltage at the gate, V_G , and connecting a resistance in the source lead, as shown in Fig. 1(i). For this circuit we can write

$$V_G = V_{GS} + R_S I_D$$

MODULE 1:

Now, if V_G is much greater than V_{GS} , I_D will be mostly determined by the values of V_G and R_S . However, even if V_G is not much larger than V_{GS} , resistor R_S provides negative feedback, which acts to stabilize the value of the bias current I_D . To see how this comes about, consider what happens when I_D increases for whatever reason. Equation above indicates that since V_G is constant, V_{GS} will have to decrease. This in turn results in a decrease in I_D , a change that is

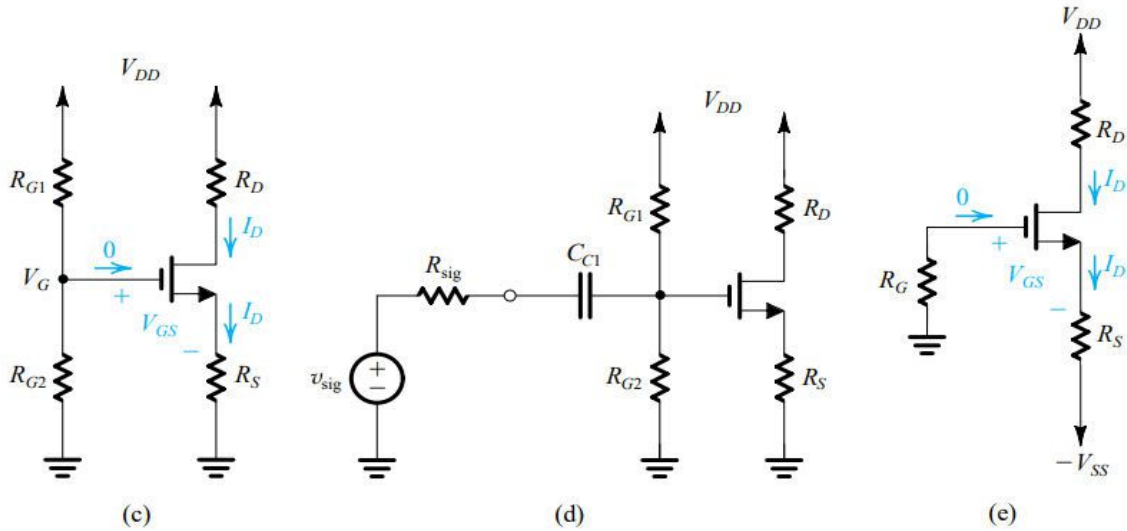
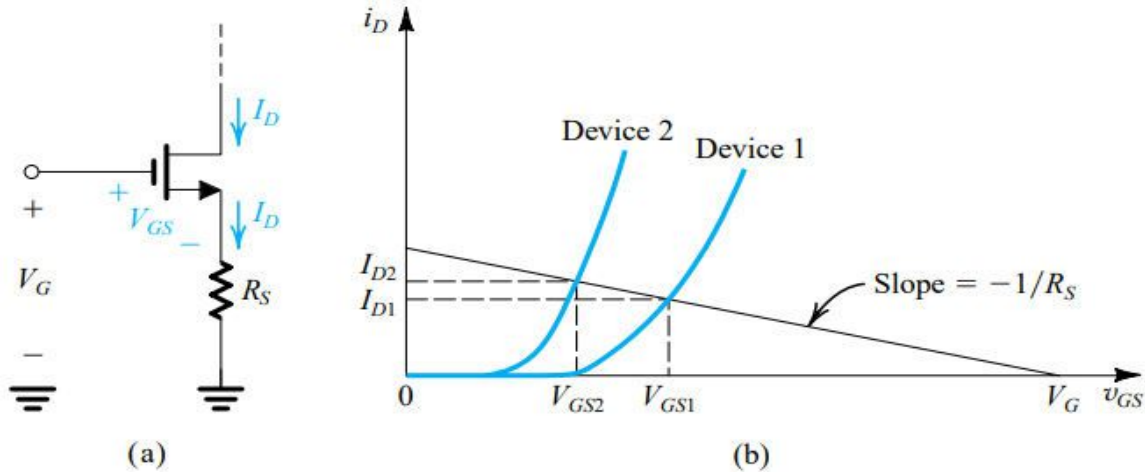


Fig 1(i): Biasing using a fixed voltage at the gate, V_G , and a resistance in the source lead, R_S : (a) basic arrangement; (b) reduced variability in I_D ; (c) practical implementation using a single supply; (d) coupling of a signal source to the gate using a capacitor C_{C1} ; (e) practical implementation using two supplies.

MODULE 1:

opposite to that initially assumed. Thus the action of R_S works to keep I_D as constant as possible. This negative feedback action of R_S gives it the name degeneration resistance, a name that we will appreciate much better at a later point in this text.

Figure (b) provides a graphical illustration of the effectiveness of this biasing scheme. Here too we show the i_D - v_{GS} characteristics for two devices that represent the extremes of a batch of MOSFETs. Superimposed on the device characteristics is a straight line that represents the constraint imposed by the bias circuit. The intersection of this straight line with the i_D - v_{GS} characteristic curve provides the coordinates (I_D and V_{GS}) of the bias point. Observe that compared to the case of fixed V_{GS} , here the variability obtained in I_D is much smaller. Also, note that the variability decreases as V_G and R_S are made larger (thus providing a bias line that is less steep).

Two possible practical discrete implementations of this bias scheme are shown in Fig. (c) and (e). The circuit in Fig. (c) utilizes one power-supply V_{DD} and derives V_G through a voltage divider (R_{G1} , R_{G2}). Since $I_G = 0$, R_{G1} and R_{G2} can be selected to be very large (in the megohm range), allowing the MOSFET to present a large input resistance to a signal source that may be connected to the gate through a coupling capacitor, as shown in Fig.(d). Here capacitor C_{C1} blocks dc and thus allows us to couple the signal v_{sig} to the amplifier input without disturbing the MOSFET dc bias point. The value of C_{C1} should be selected large enough to approximate a short circuit at all signal frequencies of interest. We shall study capacitively coupled MOSFET amplifiers, which are suitable only in discrete circuit design. Finally, note that in the circuit of Fig.(c), resistor R_D is selected to be as large as possible to obtain high gain but small enough to allow for the desired signal swing at the drain while keeping the MOSFET in saturation at all times.

When two power supplies are available, as is often the case, the somewhat simpler bias arrangement of Fig.(e) can be utilized. This circuit is an implementation of above equation, with V_G replaced by V_{SS} . Resistor R_G establishes a dc ground at the gate and presents a high input resistance to a signal source that may be connected to the gate through a coupling capacitor.

1.33 Biasing Using Drain to Gate Feedback Resistor:

A simple and effective discrete-circuit biasing arrangement utilizing a feedback resistor connected between the drain and the gate is shown in Fig. 1(j). Here the large feedback

MODULE 1:

resistance R_G (usually in the megohm range) forces the dc voltage at the gate to be equal to that at the drain (because $I_G = 0$). Thus we can write

$$V_{GS} = V_{DS} = V_{DD} - R_D I_D$$

which can be rewritten in the form

$$V_{DD} = V_{GS} + R_D I_D$$

If I_D for some reason changes, say increases, then above equation indicates that V_{GS} must decrease. The decrease in V_{GS} in turn causes a decrease in I_D , a change that is opposite in direction to the one originally assumed. Thus the negative feedback or degeneration provided by R_G works to keep the value of I_D as constant as possible. The circuit of Fig. 1(k) can be utilized as an amplifier by applying the input voltage signal to the gate via a coupling capacitor so as not to disturb the dc bias conditions already established. The amplified output signal at the drain can be coupled to another part of the circuit, again via a capacitor.

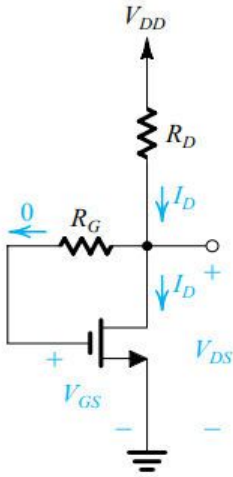


Fig:1(j): Biasing the MOSFET using a large drain-to-gate feedback resistance, R_G

Small signal operation and modelling: The DC bias point, signal current in drain, voltage gain, small signal equivalent circuit models, transconductance, The T equivalent circuit model.

1.4 Small Signal Operation and Models:

In our study of the operation of the MOSFET amplifier we learned that linear amplification can be obtained by biasing the MOSFET to operate in the saturation region and by keeping the input signal small. In this section, we explore the small-signal operation in some detail.

For this purpose we utilize the conceptual amplifier circuit shown in Fig.1(k). Here the MOS transistor is biased by applying a dc voltage V_{GS} , and the input signal to be amplified, v_{gs} , is superimposed on the dc bias voltage V_{GS} . The output voltage is taken at the drain.

ಮೋಸ್ಕೆಟ್ ಆಂಪ್ಲಿಫೈಯರ್ ಕಾರ್ಯಾಚರಣೆಯ ನಮ್ಮ ಅಧ್ಯಯನದಲ್ಲಿ, ನಾವು ಸ್ಯಾಚುರೇಶನ್ ಪ್ರದೇಶದಲ್ಲಿ, ಕಾರ್ಯನಿರ್ವಹಿಸಲು ಮೋಸ್ಕೆಟ್ ಅನ್ನು ಪಕ್ಷಪಾತ ಮಾಡುವ

MODULE 1:

ಮೂಲಕ ಮತ್ತು ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಚಿಕ್ಕದಾಗಿ ಇಟ್ಟುಕೊಳ್ಳುವ ಮೂಲಕ ರೇಖೀಯ ವರ್ಧನೆಯನ್ನು ಪಡೆಯಬಹುದು ಎಂದು ನಾವು ಕಲಿತಿದ್ದೇವೆ. ಈ ವಿಭಾಗದಲ್ಲಿ, ನಾವು ಕೆಲವು ವಿವರವಾಗಿ ಸಣ್ಣ-ಸಿಗ್ನಲ್ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಅನ್ವೇಷಿಸುತ್ತೇವೆ.

ಈ ಉದ್ದೇಶಕ್ಕಾಗಿ ನಾವು ಪರಿಕಲ್ಪನೆಯ ಆಂಪ್ಲಿಫಯರ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಚಿತ್ರ 1 (ಕೆ) ನಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ ಬಳಸಿಕೊಳ್ಳುತ್ತೇವೆ. ಇಲ್ಲಿ, ಡಿಸಿ ವೋಲ್ಟೇಜ್ ವಿಜಿಎಸ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಎಂಒಎಸ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಪಕ್ಷಪಾತಿಯಾಗಿದೆ, ಮತ್ತು ವರ್ಧಿಸಬೇಕಾದ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್, ವಿಜಿಎಸ್, ಡಿಸಿ ಪಕ್ಷಪಾತ ವೋಲ್ಟೇಜ್ ವಿಜಿಎಸ್ ಮೇಲೆ ಸೂಪರ್‌ಇಂಪೋಸ್ ಆಗಿದೆ. ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಡ್ರೈನ್ ನಲ್ಲಿ ತೆಗೆದುಕೊಳ್ಳಲಾಗುತ್ತದೆ.

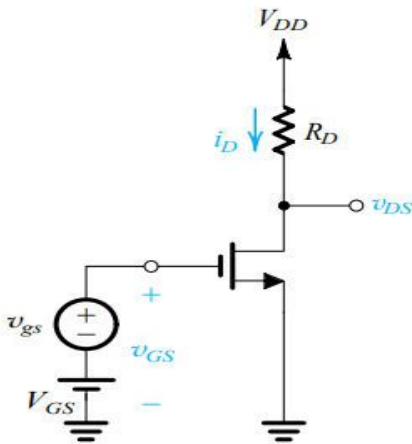
ಎಮಒಎಸಎಫ಼ರ್ಟಿ ವರ್ಧಕಾಚ್ಯಾ ಆಪರೇಶನಚ್ಯಾ ಆಮಚ್ಯಾ ಅಭ್ಯಾಸಾತ ಆಮ್ಹಿ ಶಿಕಲೊ ಕಿ ಸಂಪ್ರಕ್ತತಾ ಕ್ಷೇತ್ರಾತ್ ಕಾರ್ಯ ಕರನ್ಯಾಸಾಥಿ ಎಮಒಎಸಎಫ಼ರ್ಟಿಲಾ ಪಕ್ಷಪಾತಿ ಕರ್ನುನ್ ಆಣಿ ಇನ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ಲಹಾನ್ ಠೆವ್ನ್ ರೇಪೆಚಾ ವಿಸ್ತಾರ ಪ್ರಾಪ್ತ ಕೆಲಾ ಜಾ಼ು ಶಕತೊ. ಯಾ ವಿಭಾಗಾತ್, ಆಮ್ಹಿ ಕಾಹಿ ತಪಶೀಲ್ ಮध्ये ಲಹಾನ್-ಸಂಕೇತ ಆಪರೇಶನ್ ಅನ್ವೇಷಣ.

ಯಾ ಕಾರಣಾಸಾಥಿ ಆಮ್ಹಿ Fig.1 (ಕೆ) ಮध्ये ದರ್ಶಾವಿಲೆ ವೈಚಾರಿಕ ವರ್ಧಕ ಸರ್ಕ್ಯೂಟ್ ವಾಪರ್. ಯೆಥೆ ಎಮಒಎಸ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಡಿಸಿ ವೋಲ್ಟೇಜ್ V_{GS} ಲಾಗು ಕರ್ನುನ್ ಪಕ್ಷಪಾತಿ ಆಹೆ, ಆಣಿ ಇನ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ಪ್ರವರ್ಧಿತ ಕರಣೆ, v_{gs} , ಡಿಸಿ ಪಕ್ಷಪಾತಿ ವೋಲ್ಟೇಜ್ V_{GS} ವರ superimposed ಆಹೆ. ಆಊಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ನಾಲೆ ಯೆಥೆ ಘೆತಲೆ ಜಾತೆ.

1.41 The DC Bias point:

The dc bias current I_D can be found by setting the signal v_{gs} to zero; thus,

$$I_D = \frac{1}{2} k_n (V_{GS} - V_t)^2 = \frac{1}{2} k_n V_{OV}^2$$



where we have neglected channel-length modulation (i.e., we have assumed $\lambda = 0$). Here $V_{OV} = V_{GS} - V_t$ is the overdrive voltage at which the MOSFET is biased to operate. The dc voltage at the drain V_{DS} will be $V_{DS} = V_{DD} - R_D I_D$.

Fig 1(k): Conceptual circuit utilized to study the operation of the MOSFET as a small-signal amplifier.

To ensure saturation-region operation, we must have

$$V_{DS} > V_{OV}$$

MODULE 1:

Furthermore, since the total voltage at the drain will have a signal component superimposed on V_{DS} , V_{DS} has to be sufficiently greater than (V_{OV}) to allow for the required signal swing.

1.42 The signal current in the Drain terminal:

Next, consider the situation with the input signal v_{gs} applied. The total instantaneous gate-to-source voltage will be

$$v_{GS} = V_{GS} + v_{gs}$$

resulting in a total instantaneous drain current i_D ,

$$\begin{aligned} i_D &= \frac{1}{2} k_n (V_{GS} + v_{gs} - V_t)^2 \\ &= \frac{1}{2} k_n (V_{GS} - V_t)^2 + k_n (V_{GS} - V_t) v_{gs} + \frac{1}{2} k_n v_{gs}^2 \end{aligned}$$

The first term on the above equation can be recognized as the dc bias current I_D . The second term represents a current component that is directly proportional to the input signal v_{gs} . The third term is a current component that is proportional to the square of the input signal. This last component is undesirable because it represents nonlinear distortion. To reduce the nonlinear distortion introduced by the MOSFET, the input signal should be kept small so that

$$\frac{1}{2} k_n v_{gs}^2 \ll k_n (V_{GS} - V_t) v_{gs}$$

Resulting in

$$v_{gs} \ll 2(V_{GS} - V_t)$$

Or equivalently

$$v_{gs} \ll 2V_{OV}$$

If this small-signal condition is satisfied, we may neglect the last term in Equation of i_D and express i_D as

$$i_D \simeq I_D + i_d$$

Where

$$i_d = k_n (V_{GS} - V_t) v_{gs}$$

Or in terms of overdrive voltage V_{OV}

$$g_m = k_n V_{OV}$$

MODULE 1:

The parameter that relates i_d and v_{gs} is the MOSFET transconductance g_m ,

$$g_m \equiv \frac{i_d}{v_{gs}} = k_n (V_{GS} - V_t)$$

Or

$$g_m = k_n V_{OV}$$

Figure below presents a graphical interpretation of the small-signal operation of the MOSFET amplifier. Note that g_m is equal to the slope of the $i_D - v_{GS}$ characteristic at the bias point,

$$g_m \equiv \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{v_{GS}=V_{GS}}$$

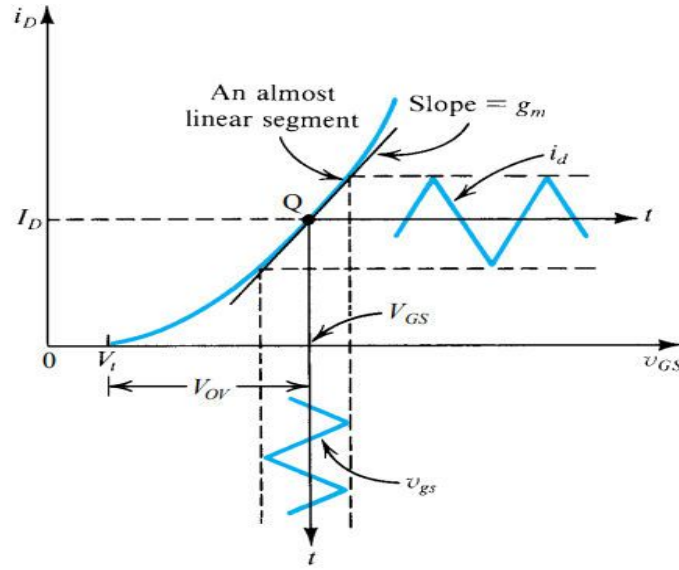


Fig:1(l): Small-signal operation of the MOSFET amplifier.

1.43 The Voltage Gain:

we can express the total instantaneous drain voltage v_{DS} as follows:

$$v_{DS} = V_{DD} - R_D i_D$$

Under the small-signal condition, we have

$$v_{DS} = V_{DD} - R_D (I_D + i_d)$$

Which can be rewritten as

$$v_{DS} = V_{DS} - R_D i_d$$

Thus the signal component of the drain voltage is

$$v_{ds} = -i_d R_D = -g_m v_{gs} R_D$$

Which indicates that the voltage gain is given by

$$A_v \equiv \frac{v_{ds}}{v_{gs}} = -g_m R_D$$

MODULE 1:

The minus sign in above equation indicates that the output signal v_{ds} is 180° out of phase with respect to the input signal v_{gs} . The input signal is assumed to have a triangular waveform with an amplitude much smaller than $2(V_{GS} - V_t)$, the small-signal condition ensure linear operation. For operation in the saturation region at all times, the minimum value of v_{DS} should not fall below the corresponding value of v_{GS} by more than V_t . Also, the maximum value of v_{DS} should be smaller than V_{DD} ; otherwise the FET will enter the cutoff region and the peaks of the output signal waveform will be clipped off.

ಮೇಲಿನ ಸಮೀಕರಣದಲ್ಲಿ ಮೈನಸ್ ಸೈನ್ ಇನ್ವುಟ್ ಸಿಗ್ನಲ್ ವ್ಹ್ವ್ ಸಂಬಂಧಿಸಿದಂತೆ ಔಟ್ಪುಟ್ ಸಿಗ್ನಲ್ 180° ಔಟ್ ಹಂತದ ಎಂದು ಸೂಚಿಸುತ್ತದೆ. ಇನ್ವುಟ್ ಸಿಗ್ನಲ್ ಅನ್ನು 2 (ವಿಜಿಎಸ್ - ವಿಟಿ) ಗಿಂತ ಚಿಕ್ಕದಾದ ವೈಶಾಲ್ಯದೊಂದಿಗೆ ತ್ರಿಕೋನ ತರಂಗರೂಪವನ್ನು ಹೊಂದಿದೆ ಎಂದು ಊಹಿಸಲಾಗಿದೆ, ಸಣ್ಣ-ಸಿಗ್ನಲ್ ಪರತ್ತು ರೇಖೀಯ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಖಚಿತಪಡಿಸುತ್ತದೆ. ಎಲ್ಲಾ ಸಮಯದಲ್ಲೂ ಸ್ಯಾಚುರೇಶನ್ ಪ್ರದೇಶದಲ್ಲಿನ ಕಾರ್ಯಾಚರಣೆಗಾಗಿ, ವಿಡಿಎಸ್ನ ಕನಿಷ್ಠ ಮೌಲ್ಯವು ವಿಜಿಎಸ್ನ ಕೋರ್ ಸ್ಪಾಂಡಿಂಗ್ ಮೌಲ್ಯಕ್ಕಿಂತ ವಿಟಿಗಿಂತ ಹೆಚ್ಚು ಕೆಳಗೆ ಬೀಳಬಾರದು. ಅಲ್ಲದೆ, ವಿಡಿಎಸ್ನ ಗರಿಷ್ಠ ಮೌಲ್ಯವು ವಿಡಿಡಿಎಸ್ನಿಗಿಂತ ಚಿಕ್ಕದಾಗಿರಬೇಕು - ಇಲ್ಲದಿದ್ದರೆ ಎಫ್‌ಇಟಿ ಕಟ್‌ಆಫ್ ಪ್ರದೇಶವನ್ನು ಪ್ರವೇಶಿಸುತ್ತದೆ ಮತ್ತು ಔಟ್ಪುಟ್ ಸಿಗ್ನಲ್ ತರಂಗ ರೂಪದ ಶಿಖರಗಳನ್ನು ಕ್ಲಿಪ್ ಮಾಡಲಾಗುವುದು.

वरील समीकरण मध्ये वजा चिन्ह इनपुट सिग्नल v_{gs} संदर्भात उत्पादन सिग्नल v_{ds} टप्प्यात बाहेर 180° आहे असे सूचित करते की. इनपुट सिग्नल 2 (व्हीजीएस - व्हीटी) पेक्षा खूपच लहान आयामासह त्रिकोणी तरंग असल्याचे गृहित धरले जाते, लहान-सिग्नल स्थिती रेषेचा ऑपरेशन सुनिश्चित करते. प्रत्येक वेळी संपृक्तता प्रदेशात ऑपरेशनसाठी, व्हीडीएसचे किमान मूल्य व्हीजीएसच्या कोरे स्पॉडिंग मूल्यापेक्षा अधिक व्हीटीने खाली येऊ नये. तसेच, व्हीडीएसचे जास्तीत जास्त मूल्य व्हीडीडीपेक्षा लहान असावे; अन्यथा एफईटी कटऑफ प्रदेशात प्रवेश करेल आणि आउटपुट सिग्नल लहर फॉर्मची शिखरे कापली जातील.

Seperating DC Analysis and Signal Analysis:

From the preceding analysis, we see that under the small-signal approximation, signal quantities are superimposed on dc quantities. For instance, the total drain current i_D equals the dc current I_D plus the signal current i_d , the total drain voltage $v_{DS} = V_{DS} + v_{ds}$, and so on. It follows that the analysis and design can be greatly simplified by separating dc or bias

MODULE 1:

calculations from small-signal calculations. That is, once a stable dc operating point has been established and all dc quantities calculated, we may then perform signal analysis ignoring dc quantities.

ಹಿಂದಿನ ವಿಶ್ಲೇಷಣೆಯಿಂದ, ಸಣ್ಣ-ಸಂಕೇತ ಅಂದಾಜು ಅಡಿಯಲ್ಲಿ, ಡಿಸಿ ಪ್ರಮಾಣಗಳ ಮೇಲೆ ಸಿಗ್ನಲ್ ಪ್ರಮಾಣಗಳನ್ನು ಸೂಪರ್‌ಇಂಪೋಸ್ ಮಾಡಲಾಗುತ್ತದೆ ಎಂದು ನಾವು ನೋಡುತ್ತೇವೆ. ಉದಾಹರಣೆಗೆ, ಒಟ್ಟು ಡ್ರೈನ್ ಕರೆಂಟ್ ಐಡಿಯು ಡಿಸಿ ಕರೆಂಟ್ ಐಡಿ ಜೊತೆಗೆ ಸಿಗ್ನಲ್ ಕರೆಂಟ್ ಐಡಿ, ಒಟ್ಟು ಡ್ರೈನ್ ವೋಲ್ಟೇಜ್ ವಿಡಿಎಸ್ ಮತ್ತು ವಿಡಿಎಸ್ + ವಿ, ಮತ್ತು ಹೀಗೆ. ಸಣ್ಣ-ಸಂಕೇತ ಲೆಕ್ಕಾಚಾರಗಳಿಂದ ಡಿಸಿ ಅಥವಾ ಪಕ್ಷಪಾತ ಲೆಕ್ಕಾಚಾರಗಳನ್ನು ಬೇರ್ಪಡಿಸುವ ಮೂಲಕ ವಿಶ್ಲೇಷಣೆ ಮತ್ತು ವಿನ್ಯಾಸವನ್ನು ಬಹಳವಾಗಿ ಸರಳಗೊಳಿಸಬಹುದು ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. ಅಂದರೆ, ಸ್ಥಿರ ಡಿಸಿ ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಅನ್ನು ಸ್ಥಾಪಿಸಿದ ನಂತರ ಮತ್ತು ಎಲ್ಲಾ ಡಿಸಿ ಪ್ರಮಾಣಗಳನ್ನು ಲೆಕ್ಕ ಹಾಕಿದ ನಂತರ, ಡಿಸಿ ಪ್ರಮಾಣಗಳನ್ನು ನಿರ್ಲಕ್ಷಿಸಿ ನಾವು ಸಿಗ್ನಲ್ ವಿಶ್ಲೇಷಣೆಯನ್ನು ಮಾಡಬಹುದು.

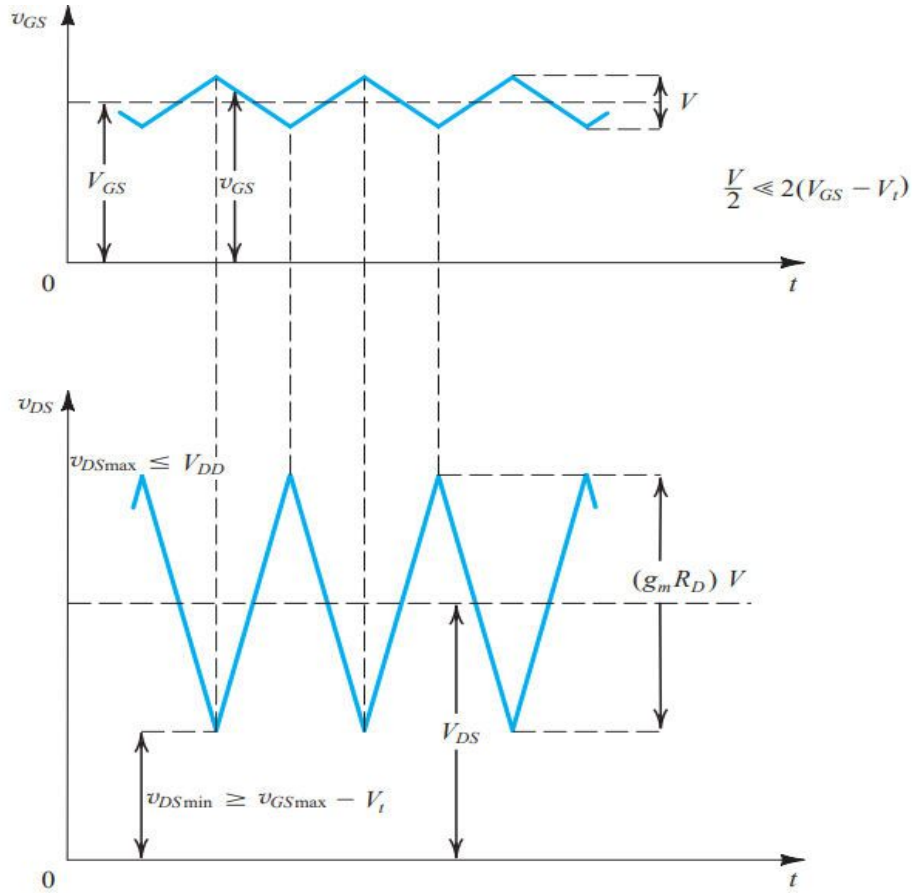


Fig.1(m): Total instantaneous voltages v_{GS} and v_{DS}

1.44 Small Signal Equivalent Circuit Models:

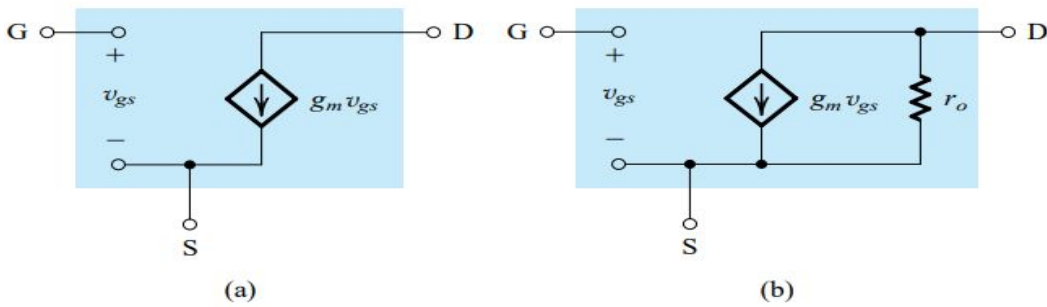
From a signal point of view, the FET behaves as a voltage-controlled current source. It accepts a signal v_{gs} between gate and source and provides a current $g_m v_{gs}$ at the drain terminal. The input resistance of this controlled source is very high—ideally, infinite. The output resistance—that is, the resistance looking into the drain—also is high, and we have assumed it to be infinite thus far. Putting all of this together, we arrive at the circuit in Fig. 1(n), which represents the small-signal operation of the MOSFET and is thus a small-signal model or a small-signal equivalent circuit. In the analysis of a MOSFET amplifier circuit, the transistor can be replaced by the equivalent circuit model shown in Fig. 1.n(a). The rest of the circuit remains unchanged except that ideal constant dc voltage sources are replaced by short circuits. This is a result of the fact that the voltage across an ideal constant dc voltage source does not change, and thus there will always be a zero voltage signal across a constant dc voltage source. A dual statement applies for constant dc current sources; namely, the signal current of an ideal constant dc current source will always be zero, and thus an ideal constant dc current source can be replaced by an open circuit in the small-signal equivalent circuit of the amplifier.

ಸಿಗ್ನಲ್ ದೃಷ್ಟಿಕೋನದಿಂದ, ಎಫ್‌ಇಟಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಿತ ಪ್ರಸ್ತುತ ಮೂಲವಾಗಿ ವರ್ತಿಸುತ್ತದೆ. ಇದು ಗೇಟ್ ಮತ್ತು ಮೂಲದ ನಡುವೆ ಸಿಗ್ನಲ್ ವಿಜಿಗಳನ್ನು ಸ್ವೀಕರಿಸುತ್ತದೆ ಮತ್ತು ಡ್ರೈನ್ ಟರ್ಮಿನಲ್‌ನಲ್ಲಿ ಪ್ರಸ್ತುತ ಗ್ರಾಂ ವಿಜಿಗಳನ್ನು ಒದಗಿಸುತ್ತದೆ. ಈ ನಿಯಂತ್ರಿತ ಮೂಲದ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವು ತುಂಬಾ ಹೆಚ್ಚು-ಆದರ್ಶವಾಗಿ, ಅನಂತವಾಗಿದೆ. output ಪ್ರತಿರೋಧ (resistance)-ಅಂದರೆ, ಡ್ರೈನ್ (drain)ನಲ್ಲಿ ನೋಡುತ್ತಿರುವ ಪ್ರತಿರೋಧ (resistance)ವು ಹೆಚ್ಚಾಗಿರುತ್ತದೆ, ಮತ್ತು ನಾವು ಅದನ್ನು ಇಲ್ಲಿಯವರೆಗೆ ಅನಂತ ಎಂದು ಊಹಿಸಿದ್ದೇವೆ. ಇವೆಲ್ಲವನ್ನೂ ಒಟ್ಟುಗೂಡಿಸಿ, ನಾವು ಚಿತ್ರ 1 (ಎನ್) ನಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್ ಆಗಮಿಸುತ್ತೇವೆ, ಇದು MOSfet ನ ಸಣ್ಣ-ಸಂಕೇತ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಪ್ರತಿನಿಧಿಸುತ್ತದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಸಣ್ಣ-ಸಂಕೇತ ಮಾದರಿ ಅಥವಾ ಸಣ್ಣ-ಸಂಕೇತ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ ಆಗಿದೆ. ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿ ಆಂಪ್ಲಿಫಯರ್ ಸರ್ಕ್ಯೂಟ್ ವಿಶ್ಲೇಷಣೆಯಲ್ಲಿ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಚಿತ್ರ 1.n (ಎ) ನಲ್ಲಿ ತೋರಿಸಿರುವ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ ಮಾದರಿಯಿಂದ ಬದಲಾಯಿಸಬಹುದು. ಆದರ್ಶ ಸ್ಥಿರ ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಮೂಲಗಳನ್ನು ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳಿಂದ ಬದಲಾಯಿಸಲಾಗುತ್ತದೆ ಎಂಬುದನ್ನು ಹೊರತುಪಡಿಸಿ ಉಳಿದ ಸರ್ಕ್ಯೂಟ್ ಬದಲಾಗದೆ ಉಳಿಯುತ್ತದೆ. ಆದರ್ಶ ಸ್ಥಿರ ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಮೂಲದಾದ್ಯಂತ ವೋಲ್ಟೇಜ್

MODULE 1:

ಬದಲಾಗುವುದಿಲ್ಲ ಎಂಬ ಅಂಶದ ಪರಿಣಾಮವಾಗಿದೆ, ಮತ್ತು ಇದರಿಂದಾಗಿ ಸ್ಥಿರ ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಮೂಲದಾದ್ಯಂತ ಯಾವಾಗಲೂ ಶೂನ್ಯ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಇರುತ್ತದೆ. ಸ್ಥಿರ dc ಪ್ರಸ್ತುತ ಮೂಲಗಳಿಗೆ ಒಂದು ದೃಷ್ಟಿ ಹೇಳಿಕೆ ಅನ್ವಯಿಸುತ್ತದೆ; ಹೆಸರಿಗೆ ತಕ್ಕಂತೆ, ಆದರ್ಶ ಸ್ಥಿರ ಡಿಸಿ ಪ್ರಸ್ತುತ ಮೂಲದ ಸಿಗ್ನಲ್ ಪ್ರವಾಹ ಯಾವಾಗಲೂ ಶೂನ್ಯವಾಗಿರುತ್ತದೆ, ಮತ್ತು ಹೀಗೆ ಒಂದು ಆದರ್ಶ ಸ್ಥಿರ ಡಿಸಿ ಪ್ರಸ್ತುತ ಮೂಲವನ್ನು ಆಂಪ್ಲಿಫಯರ್ ಸಣ್ಣ-ಸಂಕೇತ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ನಲ್ಲಿ ತೆರೆದ ಸರ್ಕ್ಯೂಟ್ನಿಂದ ಬದಲಾಯಿಸಬಹುದು.

एक सिग्नल दृष्टिकोनातून, FET एक व्होल्टेज नियंत्रित वर्तमान स्रोत म्हणून वागतात. हे गेट आणि स्रोत दरम्यान एक सिग्नल v_{gs} स्वीकारतो आणि ड्रेन टर्मिनलवर वर्तमान i_{ds} v_{gs} प्रदान करते. या नियंत्रित स्रोत इनपुट प्रतिकार फार उच्च आहे - आदर्श, अनंत. आउटपुट प्रतिकार - म्हणजे, नाले मध्ये पाहणे प्रतिकार - देखील उच्च आहे, आणि आम्ही आतापर्यंत असीम असल्याचे गृहित धरले आहे. हे सर्व एकत्र ठेवत, आम्ही Fig. 1 (n) मधील सर्किटवर पोहोचतो, जो MOSFET च्या लहान-सिग्नल ऑपरेशनचे प्रतिनिधित्व करतो आणि अशा प्रकारे एक लहान-सिग्नल मॉडेल किंवा लहान-सिग्नल समतुल्य सर्किट आहे. एक MOSFET अॅम्प्लिफायर सर्किटच्या विश्लेषणात, ट्रान्झिस्टरला फिगमध्ये दर्शविलेल्या समतुल्य सर्किट मॉडेलद्वारे बदलले जाऊ शकते. 1. एन (ए). तो आदर्श सतत डीसी व्होल्टेज स्रोत शॉर्ट सर्किट बदलले आहेत वगळता उर्वरित सर्किट अपरिवर्तित राहते. हे एक आदर्श सतत डीसी व्होल्टेज स्रोत ओलांडून व्होल्टेज बदलत नाही की एक परिणाम आहे, आणि अशा प्रकारे नेहमी सतत डीसी व्होल्टेज स्रोत ओलांडून शून्य व्होल्टेज सिग्नल असेल. एक दुहेरी विधान सतत डीसी वर्तमान स्रोत लागू होते; नावापुरतेच, एक आदर्श सतत डीसी वर्तमान स्रोत सिग्नल चालू नेहमी शून्य असेल, आणि अशा प्रकारे एक आदर्श सतत डीसी वर्तमान स्रोत वर्धक च्या लहान-सिग्नल समतुल्य सर्किट मध्ये एक ओपन सर्किट बदलले जाऊ शकते ..



MODULE 1:

Fig:1(n): Small-signal models for the MOSFET: (a) neglecting the dependence of i_D on v_{DS} in saturation (the channel-length modulation effect); and (b) including the effect of channel-length modulation, modelled by output resistance.

The circuit resulting can then be used to perform any required signal analysis, such as calculating voltage gain.

The most serious shortcoming of the small-signal model of Fig. 1(n)(a) is that it assumes the drain current in saturation to be independent of the drain voltage. From our study of the MOSFET characteristics in saturation, we know that the drain current does in fact depend on v_{DS} in a linear manner. Such dependence was modelled by a finite resistance r_o between drain and source, whose value is given by

$$r_o = \frac{|V_A|}{I_D}$$

where is a MOSFET parameter that either is specified or can be measured. It should be recalled that for a given process technology, V_A is proportional to the MOSFET channel length. The current I_D is the value of the dc drain current without the channel-length modulation taken into account; that is

$$I_D = \frac{1}{2} k_n V_{OV}^2$$

Typically, r_o is in the range of 10 k Ω to 1000 k Ω . It follows that the accuracy of the small signal model can be improved by including r_o in parallel with the controlled source, as shown in Fig.1(n)(b). It is important to note that the small-signal model parameters g_m and r_o depend on the dc bias point of the MOSFET.

we find that replacing the MOSFET with the small-signal model of Fig. 1(n)(b) results in the voltage-gain expression

$$A_v = \frac{v_{ds}}{v_{gs}} = -g_m(R_D \parallel r_o)$$

Thus, the finite output resistance r_o results in a reduction in the magnitude of the voltage gain.

1.45 The Transconductance g_m :

MOSFET transconductance equation described earlier can be rewritten with $k_n = k_n' (W / L)$ as follows:

MODULE 1:

$$g_m = k'_n(W/L)(V_{GS} - V_t) = k'_n(W/L)V_{OV}$$

This relationship indicates that g_m is proportional to the process transconductance parameter $k'_n = \mu_n C_{OX}$ and to the W/L ratio of the MOS transistor; hence to obtain relatively large transconductance the device must be short and wide. We also observe that for a given device the transconductance is proportional to the overdrive voltage, $V_{OV} = V_{GS} - V_t$, the amount by which the bias voltage V_{GS} exceeds the threshold voltage V_t . Note, however, that increasing g_m by biasing the device at a larger V_{GS} has the disadvantage of reducing the allowable voltage signal swing at the drain.

Another useful expression for g_m can be obtained by substituting for V_{OV} as $\sqrt{[2I_D / k'_n(W/L)]}$

$$g_m = \sqrt{2k'_n} \sqrt{W/L} \sqrt{I_D}$$

This expression shows two things:

1. For a given MOSFET, g_m is proportional to the square root of the dc bias current.
2. At a given bias current, g_m is proportional to $\sqrt{[W / L]}$

Yet another useful expression for g_m of the MOSFET can be obtained by substituting for $k'_n(W / L)$ by $2I_D / (V_{GS} - V_t)^2$

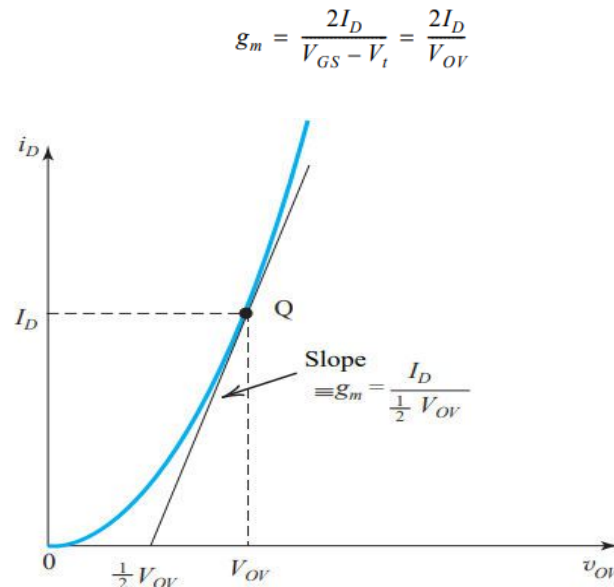


Fig:1(n): The slope of the tangent at the bias point Q intersects the v_{OV} axis at $(1 / 2)V_{OV}$.

Thus, $g_m = I_D / (1 / 2 V_{OV})$

1.46 The T Equivalent Circuit model:

Through a simple circuit transformation, it is possible to develop an alternative equivalent-circuit model for the MOSFET. The development of such a model, known as the T model.

Figure 1(o)(a) shows the equivalent circuit studied above without r_o . Fig. 1(o)(b) we have added a second $g_m V_{gs}$ current source in series with the original controlled source. This addition obviously does not change the terminal currents and is thus allowed.

The newly created circuit node, labeled X, is joined to the gate terminal G in Fig. 1(o)(c). Observe that the gate current does not change—that is, it remains equal to zero—and thus this connection does not alter the terminal characteristics. We now note that we have a controlled current source $g_m v_{gs}$ connected across its control voltage v_{gs} . We can replace this controlled source by a resistance as long as this resistance draws an equal current as the source. Thus the value of resistance is $V_{gs} / g_m V_{gs} = 1 / g_m$.

This replacement is shown in Fig. 1(o)(d), which depicts the alternative model. Observe that i_g is still zero, $i_d = g_m V_{gs}$ and $i_s = V_{gs} / (1 / g_m) = g_m V_{gs}$ which is same as shown in fig (a).

The model of Fig. 1(o)(d) shows that the resistance between gate and source looking into the source is This observation and the T model prove useful in many applications. Note that the resistance between gate and source, looking into the gate, is infinite.

In developing the T model we did not include r_o . If desired, this can be done by incorporating in the circuit of Fig. 1(o)(d) a resistance r_o between drain and source, as shown in Fig. 1(p)(a). An alternative representation of the T model, in which the voltage-controlled current source is replaced with a current-controlled current source, is shown in Fig. 1(p)(b).

MODULE 1:

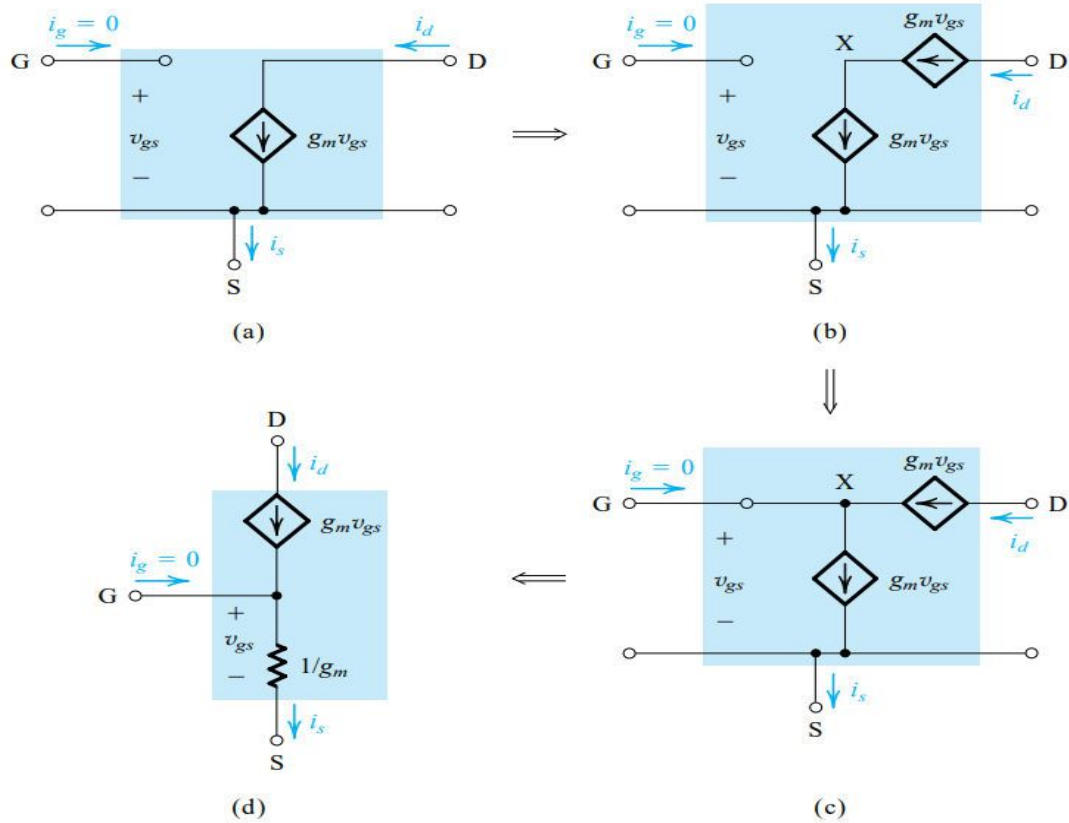


Fig:1(o): Development of the T equivalent-circuit model for the MOSFET. For simplicity, r_o has been omitted; however, it may be added between D and S in the T model of (d).

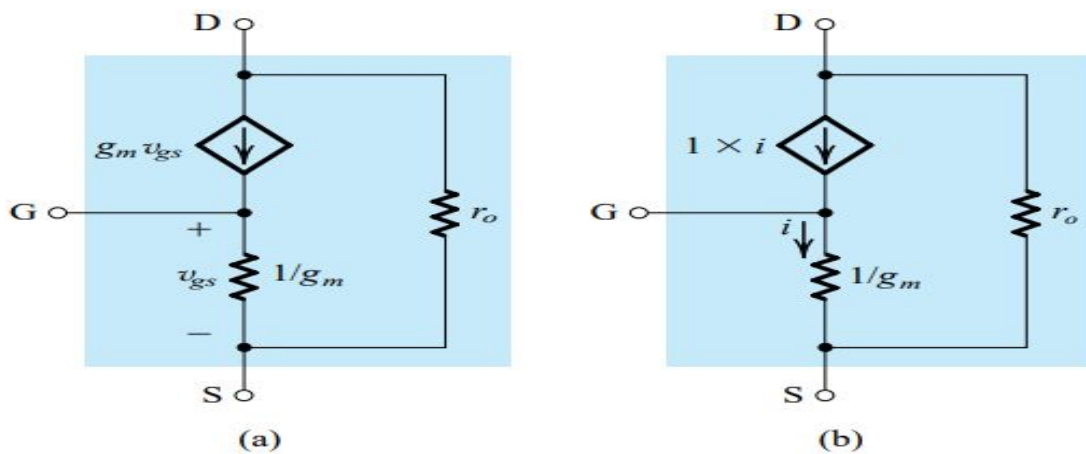


Fig:1(p):(a) The T model of the MOSFET augmented with the drain-to-source resistance r_o .
(b) An alternative representation of the T model.

MOSFET Amplifier configuration: Basic configurations, characterizing amplifiers, CS amplifier with and without source resistance R_S , Source follower.

MOSFET internal capacitances and High frequency model: The gate capacitive effect, Junction capacitances, High frequency model.

Frequency response of the CS amplifier: The three frequency bands, high frequency response, Low frequency response.

Basic MOSFET Amplifier configurations: The three Basic Configurations:

There are three basic configurations for connecting the MOSFET as an amplifier. Each of these configurations is obtained by connecting one of the three MOSFET terminals to ground, thus creating a two-port network with the grounded terminal being common to the input and output ports.

Figure 2.0 shows the resulting three configurations with the biasing arrangements omitted. In the circuit of Fig. 2(a) the source terminal is connected to ground, the input voltage signal is applied between the gate and ground, and the output voltage signal is taken between the drain and ground, across the resistance R_D . This configuration, therefore, is called the grounded-source or common-source (CS) amplifier. The common-gate (CG) or grounded-gate amplifier is shown in Fig. 2(b). It is obtained by connecting the gate to ground, applying the input between the source and ground, and taking the output across the resistance connected between the drain and ground.

Finally, Fig.2(c) shows the common-drain (CD) or grounded-drain amplifier. It is obtained by connecting the drain terminal to ground, applying the input voltage signal between gate and ground, and taking the output voltage signal between the source and ground, across a load resistance. For reasons that will become apparent shortly, this configuration is more commonly called the source follower.

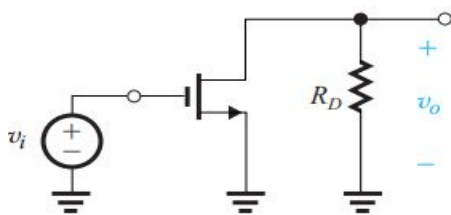


Fig:2(a):Common source(CS)

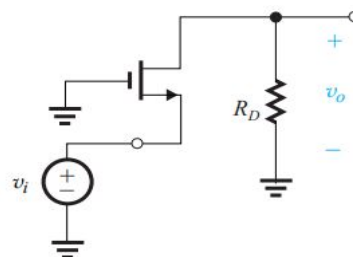
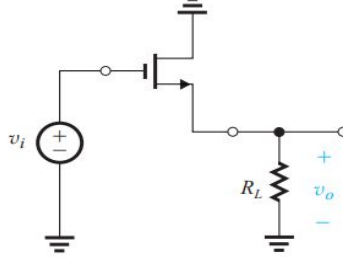


Fig:2(b): Common Gate (CG)

**Fig: 2(c): Common Drain (CD)**

ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿಯನ್ನು ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿ ಸಂಪರ್ಕಿಸಲು ಮೂರು ಮೂಲಭೂತ ಸಂರಚನೆಗಳಿವೆ. ಈ ಸಂರಚನೆಗಳಲ್ಲಿ ಪ್ರತಿಯೊಂದನ್ನು ಮೂರು ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿ ಟರ್ಮಿನಲ್‌ಗಳಲ್ಲಿ ಒಂದನ್ನು ನೆಲಕ್ಕೆ ಸಂಪರ್ಕಿಸುವ ಮೂಲಕ ಪಡೆಯಲಾಗುತ್ತದೆ, ಇದರಿಂದಾಗಿ ಎರಡು-ಪೋರ್ಟ್ ನೆಟ್‌ವರ್ಕ್ ಅನ್ನು ರಚಿಸುವುದರೊಂದಿಗೆ ನೆಲಸಮ ಟರ್ಮಿನಲ್ ಇನ್‌ಪುಟ್ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಪೋರ್ಟ್‌ಗಳಿಗೆ ಸಾಮಾನ್ಯವಾಗಿದೆ.

ಚಿತ್ರ 2.0 ಪಕ್ಷಪಾತ ವ್ಯವಸ್ಥೆಗಳು ಕೈಬಿಡಲಾಯಿತು ಜೊತೆ ಪರಿಣಾಮವಾಗಿ ಮೂರು ಸಂರಚನೆಗಳನ್ನು ತೋರಿಸುತ್ತದೆ. ಚಿತ್ರ 2 (ಎ) ಯ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ ಮೂಲ ಟರ್ಮಿನಲ್ ನೆಲಕ್ಕೆ ಸಂಪರ್ಕ ಹೊಂದಿದೆ, ಇನ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಗೇಟ್ ಮತ್ತು ನೆಲದ ನಡುವೆ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ, ಮತ್ತು ಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಡ್ರೈನ್ ಮತ್ತು ನೆಲದ ನಡುವೆ, ಪ್ರತಿರೋಧದ ಉದ್ದಕ್ಕೂ ತೆಗೆದುಕೊಳ್ಳಲಾಗುತ್ತದೆ. ಆದ್ದರಿಂದ, ಈ ಸಂರಚನೆಯನ್ನು ಗ್ರಾಂಡ್‌-ಸೋರ್ಸ್ ಅಥವಾ ಕಾಮನ್-ಸೋರ್ಸ್ (ಸಿಎಸ್) ಆಂಪ್ಲಿಫೈಯರ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. ಸಾಮಾನ್ಯ-ಗೇಟ್ (ಸಿಜಿ) ಅಥವಾ ಗ್ರಾಂಡ್‌-ಗೇಟ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಚಿತ್ರ 2 (ಬಿ) ನಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. ಗೇಟ್ ಅನ್ನು ನೆಲಕ್ಕೆ ಸಂಪರ್ಕಿಸುವ ಮೂಲಕ, ಮೂಲ ಮತ್ತು ನೆಲದ ನಡುವೆ ಇನ್‌ಪುಟ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಮತ್ತು ಡ್ರೈನ್ ಮತ್ತು ನೆಲದ ನಡುವೆ ಸಂಪರ್ಕ ಹೊಂದಿದ ಪ್ರತಿರೋಧದ ಉದ್ದಕ್ಕೂ ಔಟ್‌ಪುಟ್ ಅನ್ನು ತೆಗೆದುಕೊಳ್ಳುವ ಮೂಲಕ ಇದನ್ನು ಪಡೆಯಲಾಗುತ್ತದೆ.

ಅಂತಿಮವಾಗಿ, ಚಿತ್ರ 2 (ಸಿ) ಸಾಮಾನ್ಯ-ಡ್ರೈನ್ (ಸಿಡಿ) ಅಥವಾ ಗ್ರಾಂಡ್‌-ಡ್ರೈನ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ತೋರಿಸುತ್ತದೆ. ಡ್ರೈನ್ ಟರ್ಮಿನಲ್ ಅನ್ನು ನೆಲಕ್ಕೆ ಸಂಪರ್ಕಿಸುವ ಮೂಲಕ, ಗೇಟ್ ಮತ್ತು ನೆಲದ ನಡುವೆ ಇನ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಮತ್ತು ಮೂಲ ಮತ್ತು ನೆಲದ ನಡುವೆ ಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ತೆಗೆದುಕೊಳ್ಳುವ ಮೂಲಕ, ಒಂದು ಲೋಡ್ ಪ್ರತಿರೋಧದ ಉದ್ದಕ್ಕೂ ಇದನ್ನು

ಪಡೆಯಲಾಗುತ್ತದೆ. ಶೀಘ್ರದಲ್ಲೇ ಸ್ವಪ್ನವಾಗುವ ಕಾರಣಗಳಿಗಾಗಿ, ಈ ಸಂರಚನೆಯನ್ನು ಹೆಚ್ಚು ಸಾಮಾನ್ಯವಾಗಿ ಮೂಲ ಅನುಯಾಯಿ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

एमिलिफायर म्हणून MOSFET कनेक्ट करण्यासाठी तीन मूळभूत कॉन्फिगरेशन आहेत. यातीत प्रत्येक संयोजना तीन MOSFET टर्मिनल्सपैकी एका टर्मिनलला ग्राउंडशी कनेक्ट करून प्राप्त केले जाते, अशा प्रकारे दोन-पोर्ट नेटवर्क तयार केले जाते ज्यात ग्राउंड टर्मिनल इनपुट आणि आउटपुट पोर्टसाठी सामान्य आहे.

आकृती 2.0 वगळणे पक्षपाती व्यवस्था परिणामी तीन संरचना दाखवते. Fig. 2 (अ) च्या सर्किटमध्ये स्रोत टर्मिनल जमिनीवर जोडलेले आहे, इनपुट व्होल्टेज सिग्नल गेट आणि ग्राउंड दरम्यान लागू केले जाते आणि आउटपुट व्होल्टेज सिग्नल नाळे आणि ग्राउंड दरम्यान, प्रतिकार ओपनड्रन घेतले जाते. म्हणूनच या कॉन्फिगरेशनला ग्राउंडेड-सोर्स किंवा कॉमन-सोर्स (सीएस) एम्प्लीफायर असे म्हटले जाते. सामान्य-गेट (सीजी) किंवा ग्राउंडेड-गेट वर्धक फिग 2 (बी) मध्ये दर्शविले आहे. तो जमिनीवर गेट कनेक्ट करून, स्रोत आणि ग्राउंड दरम्यान इनपुट अर्ज, आणि नाळे आणि ग्राउंड दरम्यान कनेक्ट प्रतिकार ओपनड्रन आउटपुट घेऊन प्राप्त आहे.

शेवटी, Fig.2 (सी) कॉमन-ड्रेन (सीडी) किंवा ग्राउंडेड-ड्रेन वर्धक दर्शविते. तो जमिनीवर निचरा टर्मिनल कनेक्ट करून, गेट आणि ग्राउंड दरम्यान इनपुट व्होल्टेज सिग्नल अर्ज, आणि स्रोत आणि ग्राउंड दरम्यान आउटपुट व्होल्टेज सिग्नल घेऊन, एक प्लॉट प्रतिकार ओपनड्रन प्राप्त आहे. कारण β वक्रच स्पष्ट प्लॉट की, हे कॉन्फिगरेशन अधिक सामान्यतः स्रोत अनुयायी म्हणतात.

2.12 Characterizing Amplifiers:

Figure 2.1(a) shows an amplifier fed with a signal source having an open-circuit voltage V_{sig} and an internal resistance R_{sig} . These can be the parameters of an actual signal source or, in a cascade amplifier, the Thévenin equivalent of the output circuit of another amplifier stage preceding the one under study. The amplifier is shown with a load resistance R_L connected to the output terminal. Here, can be an actual load resistance or the input resistance of a succeeding amplifier stage in a cascade amplifier.

ಚಿತ್ರ 2.1 (ಎ) ಓಪನ್-ಸರ್ಕ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ ವಿಸಿಗ್ ಮತ್ತು ಆಂತರಿಕ ಪ್ರತಿರೋಧ R_{sig} ಅನ್ನು ಹೊಂದಿರುವ ಸಿಗ್ನಲ್ ಮೂಲದೊಂದಿಗೆ ಫೀಡ್ ಮಾಡಿದ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ತೋರಿಸುತ್ತದೆ. ಇವು ನಿಜವಾದ ಸಿಗ್ನಲ್ ಮೂಲದ ನಿಯತಾಂಕಗಳಾಗಿರಬಹುದು ಅಥವಾ ಕ್ಯಾಪ್ಸಿಡ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ, ಅಧ್ಯಯನದ ಅಡಿಯಲ್ಲಿರುವ ಮತ್ತೊಂದು ಆಂಪ್ಲಿಫೈಯರ್

ಹಂತದ ಔಟ್ಪುಟ್ ಸರ್ಕ್ಯೂಟ್ ಧಿವೆನಿನ್ ಸಮಾನವಾಗಿರುತ್ತದೆ. ಆಂಪ್ಲಿಫೈಯರ್ ಔಟ್ಪುಟ್ ಟರ್ಮಿನಲ್ ಸಂಪರ್ಕ ಹೊಂದಿದ ಲೋಡ್ ಪ್ರತಿರೋಧ ಆರ್ಎಲ್‌ನೊಂದಿಗೆ ತೋರಿಸಲಾಗಿದೆ. ಇಲ್ಲಿ, ನಿಜವಾದ ಲೋಡ್ ಪ್ರತಿರೋಧ ಅಥವಾ ಕ್ಯಾಪ್ಸಿಟರ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ ಯಶಸ್ವಿ ಆಂಪ್ಲಿಫೈಯರ್ ಹಂತದ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವಾಗಿರಬಹುದು.

ಆಕೃತಿ 2.1 (ಎ) ಒಂದು ಒಪನ್-ಸರ್ಕ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ V_{sig} ಆಗಿ ಒಂದು ಅಂತರ್ಗತ ಪ್ರತಿರೋಧ R_{sig} ಯು ಒಂದು ಸ್ತೋತ ಫೀಡ್ ಒಂದು ವರ್ಧಕ ದಾಖಲೆ. ಒಂದು ಪ್ರತ್ಯಕ್ಷ ಸ್ತೋತ ಸ್ತೋತಾಚೆ ಮಾಪದಂಡ ಅಸು ಶಕತಾತ್ ಕಿವಾ ಕೆಸ್ಕೆಡ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ, ಅಭ್ಯಾಸಾಧಿನ್ ಅಸಂಪೂರ್ಣ ದುರ್ಯಾ ಆಂಪ್ಲಿಫೈಯರ್ ಸ್ಟೇಜ್‌ನ ಆಔಟ್‌ಪುಟ್ ಸರ್ಕ್ಯೂಟ್‌ನ ಥೆವೆನಿನ್ ಸಮತುಲ್ಯ ಅಸು ಶಕತಾತ್. ವರ್ಧಕ ಒಂದು ಲೋಡ್ ಪ್ರತಿರೋಧ ಆರ್ಎಲ್ ಆಔಟ್‌ಪುಟ್ ಟರ್ಮಿನಲ್ ಕನೆಕ್ಟ್ ಸಂ ದರ್ಶಿವಿಠೆ ಆಠೆ. ಯೆಥೆ, ಪ್ರತ್ಯಕ್ಷ ಲೋಡ್ ಪ್ರತಿರೋಧ ಕಿವಾ ಕೆಸ್ಕೆಡ್ ವರ್ಧಕ ಮಧ್ಯೆ ಯಶಸ್ವಿ ವರ್ಧಕ ಸ್ಟೇಜ್ ನ್ನ ಆಔಟ್ ಪ್ರತಿರೋಧ ಅಸು ಶಕತೆ.

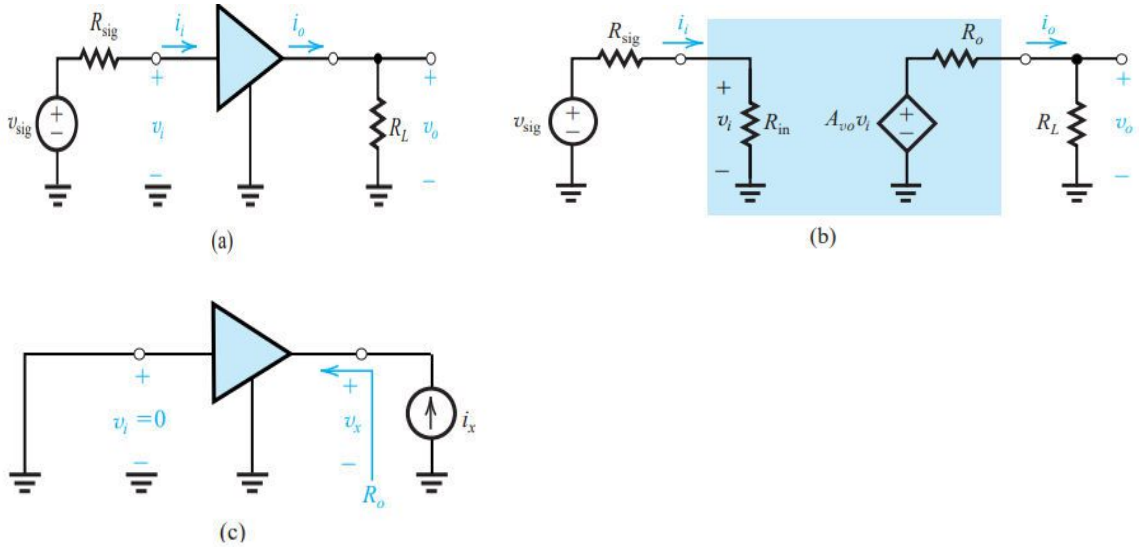


Fig: 2.1: Characterization of the amplifier as a functional block: (a) An amplifier fed with a voltage signal v_{sig} having a source resistance R_{sig} , and feeding a load resistance R_L ; (b) Equivalent-circuit representation of the circuit in (a); (c) Determining the amplifier output resistance R_o .

Figure 2.1(b) shows the amplifier circuit with the amplifier block replaced by its equivalent-circuit model. The input resistance represents the loading effect of the amplifier input on the signal source. It is found from

$$R_{in} \equiv \frac{v_i}{i_i}$$

and together with the resistance forms a voltage divider that reduces to the value that appears at the amplifier input,

$$v_i = \frac{R_{in}}{R_{in} + R_{sig}} v_{sig}$$

All the amplifier circuits studied in this section are unilateral. That is, they do not contain internal feedback, and thus will be independent of .

The second parameter in characterizing amplifier performance is the open-circuit voltage gain , defined as A_{VO} , defined as

$$A_{vo} \equiv \left. \frac{v_o}{v_i} \right|_{R_L = \infty}$$

The third and final parameter is the output resistance . Observe from Fig. 2.1(b) that is the resistance seen looking back into the amplifier output terminal with set to zero. Thus can be determined, at least conceptually, as indicated in Fig. 2.1(c) with

$$R_o = \frac{v_x}{i_x}$$

The controlled source $A_{VO} V_i$ and the output resistance R_O represent the Thévenin equivalent of the amplifier output circuit, and the output voltage V_O can be found from

$$v_o = \frac{R_L}{R_L + R_o} A_{vo} v_i$$

All the amplifier circuits studied in this section are unilateral. That is, they do not contain internal feedback, and thus R_{in} will be independent of R_L .

The second parameter in characterizing amplifier performance is the open-circuit voltage gain A_{VO} , defined as

$$A_{vo} \equiv \left. \frac{v_o}{v_i} \right|_{R_L = \infty}$$

The third and final parameter is the output resistance R_O . Observe from Fig. 2.1(b) that is the resistance seen looking back into the amplifier output terminal with V_i set to zero. Thus R_O can be determined, at least conceptually, as indicated in Fig. 2.1(c) with

$$R_o = \frac{v_x}{i_x}$$

The controlled source $A_{vo} V_i$ and the output resistance R_o represent the Thévenin equivalent of the amplifier output circuit, and the output voltage can be found from

$$v_o = \frac{R_L}{R_L + R_o} A_{vo} v_i$$

Thus the voltage gain of the amplifier proper, A_v , can be found as

$$A_v \equiv \frac{v_o}{v_i} = A_{vo} \frac{R_L}{R_L + R_o}$$

and the overall voltage gain G_v ,

$$G_v \equiv \frac{v_o}{v_{sig}}$$

On substituting we get,

$$G_v = \frac{R_{in}}{R_{in} + R_{sig}} A_{vo} \frac{R_L}{R_L + R_o}$$

2.13 The Common Source (CS) Amplifier:

Of the three basic MOS amplifier configurations, the common source is the most widely used. Typically, in an amplifier formed by cascading a number of stages, the bulk of the voltage gain is obtained by using one or more common-source stages in the cascade.

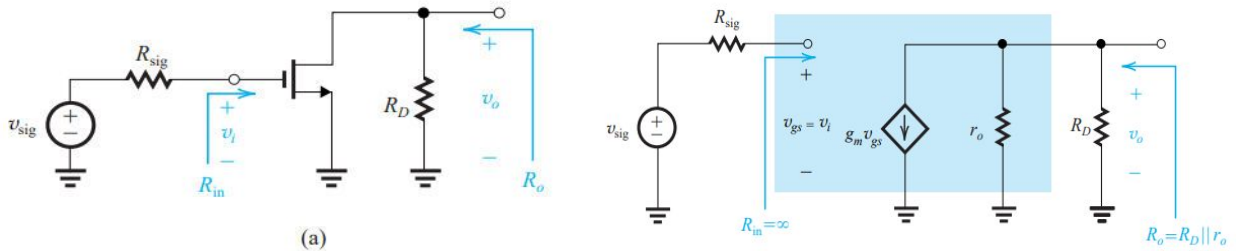


Fig:2.2 (a) Common-source amplifier fed with a signal v_{sig} from a generator with a resistance R_{sig} . The bias circuit is omitted. (b) The common-source amplifier with the MOSFET replaced with its hybrid- model

Figure 2.2(a) shows a common-source amplifier (with the biasing arrangement omitted) fed with a signal source V_{sig} having a source resistance R_{sig} . We wish to analyze this circuit to determine R_{in} , A_{vo} , R_o , and G_v . For this purpose we shall assume that R_D is part of the amplifier; thus if a load resistance is connected to the amplifier output, it appears in parallel with .

For this purpose we shall assume that is part of the amplifier; thus if a load resistance R_L is connected to the amplifier output, it appears in parallel with R_D .

ಚಿತ್ರ 2.2 (ಎ) ಒಂದು ಸಾಮಾನ್ಯ-ಮೂಲ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ತೋರಿಸುತ್ತದೆ (ಪಕ್ಷಪಾತದ ವ್ಯವಸ್ಥೆಯನ್ನು ಬಿಟ್ಟುಬಿಡಲಾಗಿದೆ) ಒಂದು ಸಿಗ್ನಲ್ ಮೂಲದೊಂದಿಗೆ ಫೀಡ್ ಮಾಡಲಾದ ವಿವಿಧ ಸ್ಥಿತಿಗಳ ಒಂದು ಮೂಲ ಪ್ರತಿರೋಧವನ್ನು ಹೊಂದಿದೆ R_{sig} . ರಿನ್, ಎವಿಒ, ಆರ್ಒ, ಮತ್ತು ಜಿವಿಗಳನ್ನು ನಿರ್ಧರಿಸಲು ನಾವು ಈ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ವಿಶ್ಲೇಷಿಸಲು ಬಯಸುತ್ತೇವೆ. ಈ ಉದ್ದೇಶಕ್ಕಾಗಿ ನಾವು R_D ಆಂಪ್ಲಿಫಯರ್ ಭಾಗವಾಗಿದೆ ಎಂದು ಭಾವಿಸುತ್ತೇವೆ, ಆದ್ದರಿಂದ ಒಂದು ಲೋಡ್ ಪ್ರತಿರೋಧವನ್ನು ಆಂಪ್ಲಿಫಯರ್ ಔಟ್ಪುಟ್ಗೆ ಸಂಪರ್ಕಿಸಿದರೆ, ಅದು ಸಮಾನಾಂತರವಾಗಿ ಕಾಣಿಸಿಕೊಳ್ಳುತ್ತದೆ.

ಈ ಉದ್ದೇಶಕ್ಕಾಗಿ ನಾವು ಆಂಪ್ಲಿಫಯರ್ ಭಾಗವಾಗಿದೆ ಎಂದು ಭಾವಿಸೋಣ R_L ಅನ್ನು ಆಂಪ್ಲಿಫಯರ್ ಔಟ್ಪುಟ್ಗೆ ಸಂಪರ್ಕಿಸಿದರೆ, ಅದು ಆರ್ಒಗೆ ಸಮಾನಾಂತರವಾಗಿ ಕಾಣಿಸಿಕೊಳ್ಳುತ್ತದೆ.

ಆಕೃತಿ 2.2 (ಎ) एक सामान्य-स्रोत वर्धक दर्शविते (अडथळ व्यवस्था वगळून) एक सिग्नल स्रोत V_{Sig} सँग फेड एक स्रोत प्रतिकार R_{sig} येत. आम्ही रिन्, A_{VO} , R_O , आणि जीवी निर्धारित करण्यासाठी या सर्किट विश्लेषण करू इच्छित. या कारणासाठी आम्ही आरडी वर्धक भाग आणे असे गृहित धरू; अशा प्रकारे एक लोड प्रतिकार वर्धक आउटपुट कनेक्ट केणे असल्यास, तो समांतर मध्ये दिसते.

या कारणासाठी आपण असे गृहित धरू की वर्धकाचा भाग आणे; अशा प्रकारे जर एक लोड प्रतिकार आरण वर्धक आउटपुटशी जोडणे असे तर ते आरडीच्या समांतर दिसते.

Characteristic Parameters of the CS Amplifier:

Replacing the MOSFET with its hybrid π - model, we obtain the CS amplifier equivalent circuit shown in Fig 2.2(b). We shall use this equivalent circuit to determine the characteristic parameters R_{in} , A_{VO} , and R_O as follows.

The input resistance R_{in} is obviously infinite,

$$R_{in} = \infty$$

The output voltage is found by multiplying the current ($g_m V_{gs}$) by the total resistance between the output node and ground,

$$v_o = -(g_m v_{gs})(R_D \parallel r_o)$$

Since $V_{gs} = V_i$, the open circuit voltage gain $A_{VO} = V_o / V_i$ can be obtained as,

$$A_{vo} = -g_m(R_D \parallel r_o)$$

Observe that the transistor output resistance r_o reduces the magnitude of the voltage gain. In discrete-circuit amplifiers, which are of interest to us in this chapter, R_D is usually much lower than r_o and the effect of on reducing r_o on reducing $|A_{VO}|$ is slight (less than 10% or so). Thus in many cases we can neglect r_o and express A_{VO} simply as

$$A_{vo} \approx (-g_m R_D)$$

Neglecting is allowed only in discrete-circuit design.

The output resistance R_o is the resistance seen looking back into the output terminal with V_i set to zero. From Fig. 2.2(b) we see that with V_i set to zero, V_{gs} will be zero, and thus $g_m V_{gs}$ will be zero, resulting in

$$R_o = R_D \parallel r_o$$

Here, r_o has the beneficial effect of reducing the value of R_o . In discrete circuits, however, this effect is slight and we can make the approximation

$$R_o \approx R_D$$

This concludes the analysis of the CS amplifier proper. We can now make the following observations. 1. The input resistance is ideally infinite.

2. The output resistance is moderate to high (in the kilohms to tens of kilohms range). Reducing R_D to lower R_o is not a viable proposition, since the voltage gain is also reduced. Alternatively, if a low output resistance (in the ohms to tens of ohms range) is needed, a source follower stage is called for, as will be discussed in next.

3. The open-circuit voltage gain A_{VO} can be high, making the CS configuration the workhorse in MOS amplifier design. Unfortunately, however, the bandwidth of the CS amplifier is severely limited.

ಇದು ಸಿಎಸ್ ಆಂಪ್ಲಿಫಯರ್ ಸರಿಯಾದ ವಿಶ್ಲೇಷಣೆ ಮುಕ್ತಾಯವಾಗುತ್ತದೆ. ನಾವು ಈಗ ಕೆಳಗಿನ ಅವಲೋಕನಗಳನ್ನು ಮಾಡಬಹುದು.

1. ಇನ್ಫಿನ್ಯುಟ್ ಪ್ರತಿರೋಧ ಆದರ್ಶಪ್ರಾಯ ಅನಂತ ಆಗಿದೆ.
2. ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧ ಮಧ್ಯಮ ಹೆಚ್ಚು (ಕಿಲೋಮೀಟರುಗಳಷ್ಟು ಹತ್ತಾರು ವ್ಯಾಪ್ತಿಯಲ್ಲಿ). RD ಅನ್ನು ಕಡಿಮೆ RO ಗೆ ಕಡಿಮೆ ಮಾಡುವುದು ಕಾರ್ಯಸಾಧ್ಯವಾದ ಪ್ರಸ್ತಾವವಲ್ಲ, ಏಕೆಂದರೆ ವೋಲ್ಟೇಜ್ ಲಾಭವೂ ಕಡಿಮೆಯಾಗುತ್ತದೆ. ಪರ್ಯಾಯವಾಗಿ, ಕಡಿಮೆ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧ (ಓಮ್ಮ ಹತ್ತಾರು ವ್ಯಾಪ್ತಿಯಲ್ಲಿ) ಅಗತ್ಯವಿದ್ದರೆ, ಒಂದು ಮೂಲ ಅನುಯಾಯಿ ಹಂತಕ್ಕೆ ಕರೆಯಲಾಗುತ್ತದೆ, ಮುಂದಿನ ಚರ್ಚಿಸಲಾಗುವುದು.
3. ಓಪನ್-ಸರ್ಕ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ ಲಾಭದ ಎವಿಒ ಹೆಚ್ಚಿನದಾಗಿರಬಹುದು, ಸಿಎಸ್ ಕಾನ್ಫಿಗರೇಶನ್ ಅನ್ನು MOS ಆಂಪ್ಲಿಫಯರ್ ವಿನ್ಯಾಸದಲ್ಲಿ ವರ್ಕ್‌ಫಾರ್ಸ್ ಮಾಡುತ್ತದೆ. ದುರದೃಷ್ಟವಶಾತ್, ಆದಾಗ್ಯೂ, ಸಿಎಸ್ ಆಂಪ್ಲಿಫಯರ್ ಬ್ಯಾಂಡ್ವಿಡ್ತ್ ತೀವ್ರವಾಗಿ ಸೀಮಿತವಾಗಿದೆ.

ಓ ಸಿಎಸ್ ವರ್ಧಕ ಯೋಗ್ಯ ವಿಶ್ಲೇಷಣ ನಿಷ್ಕರ್ಷ ಕಾಡು. ಆಮ್ಮಿ ಆತಾ ಖಾಫಿ ನಿರೀಕ್ಷಣೆ ಕರ್ನು ಶಕತಾ.

1. ಇನ್ಪುಟ್ ಪ್ರತಿಕಾರ ಆದರ್ಶ ಅಸೀಮ ಆಫೆ.
2. ಆಔಟ್ಪುಟ್ ಪ್ರತಿಕಾರ ಮಧ್ಯಮ ತೆ ಉಚ್ಚ (ಕಿಒಒಫ್ಸ್ ತೆ ದಫಾ ಕಿಒಒಫ್ಸ್ ಶ್ರೇಣಿಮಧ್ಯೆ) ಆಫೆ. ಆರಡೀ ಕಮ್ಮಿ ಕರ್ನುನ್ ಆರಒ ಕಮ್ಮಿ ಕರ್ಣೆ ಫಾ ವ್ಯವರ್ಯ ಪ್ರಸ್ತಾವ ನಾಫಿ, ಕಾರಣ ಫೋಲ್ಟೇಜ ಫಾಫ ದೆಖಿಫ ಕಮ್ಮಿ ಕೆಫಾ ಜಾತೆ. ವೈಕಲ್ಪಿಕರಿಯಾ, ಕಮ್ಮಿ ಆಔಟ್ಪುಟ್ ಪ್ರತಿಕಾರ (ಒಒಫಫ ತೆ ದಫಾಪಫ ಒಒಫಫ ಶ್ರೇಣಿತ) ಆವಶ್ಯಕ ಅಸಲ್ಯಾಸ, ಂಕ ಸ್ತೆತ ಅನುಯಾಯಿ ಸ್ತೇಜ ಮಾಗವಿಫೆ ಜಾತೆ, ಪುಢಿಫ ಫರ್ವಾ ಕೆಫಿ ಜಾಫಿಫ.
3. ಒಫಫಫ-ಸರ್ಕಿಫ ಫೋಲ್ಟೇಜ ಫಾಫ AVO ಉಚ್ಚ ಅಸು ಶಕತೆ, CS ಸಂರಫಫಾ ಂಫಒಂಸ ವರ್ಧಕ ರಫಫಾ workhorse ಬಫವಣ್ಯಾಸಾಢಿ. ತಫಾಪಿ, ದುಢ್ವಾಫೆ, CS ವರ್ಧಕ ಫ್ಯಾ ಬೆಡವಿಡ್ತ್ ಗಂಭೀರಪಣೆ ಮರ್ಯಾಢಿತ ಆಫೆ.

Overall Voltage Gain:

To determine the overall voltage gain G_V , we first note that the infinite input resistance will make the entire signal V_{sig} appear at the amplifier input,

$$v_i = v_{sig}$$

an obviously ideal situation. At this point we should remind the reader that to maintain a reasonably linear operation V_i , and hence V_{sig} should be kept much smaller than $2V_{OV}$. If a load resistance R_L is connected to the output terminal of the amplifier, this resistance will appear in parallel with R_D . It follows that the voltage gain A_V can simply replacing R_D in the expression for A_{VO} by $R_D \parallel R_L$.

$$A_v = -g_m(R_D \parallel R_L \parallel r_o)$$

This expression together with the fact that $V_i = V_{sig}$, provides the overall voltage gain,

$$G_v = A_v = -g_m(R_D \parallel R_L \parallel r_o)$$

2.13 The Common Source Amplifier with Source Resistance:

It is often beneficial to insert a resistance R_S in the source lead of the common-source amplifier as shown in Fig. 2.3(a). The corresponding small-signal equivalent circuit is shown in Fig. 2.3(b), where we note that the MOSFET has been replaced with its T equivalent-circuit model.

The T model is used in preference to the model because it makes the analysis in this case somewhat simpler. In general, whenever a resistance is connected in the source lead, the T model is preferred. The source resistance then simply appears in series with the resistance $1/g_m$ and can be added to it.

It should be noted that we have not included r_o in the equivalent-circuit model. Including r_o would complicate the analysis considerably; r_o would connect the output node of the amplifier to the input side and thus would make the amplifier nonunilateral.

ಚಿತ್ರ 2.3 (ಎ) ನಲ್ಲಿ ತೋರಿಸಿರುವಂತೆ ಸಾಮಾನ್ಯ-ಮೂಲ ಆಂಪ್ಲಿಫೈಯರ್ ಮೂಲ ಸೀಸದಲ್ಲಿ ಪ್ರತಿರೋಧ ಆರ್ಎಸ್ ಅನ್ನು ಸೇರಿಸುವುದು ಹೆಚ್ಚಾಗಿ ಪ್ರಯೋಜನಕಾರಿಯಾಗಿದೆ. ಅನುಗುಣವಾದ ಸಣ್ಣ l- ಸಿಗ್ನಲ್ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 2.3 (ಬಿ), ಅಲ್ಲಿ ಎಮ್‌ಒಎಸ್‌ಎಫ್‌ಇಟಿ ಅನ್ನು ಅದರ ಟಿ ಸಮಾನ-ಸರ್ಕ್ಯೂಟ್ ಮಾದರಿಯೊಂದಿಗೆ ಬದಲಿಸಲಾಗಿದೆ ಎಂದು ನಾವು ಗಮನಿಸುತ್ತೇವೆ.

ಟಿ ಮಾದರಿಯನ್ನು ಮಾದರಿಗೆ ಆದ್ಯತೆಯಾಗಿ ಬಳಸಲಾಗುತ್ತದೆ ಏಕೆಂದರೆ ಇದು ಈ ಸಂದರ್ಭದಲ್ಲಿ ವಿಶ್ಲೇಷಣೆಯನ್ನು ಸ್ವಲ್ಪ ಸರಳಗೊಳಿಸುತ್ತದೆ. ಸಾಮಾನ್ಯವಾಗಿ, ಮೂಲ ಸೀಸದಲ್ಲಿ ಪ್ರತಿರೋಧವನ್ನು ಸಂಪರ್ಕಿಸಿದಾಗಲೆಲ್ಲಾ, ಟಿ ಮಾದರಿಯನ್ನು ಆದ್ಯತೆ ನೀಡಲಾಗುತ್ತದೆ. ನಂತರ ಮೂಲ ಪ್ರತಿರೋಧವು ಕೇವಲ ಪ್ರತಿರೋಧ $1 / g_m$ ಗ್ರಾಂನೊಂದಿಗೆ ಸರಣಿಯಲ್ಲಿ ಕಾಣಿಸಿಕೊಳ್ಳುತ್ತದೆ ಮತ್ತು ಅದನ್ನು ಸೇರಿಸಬಹುದು.

ನಾವು ಸಮಾನ-ಸರ್ಕ್ಯೂಟ್ ಮಾದರಿಯಲ್ಲಿ r_o ಅನ್ನು ಸೇರಿಸಿಲ್ಲ ಎಂದು ಗಮನಿಸಬೇಕು. r_o ಯನ್ನು ಒಳಗೊಂಡು ವಿಶ್ಲೇಷಣೆಯನ್ನು ಗಣನೀಯವಾಗಿ ಸಂಕೀರ್ಣಗೊಳಿಸುವುದು: r_o

ಆಂಪ್ಲಿಫಯರ್ ಔಟ್ಪುಟ್ ನೋಡ್ ಅನ್ನು ಇನ್ಪುಟ್ ಬದಿಗೆ ಸಂಪರ್ಕಿಸುತ್ತದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಆಂಪ್ಲಿಫಯರ್ ಏಕಪಕ್ಷೀಯವಾಗಿಸುತ್ತದೆ.

Fig. 2.3 (ಅ) ಮध्ये दर्शविल्याप्रमाणे सामान्य-स्रोत वर्धकाच्या स्रोत पीडमध्ये प्रतिकार आरएस घाणणे बर्चाचदा फायदेशीर आहे. संबंधित ँण 1-सिग्न समतुल्य सर्किट फिग मध्ये दर्शविणे आहे. 2.3 (ब), जेथे आम्ही MOSFET त्याच्या टी समतुल्य-सर्किट मॉडे बदणे आहे की नोंद करावी.

टी मॉडे प्राधान्य मध्ये वापरणे जाते कारण या प्रकरणात विश्लेषण कापीसे सोपे करते. सर्वसाधारणपणे, स्रोत आघाडी मध्ये एक प्रतिकार कनेक्ट तेव्हा टी मॉडे प्राधान्य दिणे जाते. स्रोत प्रतिकार नंतर फक्त प्रतिकार $1 / g_m$ स मापिका मध्ये दिसते आणि त्यात जोडणे जाऊ शकते.

णे ँक्षात घेतणे पाणिजे की आपण समकक्ष-सर्किट मॉडेमध्ये आरओचा समावेश केण नाही. आर.ओ. चा समावेश केल्याने विश्लेषण खूपच गुंतागुंतीचे ढेई; आर.ओ. एम्प्लीफायरच्या आउटपुट नोड ँ इनपुट साइडशी कनेक्ट करेण आणि अशा प्रकारे एम्प्लीफायर नॉनमिनेट बनवेण.

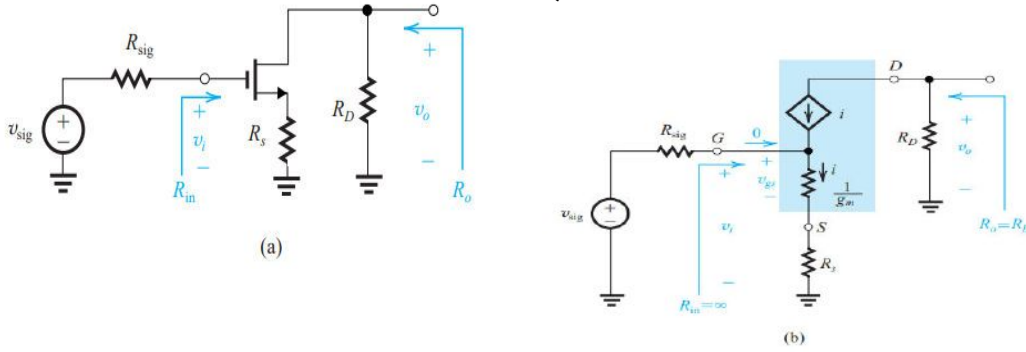


Fig:2.3: The CS amplifier with a source resistance R_s : (a) Circuit without bias details; (b) Equivalent circuit with the MOSFET represented by its T model.

From the fig 2.3(b), we see that the input resistance R_{in} is infinite and thus $v_i = v_{sig}$. Unlike the CS amplifier, however, here only a fraction of v_i appears between gate and source as v_{gs} . It can be determined from the voltage divider composed of $1 / g_m$ and R_s that appears across the amplifier input, as follows:

$$v_{gs} = v_i \frac{1/g_m}{1/g_m + R_s} = \frac{v_i}{1 + g_m R_s}$$

Thus we can use the value of R_s to control the magnitude of the signal v_{gs} and thereby ensure that V_{gs} does not become too large and cause unacceptably high nonlinear distortion. This is the first benefit of including resistor R_s .

MODULE – 2

Including R_s also improves the performance of negative feedback referring 2.3(a). If while keeping v_i constant, for some reason the drain current increases, the source current also will increase, resulting in an increased voltage drop across R_s . Thus the source voltage rises, and the gate-to-source voltage decreases. The latter effect causes the drain current to decrease, counteracting the initially assumed change, an indication of the presence of negative feedback. But negative feedback is significant at the expense of reduction in gain.

The output voltage is obtained by multiplying the controlled-source current i by R_D ,

$$v_o = -i R_D$$

The current i in the source lead can be found by dividing v_i by the total resistance in the source,

$$i = \frac{v_i}{1/g_m + R_s} = \left(\frac{g_m}{1 + g_m R_s} \right) v_i$$

Thus, the voltage gain A_{vo} can be found as

$$A_{vo} = \frac{v_o}{v_i} = -\frac{R_D}{1/g_m + R_s}$$

which can also be expressed as

$$A_{vo} = -\frac{g_m R_D}{1 + g_m R_s}$$

Above equation indicates that including the resistance reduces the voltage gain by the factor $(1+g_m R_s)$. It can also be shown that the amount of negative feedback added is $(1+g_m R_s)$ introduced by R_s . It is also the same factor by which bandwidth and other performance parameters improve. Because of the negative-feedback action of R_s it is known as a source-degeneration resistance.

It can also be interpreted from the drain current expression i that, the quantity inside the brackets can be thought of as effective conductance with R_s included. Thus including R_s reduces the transconductance by the factor $(1+g_m R_s)$.

The voltage gain between gate and drain is equal to the ratio of the total resistance in the drain R_D to the total resistance in the source $(1+g_m R_s)$.

$$\text{Voltage gain from gate to drain} = -\frac{\text{Total resistance in drain}}{\text{Total resistance in source}}$$

Finally, we consider the situation of a load resistance R_L connected at the output. We can obtain the gain A_V using the open-circuit voltage gain A_{VO} together with the output resistance R_O which can be found by inspection to be

$$R_o = R_D$$

Alternatively, A_V -can be obtained by simply replacing R_D in equation A_{VO} by $R_D \parallel R_L$; thus

$$A_v = -\frac{R_D \parallel R_L}{1/g_m + R_s}$$

Or

$$A_v = -\frac{g_m(R_D \parallel R_L)}{1 + g_m R_s}$$

Finally, note that because R_{in} is infinite $v_i = v_{sig}$, and the overall voltage gain G_V is equal to A_V .

2.14 The Common Drain Amplifier or Source Follower:

The last of the basic MOSFET amplifier configurations is the common-drain amplifier, an important circuit that finds application in the design of both small-signal amplifiers as well as amplifiers that are required to handle large signals and deliver substantial amounts of signal power to a load. The common drain amplifier is more commonly known as the source follower.

ಮೂಲಭೂತ ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿ ಆಂಪ್ಲಿಫೈಯರ್ ಸಂರಚನೆಗಳಲ್ಲಿ ಕೊನೆಯದು ಸಾಮಾನ್ಯ-ಡ್ರೈನ್ ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿದೆ, ಸಣ್ಣ-ಸಂಕೇತ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು ಮತ್ತು ದೊಡ್ಡ ಸಂಕೇತಗಳನ್ನು ನಿರ್ವಹಿಸಲು ಮತ್ತು ಒಂದು ಲೋಡ್ ಗಣನೀಯ ಪ್ರಮಾಣದ ಸಿಗ್ನಲ್ ಶಕ್ತಿಯನ್ನು ತಲುಪಿಸಲು ಅಗತ್ಯವಿರುವ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಎರಡೂ ವಿನ್ಯಾಸದಲ್ಲಿ ಅಪ್ಲಿಕೇಶನ್ ಅನ್ನು ಕಂಡುಕೊಳ್ಳುವ ಪ್ರಮುಖ ಸರ್ಕ್ಯೂಟ್. ಸಾಮಾನ್ಯ ಡ್ರೈನ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಹೆಚ್ಚು ಸಾಮಾನ್ಯವಾಗಿ ಮೂಲ ಅನುಯಾಯಿ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

ಮೂಲಭೂತ MOSFET ಪ್ರವರ್ಧಕ ಕಾನ್ಫಿಗರೇಶನ್‌ನ ಶೇವಟ್‌ನ ಸಾಮಾನ್ಯ-ನಾಡ್ ಪ್ರವರ್ಧಕ ಆದರೆ, ಒಂದು ಮತ್ತೊಂದು ಸರ್ಕ್ಯೂಟ್ ಜೊತೆಗೆ ಸಿಗ್ನಲ್ ಪ್ರಾಪ್ತಿಯನ್ನು ಒದಗಿಸಲು ಮತ್ತು ಒಂದು ಲೋಡ್ ಗಣನೀಯ ಪ್ರಮಾಣದ ಸಿಗ್ನಲ್ ಶಕ್ತಿಯನ್ನು ತಲುಪಿಸಲು ಅಗತ್ಯವಿರುವ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಎರಡೂ ವಿನ್ಯಾಸದಲ್ಲಿ ಅಪ್ಲಿಕೇಶನ್ ಅನ್ನು ಕಂಡುಕೊಳ್ಳುವ ಪ್ರಮುಖ ಸರ್ಕ್ಯೂಟ್. ಸಾಮಾನ್ಯ ಡ್ರೈನ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಹೆಚ್ಚು ಸಾಮಾನ್ಯವಾಗಿ ಮೂಲ ಅನುಯಾಯಿ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

The Need for Voltage Buffers:

Before embarking on the analysis of the source follower, it is useful to look at one of its more common applications. Consider the situation depicted in Fig. 2.4(a). A signal source delivering a signal of reasonable strength (1 V) with an internal resistance of 1 M is to be connected to a 1-k load resistance.

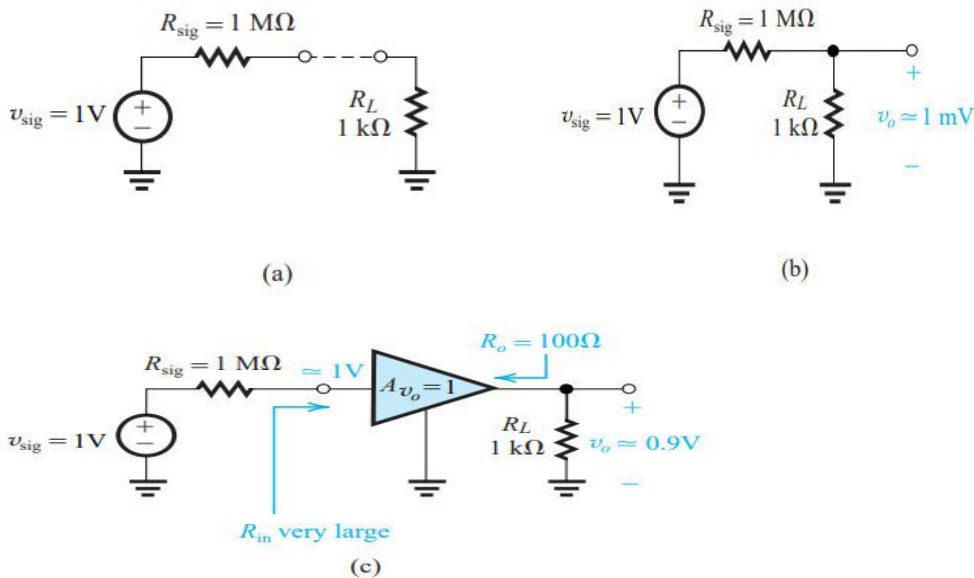


Fig:2.4: Illustrating the need for a unity-gain buffer amplifier

Connecting the source to the load directly as in Fig. 2.4(b) would result in severe attenuation of the signal; the signal appearing across the load will be $1 / (1000 + 1)$ only of the input signal or about 1 mV.

An alternative course of action is suggested in Fig. 2.4(c). Here we have interposed an amplifier between the source and the load. Our amplifier, however, is unlike the amplifiers we have been studying in this chapter thus far; it has a voltage gain of only unity. This is because our signal is already of sufficient strength and we do not need to increase its amplitude. Note, however, that our amplifier has a very large input resistance, thus almost all of v_{sig} (i.e., 1 V) will appear at the input of the amplifier proper. Since the amplifier has a low output resistance (100Ω), 90% of this signal (0.9 V) will appear at the output, obviously a very significant improvement over the situation without the amplifier. As will be seen shortly, the source follower can easily implement the unity-gain buffer amplifier shown in Fig. 2.4(c).

Characteristic Parameters of the Source Follower:

Figure 2.5(a) shows a source follower with the bias circuit omitted. The source follower is fed with a signal generator (v_{sig} , R_{sig}) and has a load resistance R_L connected between the source terminal and ground. We shall assume that R_L includes both the actual load and any other resistance that may be present between the source terminal and ground (e.g., for biasing purposes). Normally, the actual load resistance would be much lower in value than such other resistances and thus would dominate.

ಚಿತ್ರ 2.5 (ಎ) ಪಕ್ಷಪಾತ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಬಿಟ್ಟುಬಿಡುವುದರೊಂದಿಗೆ ಮೂಲ ಅನುಯಾಯಿಯನ್ನು ತೋರಿಸುತ್ತದೆ. ಮೂಲ ಅನುಯಾಯಿಯನ್ನು ಸಿಗ್ನಲ್ ಜನರೇಟರ್ (ವಿಸಿಗ್ , R_{sig}) ನೊಂದಿಗೆ ನೀಡಲಾಗುತ್ತದೆ ಮತ್ತು ಮೂಲ ಟರ್ಮಿನಲ್ ಮತ್ತು ನೆಲದ ನಡುವೆ ಸಂಪರ್ಕ ಹೊಂದಿದ ಲೋಡ್ ಪ್ರತಿರೋಧ ಆರ್ಎಲ್ ಅನ್ನು ಹೊಂದಿದೆ. ಮೂಲ ಟರ್ಮಿನಲ್ ಮತ್ತು ನೆಲದ (ಉದಾಹರಣೆಗೆ, ಪಕ್ಷಪಾತ ಉದ್ದೇಶಗಳಿಗಾಗಿ) ನಡುವೆ ಇರಬಹುದಾದ ನಿಜವಾದ ಲೋಡ್ ಮತ್ತು ಯಾವುದೇ ಇತರ ಪ್ರತಿರೋಧ ಎರಡನ್ನೂ ಆರ್ಎಲ್ ಒಳಗೊಂಡಿದೆ ಎಂದು ನಾವು ಊಹಿಸುತ್ತೇವೆ. ಸಾಮಾನ್ಯವಾಗಿ, ನಿಜವಾದ ಲೋಡ್ ಪ್ರತಿರೋಧವು ಅಂತಹ ಇತರ ಪ್ರತಿರೋಧಗಳಿಗಿಂತ ಮೌಲ್ಯದಲ್ಲಿ ತುಂಬಾ ಕಡಿಮೆ ಇರುತ್ತದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಪ್ರಾಬಲ್ಯ ಸಾಧಿಸುತ್ತದೆ

आकृती 2.5 (एक) वगळणे पूर्वग्रह सर्किट एक स्रोत अनुयायी दाखवते. स्रोत अनुयायी एक सिग्नल जनरेटर (v_{sig} , R_{sig}) संपादित आहे आणि स्रोत टर्मिनल आणि ग्राउंड दरम्यान कनेक्ट होड प्रतिकार आरएल आहे. आम्ही R_L प्रत्यक्ष होड आणि स्रोत टर्मिनल आणि ग्राउंड (उदा, पक्षपाती टेटूने) दरम्यान उपस्थित असू शकते की इतर कोणत्याही प्रतिकार दोन्ही समावेश आहे असे गृहित धरू. साधारणपणे, वास्तविक होड प्रतिकार अशा इतर प्रतिकार पेक्षा मूल्य खूप कमी असेल आणि अशा प्रकारे वर्चस्व होईल

Since the MOSFET has a resistance R_L connected in its source terminal, it is most convenient to use the T model, as shown in Fig. 2.5(b). Note that we have included r_o , simply because it is very easy to do so. However, since r_o in effect appears in parallel with R_L , and since in discrete circuits $r_o \gg R_L$, we can neglect r_o and obtain the simplified equivalent circuit shown in Fig. 2.5(c). From the latter circuit we can write by inspection

$$R_{in} = \infty$$

and obtain A_v from the voltage divider formed by $1/g_m$ and R_L as

MODULE – 2

$$A_v \equiv \frac{v_o}{v_i} = \frac{R_L}{R_L + 1/g_m}$$

Setting $R_L = \infty$, we obtain

$$A_{vo} = 1$$

The output resistance is found by setting $v_i = 0$ (i.e., by grounding the gate). Now looking back into the output terminal, excluding R_L , we simply see $1/g_m$, thus

$$R_o = 1/g_m$$

The unity open-circuit voltage gain together with R_o can be used to find A_v when a load resistance R_L is connected. Finally, because of the infinite R_{in} , $v_i = v_{sig}$, and the overall voltage gain is

$$G_v = A_v = \frac{R_L}{R_L + 1/g_m}$$

Thus G_v will be lower than unity. However, because $1/g_m$ is usually low, the voltage gain can be close to unity. The unity open-circuit voltage gain in Equation above as A_{vo} indicates that the

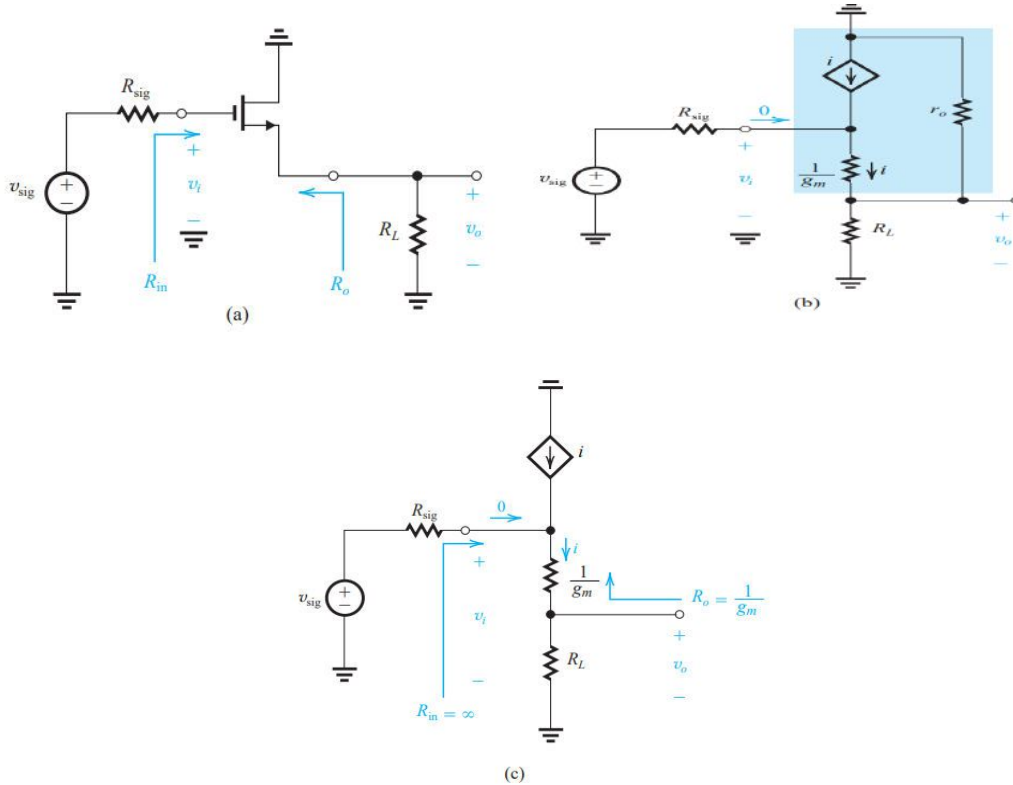


Figure 2.5 (a) Common-drain amplifier or source follower. (b) Equivalent circuit of the source follower obtained by replacing the MOSFET with its T model. Note that r_o appears in parallel with R_L and in discrete circuits, $r_o \gg R_L$. Neglecting r_o , we obtain the simplified equivalent circuit in (c).

voltage at the source terminal will follow that at the input, hence the name source follower. In conclusion, the source follower features a very high input resistance (ideally, infinite), a relatively low output resistance, and an open-circuit voltage gain that is near unity (ideally, unity). Thus the source follower is ideally suited for implementing the unity-gain voltage buffer of Fig. 2.4(c). The source follower is also used as the output (i.e., last) stage in a multistage amplifier, where its function is to equip the overall amplifier with a low output resistance, thus enabling it to supply relatively large load currents without loss of gain (i.e., with little reduction of output signal level).

2.15 Comparison Of MOSFET Amplifiers:

Amplifier type	Characteristics ^{a, b}				
	R_{in}	A_{vo}	R_o	A_v	G_v
Common source (Fig. 5.45)	∞	$-g_m R_D$	R_D	$-g_m(R_D \parallel R_L)$	$-g_m(R_D \parallel R_L)$
Common source with R_s (Fig. 5.47)	∞	$-\frac{g_m R_D}{1 + g_m R_s}$	R_D	$-\frac{g_m(R_D \parallel R_L)}{1 + g_m R_s}$	$-\frac{g_m(R_D \parallel R_L)}{1 + g_m R_s}$
				$-\frac{R_D \parallel R_L}{1/g_m + R_s}$	$-\frac{R_D \parallel R_L}{1/g_m + R_s}$
Common gate (Fig. 5.48)	$\frac{1}{g_m}$	$g_m R_D$	R_D	$g_m(R_D \parallel R_L)$	$\frac{R_D \parallel R_L}{R_{sig} + 1/g_m}$
Source follower (Fig. 5.50)	∞	1	$\frac{1}{g_m}$	$\frac{R_L}{R_L + 1/g_m}$	$\frac{R_L}{R_L + 1/g_m}$

In addition to the remarks already made throughout this section about the characteristics and areas of applicability of the various configurations, we make the following concluding points:

1. The CS configuration is the best suited for realizing the bulk of the gain required in an amplifier. Depending on the magnitude of the gain required, either a single stage or a cascade of two or three stages can be used.
2. Including a resistor R_s in the source lead of the CS stage provides a number of performance improvements at the expense of gain reduction.
3. The low input resistance of the CG amplifier makes it useful only in specific applications. As well as, it has a much better high-frequency response than the CS amplifier. This

superiority makes it useful as a high-frequency amplifier, especially when combined with the CS circuit..

4.The source follower finds application as a voltage buffer for connecting a high resistance source to a low-resistance load and as the output stage in a multistage amplifier where its purpose is to equip the amplifier with a low output resistance.

ವಿವಿಧ ಸಂರಚನೆಗಳ ಗುಣಲಕ್ಷಣಗಳು ಮತ್ತು ಅನ್ವಯಿಸುವ ಪ್ರದೇಶಗಳ ಬಗ್ಗೆ ಈ ವಿಭಾಗದಾದ್ಯಂತ ಈಗಾಗಲೇ ಮಾಡಿದ ಟಿಪ್ಪಣಿಗಳ ಜೊತೆಗೆ, ನಾವು ಈ ಕೆಳಗಿನ ಮುಕ್ತಾಯದ ಅಂಶಗಳನ್ನು ಮಾಡುತ್ತೇವೆ:

1. ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ ಅಗತ್ಯವಾದ ಲಾಭದ ಬಹುಭಾಗವನ್ನು ಗ್ರಹಿಸಲು ಸಿಎಸ್ ಸಂರಚನೆಯು ಅತ್ಯುತ್ತಮವಾಗಿದೆ. ಅಗತ್ಯವಾದ ಲಾಭದ ಪ್ರಮಾಣವನ್ನು ಅವಲಂಬಿಸಿ, ಒಂದೇ ಹಂತ ಅಥವಾ ಎರಡು ಅಥವಾ ಮೂರು ಹಂತಗಳ ಕ್ಯಾಸ್ಕೇಡ್ ಅನ್ನು ಬಳಸಬಹುದು.

2. ಸಿಎಸ್ ಹಂತದ ಮೂಲ ಸೀಸದಲ್ಲಿ ಒಂದು ನಿರೋಧಕ ಆರ್ಎಸ್ ಅನ್ನು ಒಳಗೊಂಡಂತೆ ಲಾಭದ ಕಡಿತದ ವೆಚ್ಚದಲ್ಲಿ ಹಲವಾರು ಕಾರ್ಯಕ್ಷಮತೆಯ ಸುಧಾರಣೆಗಳನ್ನು ಒದಗಿಸುತ್ತದೆ.

3. ಸಿಜಿ ಆಂಪ್ಲಿಫೈಯರ್ ಕಡಿಮೆ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವು ನಿರ್ದಿಷ್ಟ ಅನ್ವಯಗಳಲ್ಲಿ ಮಾತ್ರ ಉಪಯುಕ್ತವಾಗಿಸುತ್ತದೆ. ಹಾಗೆಯೇ, ಇದು ಸಿಎಸ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಿಂತ ಹೆಚ್ಚು ಉತ್ತಮವಾದ ಉನ್ನತ-ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಹೊಂದಿದೆ. ಈ ಶ್ರೇಷ್ಠತೆಯು ಹೆಚ್ಚಿನ-ಆವರ್ತನ ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿ ಉಪಯುಕ್ತವಾಗಿಸುತ್ತದೆ, ವಿಶೇಷವಾಗಿ ಸಿಎಸ್ ಸರ್ಕ್ಯೂಟ್‌ನೊಂದಿಗೆ ಸಂಯೋಜಿಸಿದಾಗ.

4. ಮೂಲ ಅನುಯಾಯಿ ಕಡಿಮೆ-ನಿರೋಧಕ ಲೋಡ್ ಹೆಚ್ಚಿನ ಪ್ರತಿರೋಧ ಮೂಲವನ್ನು ಸಂಪರ್ಕಿಸಲು ವೋಲ್ಟೇಜ್ ಬಫರ್ ಆಗಿ ಅಪ್ಲಿಕೇಶನ್ ಅನ್ನು ಕಂಡುಕೊಳ್ಳುತ್ತಾನೆ ಮತ್ತು ಮಲ್ಟಿಸ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ ಔಟ್ಪುಟ್ ಹಂತವಾಗಿ ಅದರ ಉದ್ದೇಶವು ಕಡಿಮೆ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧದೊಂದಿಗೆ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಸಜ್ಜುಗೊಳಿಸುತ್ತದೆ.

विविध कॉन्फिगरेशन्सची वैशिष्ट्ये आणि अंमलबजावणीच्या क्षेत्रांबद्दल या विभागात आधीच केलेल्या टिप्पणी व्यतिरिक्त, आम्ही खालील निष्कर्ष काढतो:

1. सीएस कॉन्फिगरेशन एक वर्धक आवश्यक ढाभ मोठ्या प्रमाणात ढक्षात सर्वोत्तम योग्य आढे. आवश्यक ढाभ विशाढता अवढंबून, एकतर एक टप्पा किंवा दोन किंवा तीन टप्पे एक कासव वापरढे जाऊ शकते.
2. सीएस स्टेज स्रोत आघाडी मध्ये एक प्रतिरोधक आरएस समावेश नप्पावर कपात खर्च कामगिरी सुधारणा अनेक प्रदान करते.
3. CG वर्धक कमी इनपुट प्रतिकार फक्त विशिष्ट अनुप्रयोग मध्ये उपयुक्त करते. तसेच, तो सीएस वर्धक पेक्षा खूपच चांगढे उच्च वारंवारता प्रतिसाद आढे. ढे श्रेष्ठत्व उच्च वारंवारता प्रवर्धक म्हणून उपयुक्त करते, विशेषतः जेव्हा सीएस सर्किटसढ एकत्रित केढे जाते ..
- 4.The स्रोत अनुयायी एक कमी प्रतिकार ढोड करण्यासाठी एक उच्च प्रतिकार स्रोत कनेक्ट करण्यासाठी एक व्होल्टेज बफर म्हणून अर्ज आणि त्याच्या उद्देश कमी आउटपुट प्रतिकार सढ प्रवर्धक सुसज्ज आढे जेथे एक multistage वर्धक आउटपुट स्टेज म्हणून सापडते.

2.2 MOSFET internal capacitances and High frequency model:

The MOSFET:

From our study of the physical operation of the MOSFET, we know that the device has internal capacitances. In fact, we used one of these, the gate-to-channel capacitance, in our derivation of the MOSFET characteristics. We did, however, implicitly assume that the steady-state charges on these capacitances are acquired instantaneously. In other words, we did not account for the finite time required to charge and discharge the various internal capacitances. As a result, the device models we derived, such as the small-signal model, do not include any capacitances. The use of these models would predict constant amplifier gains independent of frequency. We know, however, that this (unfortunately) does not happen; in fact, the gain of every MOSFET amplifier falls off at some high frequency. Similarly, the MOSFET digital logic inverter exhibits a finite nonzero propagation delay. To be able to predict these results, the MOSFET model must be augmented by including internal capacitances. This is the subject of this section.

To visualize the physical origin of the various internal capacitances, there are basically two types of internal capacitance in the MOSFET.

1. The gate capacitive effect: The gate electrode (polysilicon) forms a parallel-plate capacitor with the channel, with the oxide layer serving as the capacitor dielectric. We discussed the gate (or oxide) capacitance and denoted its value per unit area as C_{ox} .

2. The source-body and drain-body depletion-layer capacitances: These are the capacitances of the reverse-biased pn junctions formed by the n+ source region (also called the source diffusion) and the p-type substrate and by the n+ drain region (the drain diffusion) and the substrate.

These two capacitive effects can be modelled by including capacitances in the MOSFET model between its four terminals, G, D, S, and B. There will be five capacitances in total:

C_{gs} , C_{gd} , C_{gb} , C_{sb} , and C_{db} , where the subscripts indicate the location of the capacitances in the model. In the following, we show how the values of the five model capacitances can be determined. We will do so by considering each of the two capacitive effects separately.

ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿಯ ಭೌತಿಕ ಕಾರ್ಯಾಚರಣೆಯ ನಮ್ಮ ಅಧ್ಯಯನದಿಂದ, ಸಾಧನವು ಆಂತರಿಕ ಕೆಪಾಸಿಟೆನ್ಸುಗಳನ್ನು ಹೊಂದಿದೆ ಎಂದು ನಮಗೆ ತಿಳಿದಿದೆ. ವಾಸ್ತವವಾಗಿ, ನಾವು ಇವುಗಳಲ್ಲಿ ಒಂದನ್ನು, ಗೇಟ್-ಟು-ಚಾನೆಲ್ ಕೆಪಾಸಿಟೆನ್ಸ್ ಅನ್ನು, ಎಂಒಒಎಸ್‌ಎಫ್‌ಇಟಿ ಗುಣಲಕ್ಷಣಗಳ ನಮ್ಮ ವ್ಯುತ್ಪತ್ತಿಯಲ್ಲಿ ಬಳಸಿದ್ದೇವೆ. ಆದಾಗ್ಯೂ, ಈ ಸಾಮರ್ಥ್ಯದ ಮೇಲೆ ಸ್ಥಿರ-ಸ್ಥಿತಿಯ ಶುಲ್ಕಗಳನ್ನು ತತ್ಕ್ಷಣವೇ ಪಡೆಯಲಾಗುತ್ತದೆ ಎಂದು ನಾವು ಭಾವಿಸಿದೆವು. ಬೇರೆ ರೀತಿಯಲ್ಲಿ ಹೇಳುವುದಾದರೆ, ವಿವಿಧ ಆಂತರಿಕ ಸಾಮರ್ಥ್ಯಗಳನ್ನು ಚಾರ್ಜ್ ಮಾಡಲು ಮತ್ತು ವಿಸರ್ಜಿಸಲು ಅಗತ್ಯವಿರುವ ಸೀಮಿತ ಸಮಯವನ್ನು ನಾವು ಲೆಕ್ಕಿಸಲಿಲ್ಲ. ಪರಿಣಾಮವಾಗಿ, ನಾವು ಪಡೆದ ಸಾಧನ ಮಾದರಿಗಳು, ಉದಾಹರಣೆಗೆ ಸಣ್ಣ-ಸಿಗ್ನಲ್ ಮಾದರಿ, ಯಾವುದೇ ಕೆಪಾಸಿಟೆನ್ಸುಗಳನ್ನು ಒಳಗೊಂಡಿರುವುದಿಲ್ಲ. ಈ ಮಾದರಿಗಳ ಬಳಕೆಯು ಅವರ್ತನದಿಂದ ಸ್ವತಂತ್ರವಾಗಿ ಸ್ಥಿರ ವರ್ಧಕ ಲಾಭಗಳನ್ನು ಊಹಿಸುತ್ತದೆ. ನಾವು, ಆದಾಗ್ಯೂ, ಇದು (ದುರದೃಷ್ಟವಶಾತ್) ಸಂಭವಿಸುವುದಿಲ್ಲ ಎಂದು ನಮಗೆ ತಿಳಿದಿರುವ - ವಾಸ್ತವವಾಗಿ, ಪ್ರತಿ Mosfet ಆಂಪ್ಲಿಫೈಯರ್ ಲಾಭ ಕೆಲವು ಹೆಚ್ಚಿನ ಅವರ್ತನದಲ್ಲಿ ಬೀಳುತ್ತದೆ. ಅಂತೆಯೇ, MOSFET ಡಿಜಿಟಲ್ ಲಾಜಿಕ್ ಇನ್ವರ್ಟರ್ ಸೀಮಿತ ನಾನ್ವೆರೋ ಪ್ರಸರಣ ವಿಳಂಬ ಪ್ರದರ್ಶಿಸುತ್ತದೆ. ಈ ಫಲಿತಾಂಶಗಳನ್ನು ಊಹಿಸಲು ಸಾಧ್ಯವಾಗುವಂತೆ, ಆಂತರಿಕ ಕೆಪಾಸಿಟೆನ್ಸುಗಳನ್ನು ಸೇರಿಸುವ ಮೂಲಕ MOSfet ಮಾದರಿಯನ್ನು ಹೆಚ್ಚಿಸಬೇಕು. ಇದು ಈ ವಿಭಾಗದ ವಿಷಯವಾಗಿದೆ.

ವಿವಿಧ ಆಂತರಿಕ ಕೆಪಾಸಿಟೆನ್ಸ್‌ನು ಭೌತಿಕ ಮೂಲವನ್ನು ದೃಶ್ಯೀಕರಿಸಲು, ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿಯಲ್ಲಿ ಮೂಲಭೂತವಾಗಿ ಎರಡು ರೀತಿಯ ಆಂತರಿಕ ಕೆಪಾಸಿಟೆನ್ಸ್‌ಗಳಿವೆ.

1. ಗೇಟ್ ಕೆಪಾಸಿಟಿವ್ ಪರಿಣಾಮ: ಗೇಟ್ ಎಲೆಕ್ಟ್ರೋಡ್ (ಪಾಲಿಸಿಲಿಕಾನ್) ಚಾನಲ್‌ನೊಂದಿಗೆ ಸಮಾನಾಂತರ-ಪ್ಲೇಟ್ ಕೆಪಾಸಿಟರ್ ಅನ್ನು ರೂಪಿಸುತ್ತದೆ, ಆಕ್ಸೈಡ್ ಪದರವು ಕೆಪಾಸಿಟರ್ ಡೈಎಲೆಕ್ಟ್ರಿಕ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ. ನಾವು ಗೇಟ್ (ಅಥವಾ ಆಕ್ಸೈಡ್) ಕೆಪಾಸಿಟೆನ್ಸ್ ಅನ್ನು ಚರ್ಚಿಸಿದವು ಮತ್ತು ಅದರ ಮೌಲ್ಯವನ್ನು ಪ್ರತಿ ಯುನಿಟ್ ಪ್ರದೇಶಕ್ಕೆ CO.

2. ಮೂಲ-ದೇಹ ಮತ್ತು ಡ್ರೈನ್-ದೇಹದ ಕ್ಷೀಣತೆ-ಪದರದ ಸಾಮರ್ಥ್ಯಗಳು: ಇವುಗಳು n^+ ಮೂಲ ಪ್ರದೇಶ (ಮೂಲ ಪ್ರಸರಣ ಎಂದೂ ಕರೆಯಲ್ಪಡುವ) ಮತ್ತು ಪಿ-ಟೈಪ್ ತಲಾಧಾರ ಮತ್ತು n^+ ಡ್ರೈನ್ ಪ್ರದೇಶ (ಡ್ರೈನ್ ಪ್ರಸರಣ) ಮತ್ತು ತಲಾಧಾರದಿಂದ ರೂಪುಗೊಂಡ ಹಿಮ್ಮುಖ-ಪಕ್ಷಪಾತದ pn ಜಂಕ್ಷನ್‌ಗಳ ಸಾಮರ್ಥ್ಯಗಳಾಗಿವೆ.

ಈ ಎರಡು ಕೆಪಾಸಿಟಿವ್ ಪರಿಣಾಮಗಳನ್ನು ಅದರ ನಾಲ್ಕು ಟರ್ಮಿನಲ್‌ಗಳು, ಜಿ, ಡಿ, ಎಸ್, ಮತ್ತು ಬಿಗಳ ನಡುವೆ Mosfet ಮಾದರಿಯಲ್ಲಿ ಕೆಪಾಸಿಟೆನ್ಸ್‌ಗಳನ್ನು ಸೇರಿಸುವ ಮೂಲಕ ಮಾದರಿ ಮಾಡಬಹುದು:

Cgs, Cgd, Cgb, Csb, ಮತ್ತು Cdb, ಅಲ್ಲಿ ಸಬ್ಸ್ಟ್ರೇಟ್‌ಗಳು ಮಾದರಿಯಲ್ಲಿ ಕೆಪಾಸಿಟೆನ್ಸ್‌ಗಳ ಸ್ಥಳವನ್ನು ಸೂಚಿಸುತ್ತವೆ. ಕೆಳಗಿನವುಗಳಲ್ಲಿ, ಐದು ಮಾದರಿ ಸಾಮರ್ಥ್ಯಗಳ ಮೌಲ್ಯಗಳನ್ನು ಹೇಗೆ ನಿರ್ಧರಿಸಬಹುದು ಎಂಬುದನ್ನು ನಾವು ತೋರಿಸುತ್ತೇವೆ. ಎರಡು ಕೆಪಾಸಿಟಿವ್ ಪರಿಣಾಮಗಳಲ್ಲಿ ಪ್ರತಿಯೊಂದನ್ನು ಪ್ರತ್ಯೇಕವಾಗಿ ಪರಿಗಣಿಸುವ ಮೂಲಕ ನಾವು ಹಾಗೆ ಮಾಡುತ್ತೇವೆ.

MOSFET च्या शारीरिक ऑपरेशनच्या आमच्या अभ्यासावरून आपल्याला माहित आहे की डिव्हाइसमध्ये अंतर्गत कॅपेसिटन्स आहेत. खरं तर, आम्ही यापैकी एक वापरणे, गेट-टू-चॅनेल कॅपेसिटन्स, MOSFET वैशिष्ट्ये आमच्या derivation मध्ये. तथापि, आम्ही असे गृहीत धरणे की या कॅपेसिटन्सवरील स्थिर-राज्य शुल्क ताबडतोब प्राप्त केले जातात. दुसऱ्या शब्दांत, आम्ही विविध अंतर्गत capacitances चार्ज आणि सोडविणे आवश्यक मर्यादित वेळ प्रिडिक्शन नाही. एक परिणाम म्हणून, साधन मॉडेल आम्ही प्राप्त, अशा प्लेन-सिग्नल मॉडेल म्हणून, कोणत्याही capacitance समावेश नाही. या मॉडेल्सचा वापर वारंवारता स्वतंत्र सतत वर्धक लाभ अंदाज देईल. तथापि, आपल्याला माहित आहे की ते (दुर्दैवाने) दोत नाही; खरं तर, प्रत्येक MOSFET वर्धकाचा फायदा काही उच्च वारंवारता वर बंद

पडतो. तसेच, MOSFET डिजिटल तर्कशास्त्र इन्व्हर्टर एक परिमित नॉनइरो प्रसार विंब प्रदर्शित. या परिणामांचा अंदाज ावण्यास सक्षम ाण्यासाठी, MOSFET मॉडेमध्ये अंतर्गत कॅपेसिटन्सचा समावेश करून वाढ करणे आवश्यक आहे. ा या विभागाचा विषय आहे.

विविध अंतर्गत capacitances शारीरिक मूळ कल्पना करण्यासाठी, MOSFET मध्ये मुळात अंतर्गत capacitance दोन प्रकार आहेत.

1. गेट capacitive परिणाम: गेट इलेक्ट्रोड (पॉलीसिलिकॉन) चॅनेलसमंतर-प्लेट कॅपेसिटर तयार करते, ऑक्साईड थर कॅपेसिटर डायलेक्ट्रिक म्हणून कार्य करते. आम्ही गेट (किंवा ऑक्साईड) capacitance चर्चा आणि COX म्हणून युनिट क्षेत्र प्रति त्याचे मूल्य दर्शविणे.
2. स्रोत-शरीर आणि निचरा-शरीर घट-स्तर capacitances: n^+ स्रोत क्षेत्र (ज्याला स्रोत प्रसार देखील म्हणतात) आणि पी-प्रकार सबस्ट्रेट आणि n^+ ड्रेन क्षेत्र (नाले प्रसार) आणि सबस्ट्रेटद्वारे तयार केलेल्या उलट-पक्षपाती पीएन जंक्शनचे कॅपेसिटन्स आहेत.

या दोन capacitive प्रभाव त्याच्या चार टर्मिनल दरम्यान MOSFET मॉडे capacitances समावेश करून modeled जाऊ शकते, जी, डी, एस, आणि ब. एकूण पाच capacitances असे:

C_{gs} , C_{gd} , C_{gb} , C_{sb} आणि C_{db} , जेथे सबस्क्रिप्ट्स मॉडेमध्ये कॅपेसिटन्सचे स्थान दर्शवितात. खाणीमध्ये, आम्ही पाच मॉडे capacitances मूल्ये कसे निर्धारित के जाऊ शकते दाखवा. आम्ही स्वतंत्रपणे दोन capacitive प्रभाव प्रत्येक विचार करून करू.

2.21 The Gate Capacitive Effect:

The gate capacitive effect can be modelled by the three capacitances C_{gs} , C_{gd} , and C_{gb} . The values of these capacitances can be determined as follows:

1. When the MOSFET is operating in the triode region at small v_{DS} , the channel will be of uniform depth. The gate-channel capacitance will be $WL C_{ox}$ and can be modelled by dividing it equally between the source and drain ends; thus,

$$C_{gs} = C_{gd} = \frac{1}{2}WL C_{ox} \quad (\text{triode region})$$

This is obviously an approximation (as all modeling is), but it works well for trioderegion operation even when v_{DS} is not small

2. When the MOSFET operates in saturation, the channel has a tapered shape and is pinched off at or near the drain end. It can be shown that the gate-to-channel capacitance in this case

is approximately (2/3) WL Cox and can be modeled by assigning this entire amount to Cgs, and a zero amount to Cgd (because the channel is pinched off at the drain); thus,

$$\left. \begin{array}{l} C_{gs} = \frac{2}{3} WL C_{ox} \\ C_{gd} = 0 \end{array} \right\} \text{ (saturation region)}$$

3. When the MOSFET is cut off, the channel disappears, and thus Cgs = Cgd = 0. However, we can (after some rather complex reasoning) model the gate capacitive effect by assigning a capacitance WL Cox to the gate-body model capacitance; thus

$$\left. \begin{array}{l} C_{gs} = C_{gd} = 0 \\ C_{gb} = WL C_{ox} \end{array} \right\} \text{ (cutoff)}$$

4. There is an additional small capacitive component that should be added to Cgs and Cgd in all the preceding formulas. This is the capacitance that results from the fact that the source and drain diffusions extend slightly under the gate oxide. If the overlap length is denoted Lov, we see that the overlap capacitance component is

$$C_{ov} = WL_{ov} C_{ox}$$

Typically, Lov = 0.05 to 0.1 L.

2.22 The junction Capacitances:

The depletion-layer capacitances of the two reverse-biased pn junctions formed between each of the source and the drain diffusions and the body can be determined using the formula shown below.

$$C_j = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{V_0}}}$$

Thus, for the source diffusion, we have the source-body capacitance, Csb

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}}$$

where Csb0 is the value of Csb at zero body-source bias, VSB is the magnitude of the reverse bias voltage, and V0 is the junction built-in voltage (0.6 V to 0.8 V). Similarly, for the drain diffusion, we have the drain-body capacitance Cdb,

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}}$$

where C_{db0} is the capacitance value at zero reverse-bias voltage, and V_{DB} is the magnitude of this reverse-bias voltage. Note that we have assumed that for both junctions, the grading coefficient $m = 1/2$.

It should be noted also that each of these junction capacitances includes a component arising from the bottom side of the diffusion and a component arising from the side walls of the diffusion. In this regard, observe that each diffusion has three side walls that are in contact with the substrate and thus contribute to the junction capacitance (the fourth wall is in contact with the channel). In more advanced MOSFET modelling, the two components of each of the junction capacitances are calculated separately.

The formulas for the junction capacitances in above equations assume small-signal operation. These formulas, however, can be modified to obtain approximate average values for the capacitances when the transistor is operating under large-signal conditions such as in logic circuits.

ಈ ಪ್ರತಿಯೊಂದು ಜಂಕ್ಷನ್ ಕೆಪಾಸಿಟೆನ್ಸ್ ಪ್ರಸರಣದ ಕೆಳಭಾಗದಿಂದ ಉಂಟಾಗುವ ಒಂದು ಘಟಕವನ್ನು ಮತ್ತು ಪ್ರಸರಣದ ಪಕ್ಕದ ಗೋಡೆಗಳಿಂದ ಉಂಟಾಗುವ ಒಂದು ಘಟಕವನ್ನು ಒಳಗೊಂಡಿರುತ್ತದೆ ಎಂದು ಸಹ ಗಮನಿಸಬೇಕು. ಈ ನಿಟ್ಟಿನಲ್ಲಿ, ಪ್ರತಿ ಪ್ರಸರಣವು ತಲಾಧಾರದೊಂದಿಗೆ ಸಂಪರ್ಕದಲ್ಲಿರುವ ಮೂರು ಪಕ್ಕದ ಗೋಡೆಗಳನ್ನು ಹೊಂದಿದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಜಂಕ್ಷನ್ ಸಾಮರ್ಥ್ಯಕ್ಕೆ ಕೊಡುಗೆ ನೀಡುತ್ತದೆ (ನಾಲ್ಕನೇ ಗೋಡೆಯು ಚಾನಲೊಂದಿಗೆ ಸಂಪರ್ಕದಲ್ಲಿದೆ) ಎಂಬುದನ್ನು ಗಮನಿಸಿ. ಹೆಚ್ಚು ಸುಧಾರಿತ ಎಂಬಿಸ್‌ಎಫ್‌ಇಟಿ ಮಾಡೆಲಿಂಗ್‌ನಲ್ಲಿ, ಪ್ರತಿಯೊಂದು ಜಂಕ್ಷನ್ ಕೆಪಾಸಿಟೆನ್ಸ್ ಎರಡು ಘಟಕಗಳನ್ನು ಪ್ರತ್ಯೇಕವಾಗಿ ಲೆಕ್ಕಹಾಕಲಾಗುತ್ತದೆ.

ಮೇಲಿನ ಸಮೀಕರಣಗಳಲ್ಲಿ ಜಂಕ್ಷನ್ ಕೆಪಾಸಿಟೆನ್ಸ್‌ನಿಗೆ ಸೂತ್ರಗಳು ಸಣ್ಣ-ಸಂಕೇತ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಊಹಿಸುತ್ತವೆ. ಆದಾಗ್ಯೂ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಲಾಜಿಕ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳಲ್ಲಿನಂತಹ ದೊಡ್ಡ-ಸಂಕೇತ ಪರಿಸ್ಥಿತಿಗಳಲ್ಲಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತಿರುವಾಗ ಕೆಪಾಸಿಟೆನ್ಸ್‌ಗಳಿಗೆ ಅಂದಾಜು ಸರಾಸರಿ ಮೌಲ್ಯಗಳನ್ನು ಪಡೆಯಲು ಈ ಸೂತ್ರಗಳನ್ನು ಮಾರ್ಪಡಿಸಬಹುದು.

ಠೆ ದೆಖೀಠ ಠಕ್ಷಾತ ಘೆತಠೆ ಪಾಠಿಜೆ ಕೀ ಯಾ ಪ್ರತೀಕ ಜಂಕ್ಷನ ಕೆಪೆಸಿಟೆನ್ಸಮಧ್ಯೆ ಪ್ರಸಾರಾಚ್ಯಾ ಖಾಠ್ಯಾ ಬಾಜುಪಾಸೂನ ಉದ್ಭವಣಾರಾ ಁಕ ಘಟಕ ಆಠಿ ಪ್ರಸಾರಾಚ್ಯಾ ಬಾಜುಚ್ಯಾ ಠಿಂತಿಪಾಸೂನ ಉದ್ಭವಣಾರಾ ಁಕ ಘಟಕ ಸಮಾವಿಶ್ಠ ಆಠೆ. ಯಾ ಸಂದರ್ಭಾತ, ಪ್ರತೀಕ ಪ್ರಸಾರ ತೀನ ಬಾಜುಚ್ಯಾ ಠಿಂತಿ ಆಠೆತ ಕೀ ಸಬ್ಸ್ಟ್ರೇಟ್ ಸಂಪರ್ಕಾತ ಆಠೆತ ಆಠಿ ಅಶಾ ಪ್ರಕಾರೆ ಜಂಕ್ಷನ capacitance (ಚೌಥ್ಯಾ ಠಿಂತ ಚೆನಿಠ ಸಂಪರ್ಕಾತ ಆಠೆ) ಯುಗದಾನ ಕೀ ನಿರೀಕ್ಷಣ ಕರಾ. ಅಧಿಕ ಪ್ರಗತ MOSFET ಮೆಡೆಲಿಂಗ್ ಮಧ್ಯೆ, ಜಂಕ್ಷನ capacitances ಪ್ರತೀಕ ದೊನ ಘಟಕ ಸ್ವತಂತ್ರಪಣೆ ಗಣನಾ ಕೆಠಿ ಜಾತೆ.

ವರಿಠ ಸಮೀಕರಣಾಂಮಧ್ಯೆ ಜಂಕ್ಷನ ಕೆಪೆಸಿಟೆನ್ಸಸಾಠಿ ಸೂತ್ರೆ ಠಠಾನ-ಸಿಗ್ನಲ್ ಆಫರೆಶನ ಗುಠಿತ ಧರತಾತ. ಯಾ ಸೂತ್ರಾಂನಾ, ತಥಾಪಿ, ಕೆಪೆಸಿಟೆನ್ಸಸಾಠಿ ಅಂದಾಜೆ ಸರಾಸರಿ ಮೂಲ್ಯೆ ಪ್ರಾಪ್ತ ಕರಣ್ಯಾಸಾಠಿ ಬದಲಿಠೆ ಜಾಠು ಶಕತೆ ಜೆವ್ಹಾ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಠೆಜಿಕ ಸರ್ಕ್ಯುಟಸಾರಖ್ಯಾ ಮುಠ್ಯಾ-ಸಿಗ್ನಲ್ ಪರಿಸ್ಥಿತಿತ ಕಾರ್ಯರತ ಅಸತೆ.

2.23 The High – Frequency MOSFET Model:

Figure 2.6(a) shows the small-signal model of the MOSFET, including the four capacitances C_{gs} , C_{gd} , C_{sb} , and C_{db} . This model can be used to predict the high-frequency response of MOSFET amplifiers. When the source is connected to the body, the model simplifies considerably, as shown in Fig. 2.6(b). In this model, C_{gd} , although small, plays a significant role in determining the high-frequency response of amplifiers and thus must be kept in the model. Capacitance C_{db} , on the other hand, can usually be neglected, resulting in significant simplification of manual analysis. The resulting circuit is shown in Fig. 2.6(c).

ಚಿತ್ರ 2.6 (ಅ) ನಾಲ್ಕು ಕೆಪಾಸಿಟೆನ್ಸ್ C_{gs} , C_{gd} , C_{sb} , ಮತ್ತು C_{db} ಸೇರಿದಂತೆ Mosfet ನ ಸಣ್ಣ-ಸಂಕೇತ ಮಾದರಿಯನ್ನು ತೋರಿಸುತ್ತದೆ. ಀ ಮಾದರಿಯನ್ನು MOSFET ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಹೆಚ್ಚಿನ ಅವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಊಹಿಸಲು ಬಳಸಬಹುದು. ಮೂಲವನ್ನು ದೇಹಕ್ಕೆ ಸಂಪರ್ಕಿಸಿದಾಗ, ಮಾದರಿಯು ಗಣನೀಯವಾಗಿ ಸರಳಗೊಳಿಸುತ್ತದೆ, ಚಿತ್ರಣದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 2.6 (ಬಿ). ಀ ಮಾದರಿಯಲ್ಲಿ, C_{gd} , ಚಿಕ್ಕದಾಗಿದ್ದರೂ, ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಹೆಚ್ಚಿನ-ಅವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ನಿರ್ಧರಿಸುವಲ್ಲಿ ಗಮನಾರ್ಹ ಪಾತ್ರವನ್ನು ವಹಿಸುತ್ತದೆ ಮತ್ತು ಹೀಗಾಗಿ ಮಾದರಿಯಲ್ಲಿ ಇಡಬೇಕು. ಮತ್ತೊಂದೆಡೆ, ಸಾಮರ್ಥ್ಯ C_{db} ಅನ್ನು ಸಾಮಾನ್ಯವಾಗಿ ನಿರ್ಲಕ್ಷಿಸಬಹುದು, ಇದರ ಪರಿಣಾಮವಾಗಿ ಕೈಪಿಡಿ ವಿಶ್ಲೇಷಣೆಯ ಗಮನಾರ್ಹ ಸರಳೀಕರಣ. ಪರಿಣಾಮವಾಗಿ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 2.6 (ಸಿ).

ಆಕೃತಿ 2.6 (ಅ) ಚಾರ capacitances ಸಿಜಿಁಸ, ಸಿಜಿಁಡಿ, C_{sb} , ಆಠಿ C_{db} ಸಮಾವೆಶ MOSFET ಠಠಾನ-ಸಿಗ್ನಲ್ ಮೆಡೆಲಿ ದಾಖವತೆ. ಠೆ ಮೆಡೆಲಿ MOSFET ಸಂವರ್ಧಕ ಉಚ್ಚ ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ ಅಂದಾಜ ವಾಪರಲೆ ಜಾಠು

शकते. जेव्हा स्रोत शरीराशी जोडलेला असतो, तेव्हा मॉडेल फिगमध्ये दर्शविल्याप्रमाणे, बरेच सोपे करते. 2.6 (ब). या मॉडेलमध्ये, सीजीडी, जरी नसत असो तरी, संवर्धकांच्या उच्च-फ्रिक्वेन्सी प्रतिसाद निर्धारित करण्यात महत्त्वपूर्ण भूमिका बजावते आणि अशा प्रकारे मॉडेलमध्ये ठेवणे आवश्यक आहे. कॅपेसिटन्स सीडीबी, दुसरीकडे, संपूर्ण दुर्लक्षित केले जाऊ शकते, परिणामी मॅन्युअल विश्लेषणाचे दृश्य सुलभीकरण होते. परिणामी सर्किट फिग मध्ये दर्शविले आहे. 2.6 (सी).

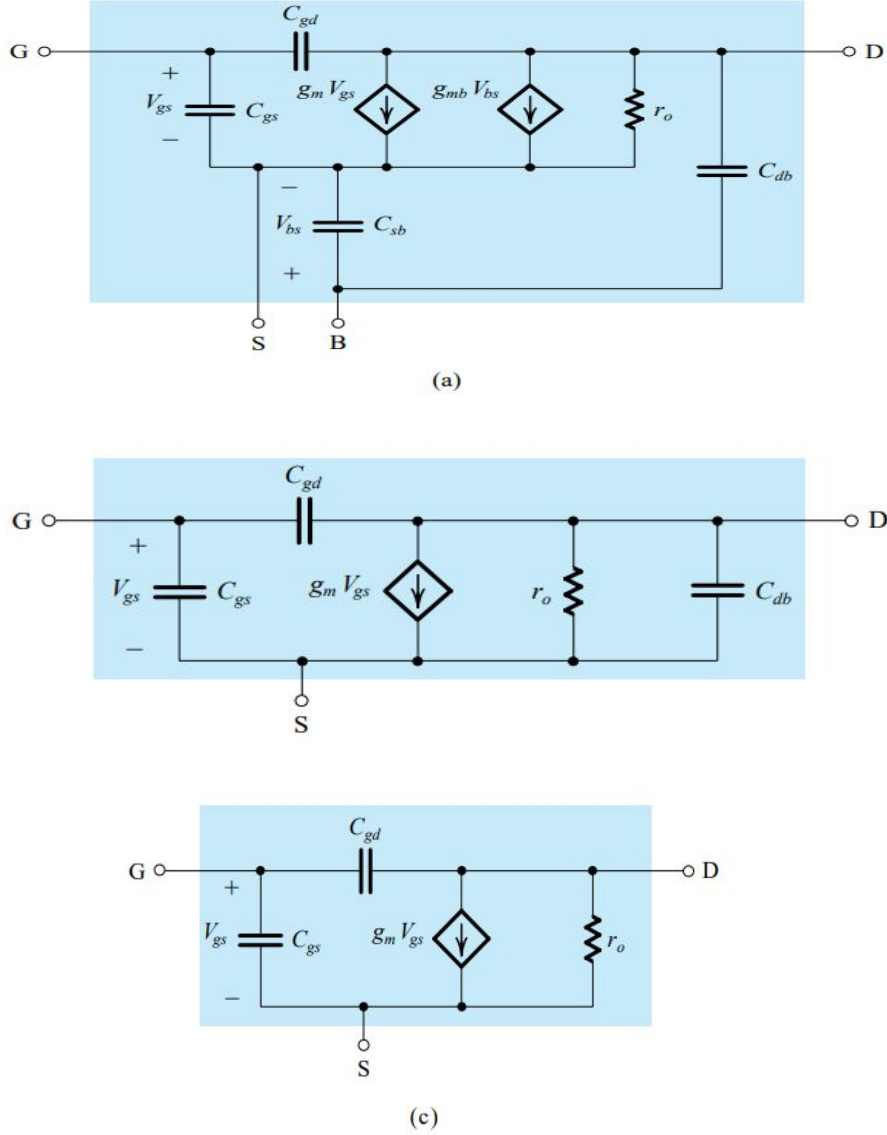


Figure 2.6 (a) High-frequency, equivalent-circuit model for the MOSFET. (b) The equivalent circuit for the case in which the source is connected to the substrate (body). (c) The equivalent-circuit model of (b) with C_{db} neglected (to simplify analysis).

The MOSFET Unity-Gain Frequency (f_T):

A figure of merit for the high-frequency operation of the MOSFET as an amplifier is the unity-gain frequency, f_T , also known as the transition frequency, which gives rise to the subscript T. This is defined as the frequency at which the short-circuit current-gain of the common-source configuration becomes unity. Figure 2.7 shows the MOSFET hybrid- π model with the source as the common terminal between the input and output ports. To determine the short-circuit current gain, the input is fed with a current-source signal I_i and the output terminals are short-circuited. It can be seen that the current in the short circuit is given by

ಒಂದು ಆಂಪ್ಲಿಫೈಯರ್ ಆಗಿ Mosfet ನ ಹೆಚ್ಚಿನ-ಆವೃತ್ತಿಯ ಕಾರ್ಯಾಚರಣೆಗೆ ಅರ್ಹತೆಯ ಒಂದು ಅಂಕಿ ಅಂಶವೆಂದರೆ ಯುನಿಟಿ-ಗೆನ್ ಫ್ರೀಕ್ವೆನ್ಸಿ, ಎಫ್ಟಿ ಎಂದೂ ಕರೆಯಲ್ಪಡುವ ಪರಿವರ್ತನೆ ಆವರ್ತನ, ಇದು ಸಬ್ಸಿಕ್ಯುಪ್ಸ್ ಟಿಗೆ ಹುಟ್ಟುಹಾಕುತ್ತದೆ. ಇದನ್ನು ಸಾಮಾನ್ಯ-ಮೂಲದ ಸಂರಚನೆಯ ಶಾರ್ಟ್-ಸರ್ಕ್ಯೂಟ್ ಕರೆಂಟ್-ಗೆನ್ ಏಕತೆಯಾಗುವ ಆವರ್ತನ ಎಂದು ವ್ಯಾಖ್ಯಾನಿಸಲಾಗಿದೆ. ಚಿತ್ರ 2.7 ಇನ್ಪುಟ್ ಮತ್ತು ಔಟ್ಪುಟ್ ಪೋರ್ಟ್‌ಗಳ ನಡುವಿನ ಸಾಮಾನ್ಯ ಟರ್ಮಿನಲ್ ಆಗಿ ಮೂಲದೊಂದಿಗೆ MOSfet ಹೈಬ್ರಿಡ್-ಪಿ ಮಾದರಿಯನ್ನು ತೋರಿಸುತ್ತದೆ. ಶಾರ್ಟ್-ಸರ್ಕ್ಯೂಟ್ ಕರೆಂಟ್ ಲಾಭವನ್ನು ನಿರ್ಧರಿಸಲು, ಇನ್ಪುಟ್ ಅನ್ನು ಕರೆಂಟ್-ಸೋರ್ಸ್ ಸಿಗ್ನಲ್ i_i ಯೊಂದಿಗೆ ನೀಡಲಾಗುತ್ತದೆ ಮತ್ತು ಔಟ್ಪುಟ್ ಟರ್ಮಿನಲ್‌ಗಳು ಶಾರ್ಟ್-ಸರ್ಕ್ಯೂಟ್ ಆಗಿರುತ್ತವೆ. ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿನ ಪ್ರವಾಹವನ್ನು ಮೂಲಕ ನೀಡಲಾಗುತ್ತದೆ ಎಂದು ಕಾಣಬಹುದು

एम्प्लिफायर म्हणून MOSFET च्या उच्च-फ्रिक्वेन्सी ऑपरेशनसाठी गुणवत्तेची एक आकृती म्हणजे एकता-ढाभ वारंवारता, एफटी, ज्याचा संक्रमण वारंवारता म्हणूनही ओळखले जाते, जे सबस्क्रिप्ट टीचा जन्म देते. हे वारंवारता म्हणून परिभाषित केले आहे ज्यावर सामान्य-स्रोत कॉन्फिगरेशनचा शॉर्टसर्किट करंट-गॅन एकता बनतो. आकृती 2.7 इनपुट आणि आउटपुट पोर्ट दरम्यान सामान्य टर्मिनल स्रोत MOSFET संकरीत-पी मॉडेल दाखवते. शॉर्ट-सर्किट वर्तमान ढाभ निर्धारित करण्यासाठी, इनपुट वर्तमान-स्रोत सिग्नल i_i सध्या फेड आणि आउटपुट टर्मिनल्स शॉर्ट-सर्किट आहेत. तो शॉर्ट सर्किट मध्ये वर्तमान द्वारे दिले जाते की पाहिले जाऊ शकते

$$I_o = g_m V_{gs} - sC_{gd} V_{gs}$$

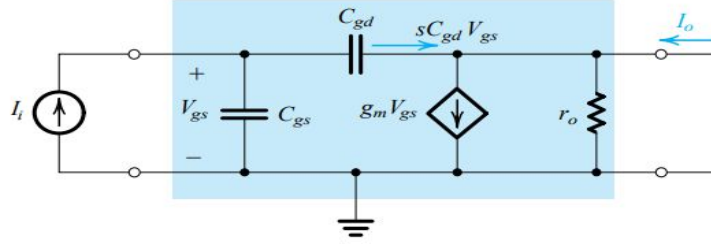


Fig 2.7: Determining the short circuit current gain I_o / I_i

Recalling that C_{gd} is small, at the frequencies of interest the second term in this equation can be neglected,

$$I_o \approx g_m V_{gs}$$

we can express V_{gs} in terms of the input current I_i as

$$V_{gs} = I_i / s(C_{gs} + C_{gd})$$

Therefore,

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})}$$

For physical frequencies $s = j\omega$, it can be seen that the magnitude of the current gain becomes unity at the frequency

$$\omega_T = g_m / (C_{gs} + C_{gd})$$

Thus the unity-gain frequency $f_T = \omega_T / 2\pi$ is

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

since f_T is proportional to g_m and inversely proportional to the MOSFET internal capacitances, the higher the value of f_T , the more effective the MOSFET becomes as an amplifier.

Typically, f_T ranges from about 100 MHz for the older technologies (e.g., a 5- μm CMOS process) to many GHz for newer high-speed technologies (e.g., a 0.13- μm CMOS process).

The Amplifier Frequency Response:

Thus far, we have assumed that the gain of MOS amplifiers is constant, independent of the frequency of the input signal. This would imply that MOS amplifiers have infinite bandwidth, which of course is not true. To illustrate, we show in Fig. 2.7 a sketch of the magnitude of the

gain of a common-source amplifier versus frequency. Observe that there is indeed a wide frequency range over which the gain remains almost constant. This obviously is the useful frequency range of operation for the particular amplifier. Thus far, we have been assuming that our amplifiers are operating in this frequency band, called the midband.

Figure 2.7 indicates that at lower frequencies, the magnitude of amplifier gain falls off. This is because the coupling and bypass capacitors no longer have low impedances. Recall that we assumed that their impedances were small enough to act as short circuits. Although this can be true at midband frequencies, as the frequency of the input signal is lowered, the reactance of each of these capacitors becomes significant, and it can be shown that this results in the overall voltage gain of the amplifier decreasing.

Figure 2.7 indicates also that the gain of the amplifier falls off at the high-frequency end. This is due to the internal capacitive effects in the MOSFET. It is important for the reader to realize that for every MOS amplifier there is a finite band over which the gain is almost constant. The boundaries of this useful frequency band or midband, are the two frequencies f_L and f_H , at which the gain drops by a certain number of decibels (usually 3 dB) below its value at midband. As indicated in Fig. 2.7, the amplifier bandwidth, or 3-dB bandwidth, is defined as the difference between the lower (f_L) and the upper or higher (f_H) 3-dB frequencies:

ಇಲ್ಲಿಯವರೆಗೆ, MOS ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಲಾಭವು ಇನ್ನುಟ್ ಸಿಗ್ನಲ್ ಆವರ್ತನದಿಂದ ಸ್ವತಂತ್ರವಾಗಿ, ಸ್ಥಿರವಾಗಿರುತ್ತದೆ ಎಂದು ನಾವು ಊಹಿಸಿದ್ದೇವೆ. ಇದು MOS ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು ಅನಂತ ಬ್ಯಾಂಡ್‌ವಿಡ್ತ್ ಅನ್ನು ಹೊಂದಿವೆ ಎಂದು ಸೂಚಿಸುತ್ತದೆ, ಇದು ಖಂಡಿತವಾಗಿಯೂ ನಿಜವಲ್ಲ. ಉದಾಹರಣೆಗಾಗಿ, ನಾವು ಚಿತ್ರಗಳಲ್ಲಿ ತೋರಿಸುತ್ತೇವೆ. 2.7 - ಸಾಮಾನ್ಯ-ಮೂಲ ಆಂಪ್ಲಿಫೈಯರ್ ವರ್ಸಸ್ ಫ್ರೀಕ್ವೆನ್ಸಿ ಲಾಭದ ಪ್ರಮಾಣದ ಸ್ಕೆಚ್. ಲಾಭವು ಬಹುಮಟ್ಟಿಗೆ ಸ್ಥಿರವಾಗಿ ಉಳಿದಿರುವ ವ್ಯಾಪಕ ಆವರ್ತನ ವ್ಯಾಪ್ತಿಯು ನಿಜವಾಗಿಯೂ ಇದೆ ಎಂಬುದನ್ನು ಗಮನಿಸಿ. ಇದು ಸ್ಪಷ್ಟವಾಗಿ ನಿರ್ದಿಷ್ಟ ಆಂಪ್ಲಿಫೈಯರ್ ಕಾರ್ಯಾಚರಣೆಯ ಉಪಯುಕ್ತ ಆವರ್ತನ ವ್ಯಾಪ್ತಿ. ಇಲ್ಲಿಯವರೆಗೆ, ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಎಂದು ಕರೆಯಲ್ಪಡುವ ಈ ಆವರ್ತನ ಬ್ಯಾಂಡ್‌ನಲ್ಲಿ ನಮ್ಮ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತಿವೆ ಎಂದು ನಾವು ಊಹಿಸಿದ್ದೇವೆ.

ಚಿತ್ರ 2.7 ಕಡಿಮೆ ಆವರ್ತನಗಳಲ್ಲಿ, ಆಂಪ್ಲಿಫೈಯರ್ ಲಾಭದ ಪ್ರಮಾಣವು ಬೀಳುತ್ತದೆ ಎಂದು ಸೂಚಿಸುತ್ತದೆ. ಕಾರಣ ಜೋಡಣೆ ಮತ್ತು ಬೈಪಾಸ್ ಕೆಪಾಸಿಟರ್ ಇನ್ನು ಮುಂದೆ ಕಡಿಮೆ ಪ್ರತಿರೋಧ ಹೊಂದಿದೆ. ಅವರ ಪ್ರತಿರೋಧಗಳು ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳಾಗಿ

ಕಾರ್ಯನಿರ್ವಹಿಸುವಷ್ಟು ಚಿಕ್ಕದಾಗಿದೆ ಎಂದು ನಾವು ಭಾವಿಸಿದ್ದೇವೆ ಎಂದು ನೆನಪಿಸಿಕೊಳ್ಳಿ. ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಆವರ್ತನಗಳಲ್ಲಿ ಇದು ನಿಜವಾಗಬಹುದಾದರೂ, ಇನ್ವೆರ್ಟ್ ಸಿಗ್ನಲ್ ಆವರ್ತನವು ಕಡಿಮೆಯಾದಂತೆ, ಈ ಪ್ರತಿಯೊಂದು ಕೆಪಾಸಿಟರ್‌ಗಳ ಪ್ರತಿಕ್ರಿಯಾತ್ಮಕತೆಯು ಗಮನಾರ್ಹವಾಗುತ್ತದೆ, ಮತ್ತು ಇದು ಆಂಪ್ಲಿಫೈಯರ್ ಒಟ್ಟಾರೆ ವೋಲ್ಟೇಜ್ ಲಾಭವನ್ನು ಕಡಿಮೆಗೊಳಿಸುತ್ತದೆ ಎಂದು ತೋರಿಸಬಹುದು.

ಚಿತ್ರ 2.7 ಆಂಪ್ಲಿಫೈಯರ್ ಲಾಭವು ಹೆಚ್ಚಿನ-ಆವರ್ತನದ ತುದಿಯಲ್ಲಿ ಬೀಳುತ್ತದೆ ಎಂದು ಸಹ ಸೂಚಿಸುತ್ತದೆ. ಇದಕ್ಕೆ ಕಾರಣ ಆಂತರಿಕ ಕೆಪಾಸಿಟಿವ್ ಪರಿಣಾಮಗಳು MOSfet. ಪ್ರತಿ MOS ಆಂಪ್ಲಿಫೈಯರ್‌ಗೆ ಸೀಮಿತವಾದ ಬ್ಯಾಂಡ್ ಇದೆ ಎಂದು ಓದುಗರಿಗೆ ಗ್ರಹಿಸಲು ಮುಖ್ಯವಾಗಿದೆ, ಅದರ ಮೇಲೆ ಲಾಭವು ಬಹುತೇಕ ಸ್ಥಿರವಾಗಿರುತ್ತದೆ. ಈ ಉಪಯುಕ್ತ ಆವರ್ತನ ಬ್ಯಾಂಡ್ ಅಥವಾ ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಗಡಿಗಳು, ಎರಡು ಆವರ್ತನಗಳು ಮತ್ತು , ಇದರಲ್ಲಿ ಲಾಭವು ನಿರ್ದಿಷ್ಟ ಸಂಖ್ಯೆಯ ಡೆಸಿಬಲ್‌ಗಳಿಂದ (ಸಾಮಾನ್ಯವಾಗಿ 3 ಡಿಬಿ) ಮಿಡ್‌ಬ್ಯಾಂಡ್‌ನಲ್ಲಿ ಅದರ ಮೌಲ್ಯಕ್ಕಿಂತ ಕೆಳಗಿರುತ್ತದೆ. ಚಿತ್ರ 2.7 ರಲ್ಲಿ ಸೂಚಿಸಿದಂತೆ, ಆಂಪ್ಲಿಫೈಯರ್ ಬ್ಯಾಂಡ್‌ವಿಡ್ತ್, ಅಥವಾ 3-ಡಿಬಿ ಬ್ಯಾಂಡ್‌ವಿಡ್ತ್ ಅನ್ನು ಕಡಿಮೆ (ಎಫ್‌ಎಲ್) ಮತ್ತು ಮೇಲಿನ ಅಥವಾ ಹೆಚ್ಚಿನ (ಎಫ್‌ಹೈ) 3-ಡಿಬಿ ಆವರ್ತನಗಳ ನಡುವಿನ ವ್ಯತ್ಯಾಸವೆಂದು ವ್ಯಾಖ್ಯಾನಿಸಲಾಗಿದೆ:

ಆತಾಪರ್ಯಂತ, ಆಮ್ಮಿ ಎಮೋಎಸ್ ವರ್ಧಕಾಂಶ ಫಾಯದಾ ಇನ್‌ಪುಟ್ ಸಿಗ್ನಲ್‌ನ ವಾರಂವಾರತೆಪಾಸುನ್ ಸ್ವತಂತ್ರ, ಸ್ಥಿರ ಆಫೆ ಅಸೆ ಗೃಹಿತ ಧರತೆ ಆಫೆ. ಡೆ ಎಮೋಎಸ್ ವರ್ಧಕ ಅನಂತ ಬೆಂಡ್‌ವಿಡ್ತ್ ಆಫೆ ಯಾಚಾ ಅರ್ಥ ಅಸಾ ಡೋರ್ಸ್, ಜೆ ಅರ್ಥಾತೀಚ್‌ ಖರೆ ನಾಫಿ. ಉದಾಹರಣೆ ಮ್ಹಣುನ್, ಆಮ್ಮಿ ಅಂಜೀರ ಮಧ್ಯೆ ದಾಖಲಾ. 2.7 ಏಕ ಸಾಮಾನ್ಯ-ಸ್ತೋತ ಪ್ರವರ್ಧಕ ವಿರುದ್ಧ ವಾರಂವಾರತಾ ಚ್ಯಾ ಲಾಭ ವಿಶಾಂತಾ ಏಕ ಸ್ಕೇಚ್. ಲಕ್ಷಾತ್ ಘಾ ಕಿ ಖರೊಖರ ವಿಸ್ತೃತ ವಾರಂವಾರತಾ ಶ್ರೇಣಿ ಆಫೆ ಜ್ಯಾವರ್ ಫಾಯದಾ ಜವಜವಜ ಸ್ಥಿರ ರಾಂತೆ. ಡೆ ಸ್ಪಷ್ಟಪಣೆ ವಿಶಿಷ್ಟ ವರ್ಧಕ ಸಾಠಿ ಆಪರೇಶನ್ ಉಪಯುಕ್ತ ವಾರಂವಾರತಾ ಶ್ರೇಣಿ ಆಫೆ. ಆತಾಪರ್ಯಂತ ಆಮ್ಮಿ ಅಸೆ ಗೃಹಿತ ಧರತೆ ಆಫೆ ಆಫೆತ ಕಿ ಮಿಡಬೆಂಡ್ ನಾಲ್‌ಚ್ಯಾ ಯಾ ಫ್ರಿಕ್ವೆನ್ಸಿ ಬೆಂಡ್‌ಮಧ್ಯೆ ಆಮ್‌ಚೆ ಆಮ್ಮಿಫಾಯರ್ ಕಾರ್ಯರತ ಆಫೆತ.

ಆಕೃತಿ 2.7 ಸೂಚಿತ ಕರತೆ ಕಿ ಕಮಿ ಫ್ರಿಕ್ವೆನ್ಸಿಮಧ್ಯೆ, ಆಮ್ಮಿಫಾಯರ್ ಗೆನ್‌ಚಿ ತೀವ್ರತಾ ಕಮಿ ಡೆತೆ. ಕಾರಣ ಕಪಾಸಿಟರ್ ಆಫಿ ಬಾಯಪಾಸ್ ಕೆಪೆಸಿಟರ್‌ಸಮಧ್ಯೆ ಯಾಪುಡೆ ಕಮಿ ಅಡ್‌ತಲೆ ನಾಫಿ. ಡೆ ಲಕ್ಷಾತ್ ಘಾ ಕಿ ಆಮ್ಮಿ ಅಸೆ ಗೃಹಿತ ಧರತೆ ಕಿ ತ್ಯಾಂಚೆ ಅಡ್‌ತಲೆ ಶಾರ್ಟ್ ಸರ್ಕ್ಯುಟ್ ಮ್ಹಣುನ್ ಕಾರ್ಯ ಕರಣ್ಯಾಸಾಠಿ ಪುರೇಸೆ ಲಾಭ ಆಫೆತ. ಡೆ ಮಿಡಬೆಂಡ್ ಫ್ರಿಕ್ವೆನ್ಸಿಮಧ್ಯೆ ಖರೆ ಅಸು ಶಕತೆ, ಕಾರಣ ಇನ್‌ಪುಟ್ ಸಿಗ್ನಲ್‌ಚಿ ವಾರಂವಾರತಾ ಕಮಿ ಡೆತೆ, ಯಾಪೆಕಿ ಪ್ರತ್ಯೇಕ ಕೆಪೆಸಿಟರ್‌ಚಿ ಪ್ರತಿಕ್ರಿಯಾ ಲಕ್ಷಣೀಯ ಡೆತೆ, ಆಫಿ ಡೆ ದರ್ಶವಿಡೆ ಜಾಠು ಶಕತೆ ಕಿ ಯಾಂಚೆ ವರ್ಧಕಾಂಶ ಏಕುಣ ಫೋಲ್ಡೆಜ ಲಾಭ ಕಮಿ ಡೆತೆ.

आकृती 2.7 देखी वर्यक ाभ उच्च वारंवारता शेवटी बंद पडते असे सूचित करते की. े MOSFET अंतर्गत capacitive प्रभाव झाल्यामुळे आे. प्रत्येक एमओएस एम्प्लीफायरसाठी एक परिमित बँड असतो ज्यावर फायदा जवळजवळ स्थिर असतो े वाचकांना ाक्षात घेणे मत्वाचे आे. या उपयुक्त फ्रिकेन्सी बँड किंवा मिडबँडच्या सीमा, दोन फ्रिकेन्सी आेते आणि, ज्यावर मिडबँडवर त्याच्या मूल्याच्या खाी ठराविक संख्येने डेसिब (सामान्यतः 3 डीबी) द्वारे ाभ ड्रॉप ोतो. अंजीर सूचित म्हणून. 2.7, प्रवर्धक बँडविड्थ, किंवा 3-dB बँडविड्थ, कमी (f_L) आणि वरच्या किंवा उच्च (f_H) 3-dB वारंवारता फरक म्हणून परिभाषित केे आे:

$$BW = f_H - f_L$$

And since usually $f_L \ll f_H$

$$BW \approx f_H$$

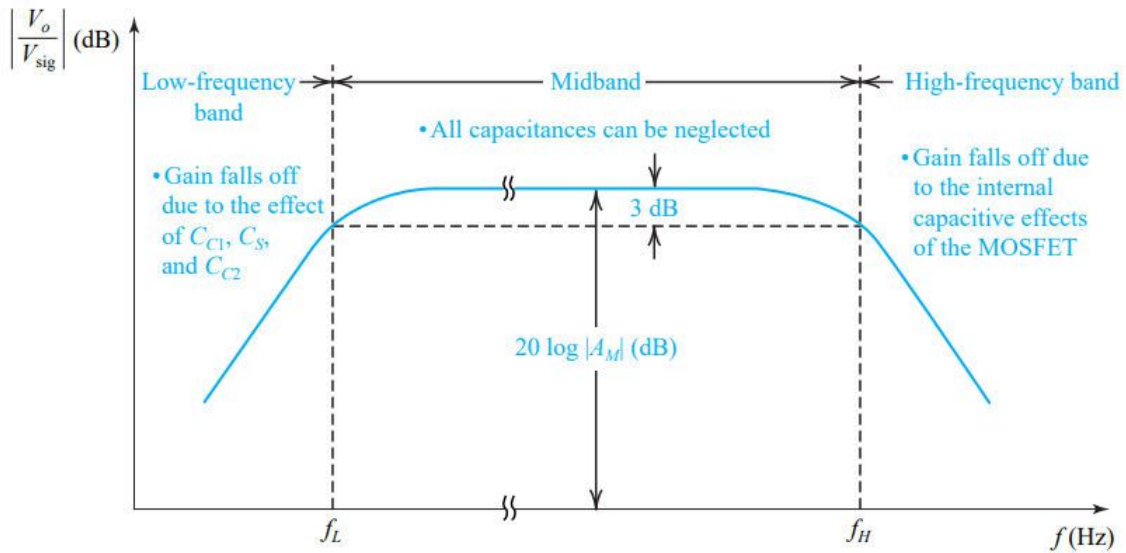


Fig:2.7. A sketch of the frequency response of a CS amplifier delineating the three frequency bands of interest

A figure of merit for the amplifier is its gain–bandwidth product, defined as

$$GB = |A_M| BW$$

where $|A_M|$ is the magnitude of the amplifier gain in the midband.

2.32 Low Frequency Response Of CS Amplifier:

The CS Amplifier:

Figure 2.8(a) shows a discrete-circuit, common-source amplifier utilizing coupling capacitors C_{C1}

and C_{C2} and bypass capacitor C_S . We wish to determine the effect of these capacitances on the gain V_O / V_{Sig} of the amplifier. As mentioned before, at midband frequencies, these capacitances have negligibly small impedances and can be assumed to be perfect short circuits for the purpose of calculating the midband gain. At low frequencies, however, the reactance $1/j\omega C$ of each of the three capacitances increases and the amplifier gain decreases, as we shall now show.

ಚಿತ್ರ 2.8 (ಎ) ಒಂದು ಡಿಸ್ಕ್ರಿಟ್-ಸರ್ಕ್ಯೂಟ್, ಸಾಮಾನ್ಯ-ಮೂಲ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ಜೋಡಣೆ ಕೆಪಾಸಿಟರ್‌ಗಳನ್ನು $CC1$ ಅನ್ನು ಬಳಸುವುದನ್ನು ತೋರಿಸುತ್ತದೆ ಮತ್ತು $CC2$ ಮತ್ತು ಬೈಪಾಸ್ ಕೆಪಾಸಿಟರ್ ಸಿಎಸ್. ಆಂಪ್ಲಿಫಯರ್ ಲಾಭದ V_O / V_{Sig} ವಿವರಿಸುತ್ತದೆ. ಈ ಕೆಪಾಸಿಟರ್‌ಗಳ ಪರಿಣಾಮವನ್ನು ನಿರ್ಧರಿಸಲು ನಾವು ಬಯಸುತ್ತೇವೆ. ಮೊದಲೇ ಹೇಳಿದಂತೆ, ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಆವರ್ತಗಳಲ್ಲಿ, ಈ ಸಾಮರ್ಥ್ಯಗಳು ನಗಣ್ಯವಾಗಿ ಸಣ್ಣ ಪ್ರತಿರೋಧಗಳನ್ನು ಹೊಂದಿರುತ್ತವೆ ಮತ್ತು ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಲಾಭವನ್ನು ಲೆಕ್ಕಾಚಾರ ಮಾಡುವ ಉದ್ದೇಶಕ್ಕಾಗಿ ಪರಿಪೂರ್ಣ ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳೆಂದು ಊಹಿಸಬಹುದು. ಕಡಿಮೆ ಆವರ್ತಗಳಲ್ಲಿ, ಆದಾಗ್ಯೂ, ಪ್ರತಿ ಮೂರು ಕೆಪಾಸಿಟರ್‌ಗಳ ಪ್ರತಿಕ್ರಿಯಾಶೀಲತೆ $1 / j\omega C$ ಜೋಷಿ ಹೆಚ್ಚಾಗುತ್ತದೆ ಮತ್ತು ಆಂಪ್ಲಿಫಯರ್ ಲಾಭವು ಕಡಿಮೆಯಾಗುತ್ತದೆ, ನಾವು ಈಗ ತೋರಿಸುವಂತೆ.

ಆಕೃತಿ 2.8 (ಎ) ಏಕ ಪೃಥಕ್-ಸರ್ಕ್ಯೂಟ್, ಸಾಮಾನ್ಯ-ಸ್ತೋತ ಪ್ರವರ್ಧಕ ಕಪ್ಲಿಂಗ್ ಕೆಪೆಸಿಟರ್ $CC1$ ವಾಪರತ ಅಸಲ್ಯಾಫೆ ದರ್ಶವಿತೆ

ಆಗಿ $CC2$ ಆಗಿ ಬಾಯಪಾಸ್ ಕಪೆಸಿಟರ್ ಸಿಎಸ್. ಆಮ್ಹಿ ಯಾ capacitances ಪರಿಣಾಮ ನಿರ್ಧಾರಿತ ಕರ್ಣ್ಯಾಚಿ ಇಚ್ಛಾ ಆಫೆ ವರ್ಧಕ ಚ್ಯಾ V_O / V_{Sig} . ಆಧಿ ನಮ್ದ ಕಲ್ಯಾಪ್ರಮಾಣೆ, ಮಿಡಬೆಂಡ್ ಫ್ರಿಕ್ವೆನ್ಸಿಯೆ, ಯಾ ಕೆಪೆಸಿಟರ್‌ಸಮಥೆ ನಗಣ್ಯಪಣೆ $\square\square$ an impedances ಆಫೆತ ಆಗಿ ಮಿಡಬೆಂಡ್ $\square$ ಭಾಚಿ ಗಣನಾ ಕರ್ಣ್ಯಾಚ್ಯಾ ಉದ್ದೇಶಾನೆ ಪರಿಪೂರ್ಣ ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್ ಮಾನಫೆ ಜಾಠು ಶಕತೆ. ಕಮಿ ವಾರಂವಾರತಾ ಯೆಥೆ, ತಥಾಪಿ, ತೀನ capacitances ಪ್ರತ್ಯೇಕ ಪ್ರತಿಕ್ರಿಯಾ $1 / j\omega C$ ವಾಢತೆ ಆಗಿ ವರ್ಧಕ $\square$ ಭ ಕಮಿ, ಆಮ್ಹಿ ಆತಾ ದರ್ಶವಿಠ್ ಮ್ಹಣುನ್.

Determining V_o / V_{sig} :

To determine the low-frequency gain or transfer function of the common-source amplifier, we show in Fig. 2.8(b) the circuit with the dc sources eliminated (current source I open-circuited and voltage source V_{DD} short-circuited). We shall perform the small-signal analysis directly on this circuit. However, we will ignore r_o . This is done in order to keep the analysis simple and thus focus attention on significant issues. The effect of r_o on the low-frequency operation of this amplifier is minor.

To determine the gain V_o/V_{sig} , we start at the signal source and work our way through the circuit, determining V_g , I_d , I_o , and V_o , in this order. To find the fraction of V_{sig} that appears at the transistor gate, V_g , we use the voltage divider rule at the input to write

$$V_g = V_{sig} \frac{R_G}{R_G + \frac{1}{sC_{C1}} + R_{sig}}$$

Which can be written in alternate form,

$$V_g = V_{sig} \frac{R_G}{R_G + R_{sig}} \frac{s}{s + \frac{1}{C_{C1}(R_G + R_{sig})}}$$

we see that the expression for the signal transmission from signal generator to amplifier input has acquired a frequency-dependent factor. From our study of frequency response we recognize this factor as the transfer function of an STC circuit of the high-pass type with a break or corner frequency $\omega_0 = 1 / C_{C1} (R_G + R_{sig})$. Thus the effect of the coupling capacitor C_{C1} is to introduce a high-pass STC response with a break frequency that we shall denote ω_{p1} .

$$\omega_{p1} = \omega_0 = \frac{1}{C_{C1}(R_G + R_{sig})}$$

Continuing with the analysis, we next determine the drain current I_d by dividing V_g by the total impedance in the source circuit, which is $[(1 / g_m) + (1 / sC_s)]$ to obtain

$$I_d = \frac{V_g}{\frac{1}{g_m} + \frac{1}{sC_s}}$$

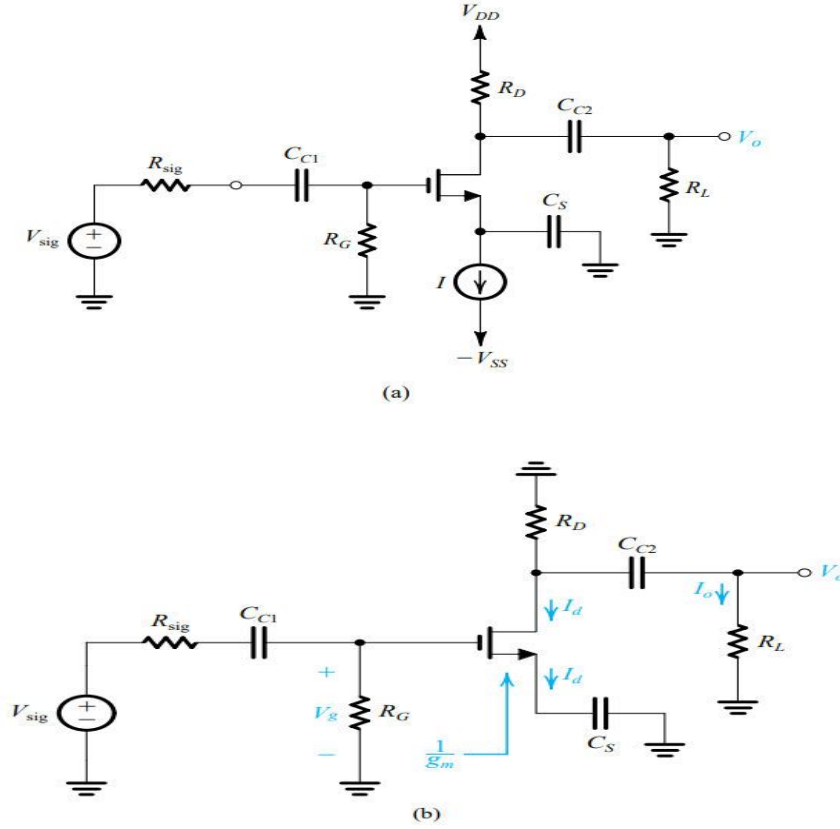


Fig 2.8: (a) Capacitively coupled common-source amplifier. (b) Analysis of the CS amplifier to determine its low-frequency transfer function. For simplicity, r_o is neglected.

Which can be rewritten in alternate form as,

$$I_d = g_m V_g \frac{s}{s + \frac{g_m}{C_S}}$$

We observe that CS introduces a frequency-dependent factor, which is also of the STC high pass type. Thus the amplifier acquires another break frequency,

$$\omega_{p2} = \frac{g_m}{C_S}$$

To complete the analysis, we find V_o by first using the current divider rule to determine the fraction of I_d that flows through R_L ,

$$I_o = -I_d \frac{R_D}{R_D + \frac{1}{sC_{C2}} + R_L}$$

and then multiplying I_o by R_L to obtain

MODULE – 2

$$V_o = I_o R_L = -I_d \frac{R_D R_L}{R_D + R_L} \frac{s}{s + \frac{1}{C_{C2}(R_D + R_L)}}$$

from which we see that C_{C2} introduces a third STC high-pass factor, giving the amplifier a third break frequency at

$$\omega_{P3} = \frac{1}{C_{C2}(R_D + R_L)}$$

The overall low-frequency transfer function of the amplifier can be found by combining above equations and replacing break frequencies by their symbols,

$$\frac{V_o}{V_{sig}} = -\left(\frac{R_G}{R_G + R_{sig}}\right)[g_m(R_D \parallel R_L)]\left(\frac{s}{s + \omega_{P1}}\right)\left(\frac{s}{s + \omega_{P2}}\right)\left(\frac{s}{s + \omega_{P3}}\right)$$

Which can be expressed in the form

$$\frac{V_o}{V_{sig}} = A_M \left(\frac{s}{s + \omega_{P1}}\right)\left(\frac{s}{s + \omega_{P2}}\right)\left(\frac{s}{s + \omega_{P3}}\right)$$

Where A_M , mid band gain is given by,

$$A_M = -\frac{R_G}{R_G + R_{sig}}[g_m(R_D \parallel R_L)]$$

Determining the Lower 3-dB Frequency, f_L :

The magnitude of the amplifier gain $[V_O / V_{sig}]$, at frequency can be obtained by substituting $s = j\omega$ in the equation and evaluating the magnitude of the transfer function. In this way, the frequency response of the amplifier can be plotted versus frequency, and the lower 3-dB frequency f_L can be determined as the frequency at which $[V_O / V_{sig}]$ drops to $|A_M| / \sqrt{2}$. Observe that since the break frequencies are sufficiently separated, their effects appear distinct. At each break frequency, the slope of the asymptote to the gain function increases by 20 dB/decade.

ಆವರ್ತನದಲ್ಲಿ, ಆಂಪ್ಲಿಫೈಯರ್ ಗಳಿಕೆಯ ಪ್ರಮಾಣವು, ಸಮೀಕರಣದಲ್ಲಿ s ಜೆ ಅನ್ನು ಬದಲಿಸುವ ಮೂಲಕ ಮತ್ತು ವರ್ಗಾವಣೆ ಕಾರ್ಯದ ಪರಿಮಾಣವನ್ನು ಮೌಲ್ಯಮಾಪನ ಮಾಡುವ ಮೂಲಕ ಪಡೆಯಬಹುದು. ಈ ರೀತಿಯಾಗಿ, ಆಂಪ್ಲಿಫೈಯರ್ ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಆವರ್ತನಕ್ಕೆ ವಿರುದ್ಧವಾಗಿ ಯೋಜಿಸಬಹುದು, ಮತ್ತು ಕಡಿಮೆ 3-ಡಿಬಿ ಆವರ್ತನ ಎಫ್‌ಎಲ್ ಅನ್ನು $[|A_M| / \sqrt{2}]$ ಇಳಿಯುವ ಆವರ್ತನವಾಗಿ ನಿರ್ಧರಿಸಬಹುದು $|A_M| / \sqrt{2}$. ಬೇಕು ಆವರ್ತನಗಳು ಸಾಕಷ್ಟು ಬೇರ್ಪಟ್ಟಿರುವುದರಿಂದ, ಅವುಗಳ

ಪರಿಣಾಮಗಳು ಪ್ರತ್ಯೇಕವಾಗಿ ಕಾಣುತ್ತವೆ ಎಂಬುದನ್ನು ಗಮನಿಸಿ. ಪ್ರತಿ ವಿರಾಮ ಅವರ್ತನದಲ್ಲಿ, ಲಾಭ ಕಾರ್ಯಕ್ಕೆ ಅಸಮಪಾರ್ಶ್ವದ ಇಳಿಜಾರು 20 ಡಿಬಿ / ದಶಕದಿಂದ ಹೆಚ್ಚಾಗುತ್ತದೆ.

ವರ್ಧಕ dB $[V_O / V_{\text{sig}}]$ चे परिमाण, वारंवारता समीकरण मध्ये $s = j$ चे प्रतिस्थापन करून आणि dB स्तंतरण कार्याच्या परिमाणाचे मूल्यांकन करून प्राप्त केले जाऊ शकते. अशा प्रकारे, dB म्प्लीफायरच्या वारंवारता प्रतिसादास वारंवारता विरुद्ध प्लॉट केले जाऊ शकते, आणि कमी 3-dB वारंवारता f_L ज्या वारंवारतावर $[V_O / V_{\text{sig}}]$ ड्रॉप करते ते निर्धारित केले जाऊ शकते $|A_M| / 2$. हे dB क्षात घ्या की ब्रेक फ्रिक्वेन्सी पुरेसे वेगळे आहेत, त्यांचे परिणाम वेगळे दिसतात. प्रत्येक ब्रेक वारंवारता येथे, dB कार्य करण्यासाठी asymptote च्या उतार 20 डीबी / दशकात वाढते.

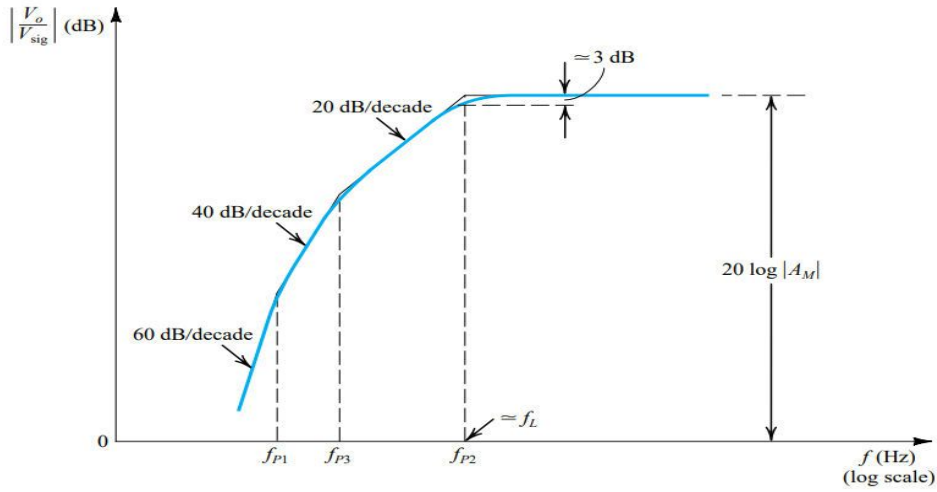


Figure 2.9: Sketch of the low-frequency magnitude response of a CS amplifier for which the three pole frequencies are sufficiently separated for their effects to appear distinct.

2.33 High – Frequency Response Of CS Amplifier:

Figure 2.9(a) shows the high-frequency, equivalent-circuit model of a CS amplifier. Observe that the circuit in Fig. 2.9(a) is general; for instance, it includes a resistance R_G , which arises only in the case of a discrete-circuit amplifier. Also, R_D can be either a passive resistance or the output resistance of a current-source load, and similarly for R_L . The equivalent circuit of Fig. 9.13(a) can be simplified by utilizing Thévenin theorem at the input side and by combining the three parallel resistances at the output side. The resulting simplified circuit is shown in Fig. 2.9(b). The midband gain A_M can be found from this circuit by setting C_{gs} and C_{gd} to zero. The result is

$$A_M = \frac{V_o}{V_{sig}} = -\frac{R_G}{R_G + R_{sig}}(g_m R'_L)$$

The equivalent circuit in Fig. 2.9(b) can be further simplified if we can find a way to deal with the bridging capacitor C_{gd} that connects the output node to the input side. Toward that end, consider first the output node. It can be seen that the load current is $(g_m V_{gs} - I_{gd})$, where $(g_m V_{gs})$ is the output current of the transistor and I_{gd} is the current supplied through the very small capacitance C_{gd} . At frequencies in the vicinity of f_H , which defines the edge of the midband, it is reasonable to assume that I_{gd} is still much smaller than $(g_m V_{gs})$, with the result that V_O can be given approximately by

$$V_o \approx -(g_m V_{gs}) R'_L = -g_m R'_L V_{gs}$$

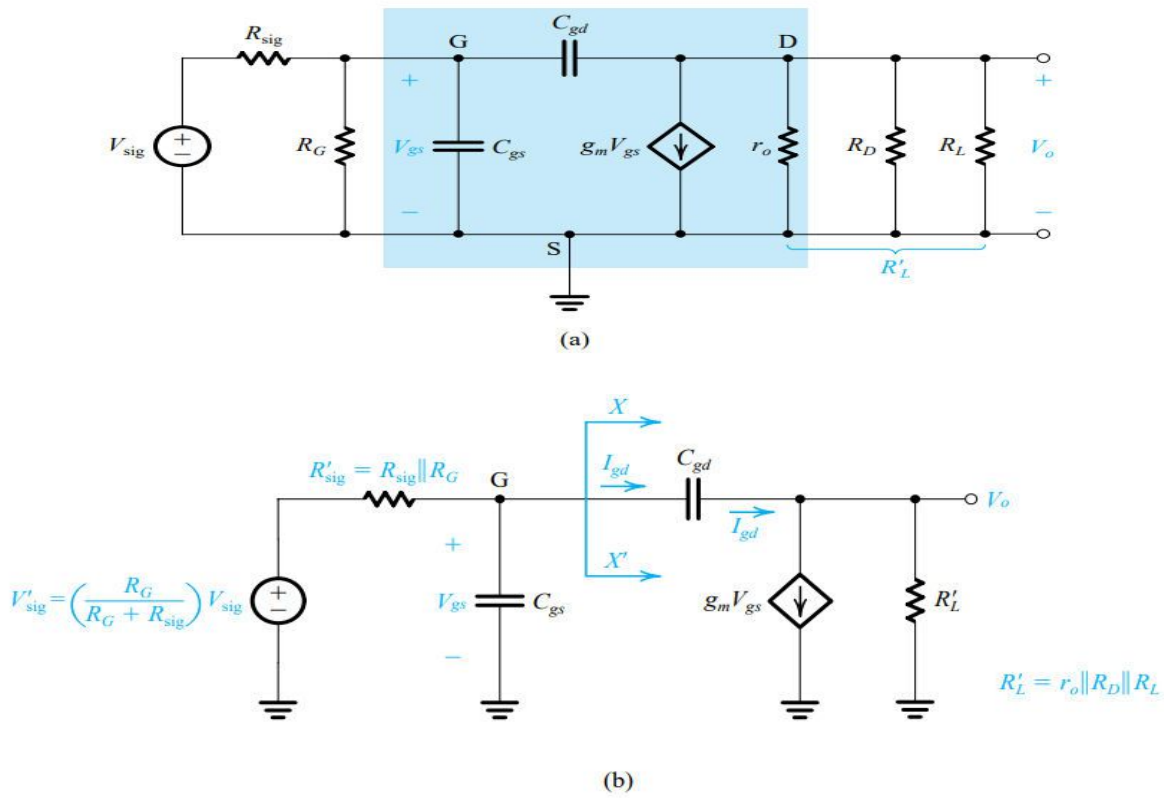


Figure 2.9: Determining the high-frequency response of the CS amplifier: (a) equivalent circuit; (b) the circuit of (a) simplified at the input and the output;

Where

$$R'_L = r_o \parallel R_D \parallel R_L$$

Since $V_o = V_{ds}$, V_O equation indicates that the gain from gate to drain is $-g_m R'_L$, the same value as in the midband. The current I_{gd} can now be found as

MODULE – 2

$$\begin{aligned}
 I_{gd} &= sC_{gd}(V_{gs} - V_o) \\
 &= sC_{gd}[V_{gs} - (-g_m R'_L V_{gs})] \\
 &= sC_{gd}(1 + g_m R'_L) V_{gs}
 \end{aligned}$$

Now, the left-hand side of the circuit in Fig. 2.9(b), at XX', knows of the existence of C_{gd} only through the current I_{gd} . Therefore, we can replace C_{gd} by an equivalent capacitance C_{eq} between the gate and ground as long as C_{eq} draws a current equal to I_{gd} . That is,

$$sC_{eq}V_{gs} = sC_{gd}(1 + g_m R'_L) V_{gs}$$

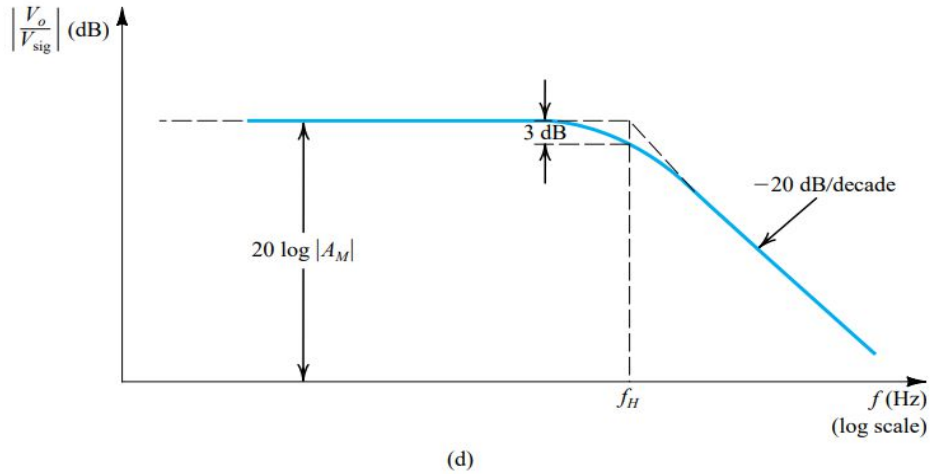
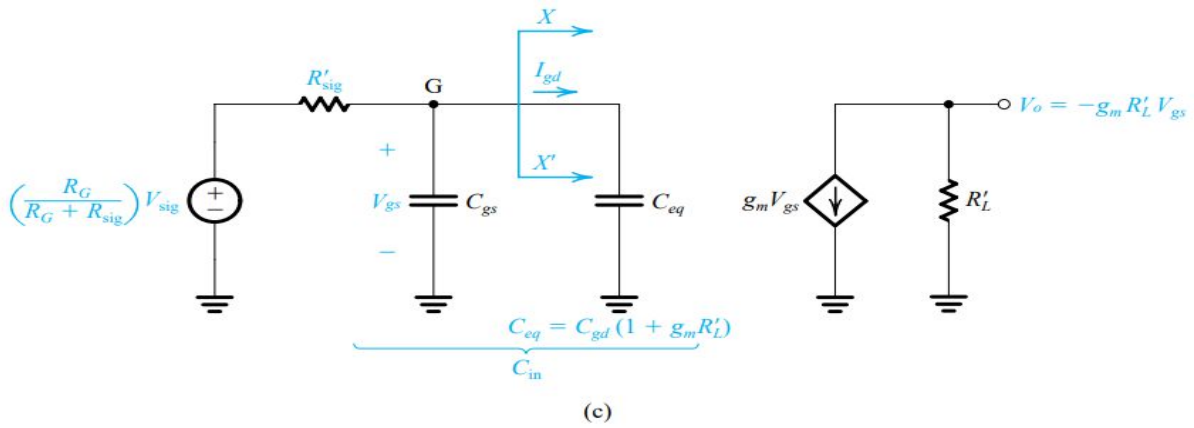


Figure 2.9 (Continued) (c) the equivalent circuit with C_{gd} replaced at the input side with the equivalent capacitance C_{eq} ; (d) the frequency response plot, which is that of a low-pass, single-time-constant circuit.

Which results in

$$C_{eq} = C_{gd}(1 + g_m R'_L)$$

MODULE – 2

Thus C_{gd} gives rise to a much larger capacitance C_{eq} , which appears at the amplifier input. The multiplication effect that C_{gd} undergoes comes about because it is connected between circuit nodes g and d , whose voltages are related by a large negative gain ($-g_m R_L'$). This effect is known as the Miller effect, and $(1 + g_m R_L')$ is known as the Miller multiplier.

Using C_{eq} enables us to simplify the equivalent circuit at the input side to that shown in Fig. 2.9(c). We recognize the circuit of Fig. 2.9(c) as a single-time-constant (STC) circuit of the low-pass type. The output voltage V_{gs} of the STC circuit is given by,

$$V_{gs} = \left(\frac{R_G}{R_G + R_{sig}} V_{sig} \right) \frac{1}{1 + \frac{s}{\omega_0}}$$

where ω_0 is the corner frequency, the break frequency, or the pole frequency of the STC circuit

$$\omega_0 = 1 / C_{in} R'_{sig}$$

With

$$C_{in} = C_{gs} + C_{eq} = C_{gs} + C_{gd}(1 + g_m R_L')$$

And

$$R'_{sig} = R_{sig} \parallel R_G$$

Combining Equations above results in the following expression for the high-frequency gain of the CS amplifier,

$$\frac{V_o}{V_{sig}} = - \left(\frac{R_G}{R_G + R_{sig}} \right) (g_m R_L') \frac{1}{1 + \frac{s}{\omega_0}}$$

Which can be expressed in the form,

$$\frac{V_o}{V_{sig}} = \frac{A_M}{1 + \frac{s}{\omega_H}}$$

where A_M is the midband gain and ω_H is the upper 3-dB frequency,

$$\omega_H = \omega_0 = \frac{1}{C_{in} R'_{sig}}$$

And

$$f_H = \frac{\omega_H}{2\pi} = \frac{1}{2\pi C_{in} R'_{sig}}$$

We thus see that the high-frequency response will be that of a low-pass STC network with a 3-dB frequency f_H determined by the time constant. Figure 2.9(d) shows a sketch of the magnitude of the high-frequency gain.

Observations:

1. The upper 3-dB frequency is determined by the interaction of $R'_{sig} = R_{sig} \parallel R_G$ and $C_{in} = C_{gs} + C_{gd}(1 + g_m R_L')$. Since the bias resistance R_G is usually very large, it can be neglected, resulting in $R'_{sig} = R_{sig}$, the resistance of the signal source. It follows that a large value of R_{sig} will cause f_H to be lowered.
2. The total input capacitance C_{in} is usually dominated by C_{eq} , which in turn is made large by the multiplication effect that C_{gd} undergoes. Thus, although C_{gd} is usually a very small capacitance, its effect on the amplifier frequency response can be very significant as a result of its multiplication by the factor $(1 + g_m R_L')$, which is approximately equal to the midband gain of the amplifier. This is the Miller effect, which causes the CS amplifier to have a large total input capacitance C_{in} and hence a low f_H .
3. To extend the high-frequency response of a MOSFET amplifier, we have to find configurations in which the Miller effect is absent or at least reduced.
4. The above analysis, resulting in an STC or a single-pole response, is approximate. Specifically, it is based on neglecting I_{gd} relative to $g_m V_{gs}$, an assumption that applies well at frequencies not too much higher than f_H .

1. ಮೇಲಿನ 3-dB ಆವರ್ತನವನ್ನು R_{sig} ನ ಪರಸ್ಪರ ಕ್ರಿಯೆಯಿಂದ ನಿರ್ಧರಿಸಲಾಗುತ್ತದೆ ಆರ್ಕಿನ್ || R_G . ಮತ್ತು ಸಿನ್ ಮತ್ತು $C_{gs} + C_{gd}(1 + g_m R_L')$. ಪಕ್ಷಪಾತ ಪ್ರತಿರೋಧ ಆರ್ಜಿ ಸಾಮಾನ್ಯವಾಗಿ ತುಂಬಾ ದೊಡ್ಡದಾಗಿರುವುದರಿಂದ, ಇದು ನಿರ್ಲಕ್ಷಿಸಲ್ಪಡಬಹುದು, ಇದರ ಪರಿಣಾಮವಾಗಿ R_{sig}' , ಸಿಗ್ನಲ್ ಮೂಲದ ಪ್ರತಿರೋಧ. ಇದು R_{sig} ಒಂದು ದೊಡ್ಡ ಮೌಲ್ಯವನ್ನು af ಕಡಿಮೆ ಕಾರಣವಾಗುತ್ತದೆ ಅನುಸರಿಸುತ್ತದೆ.

2. ಒಟ್ಟು ಇನ್ಪುಟ್ ಕೆಪಾಸಿಟನ್ಸ್ ಸಿನ್ನ್ಯು ಸಾಮಾನ್ಯವಾಗಿ ಸಿಕ್ಯು ಆಕ್ರಮಿಸುತ್ತದೆ, ಇದು ಪ್ರತಿಯಾಗಿ ಸಿಜಿಡಿಯು ಒಳಗಾಗುವ ಗುಣಾಕಾರ ಪರಿಣಾಮದಿಂದ ದೊಡ್ಡದಾಗಿದೆ. ಹೀಗೆ, C_{gd} ಸಾಮಾನ್ಯವಾಗಿ ಬಹಳ ಸಣ್ಣ ಕೆಪಾಸಿಟರ್ ಆದರೂ, ಆಂಪ್ಲಿಫೈಯರ್ ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯ ಮೇಲೆ ಅದರ ಪರಿಣಾಮವು ಅಂಶದಿಂದ ಅದರ ಗುಣಾಕಾರದ

ಪರಿಣಾಮವಾಗಿ ಬಹಳ ಗಮನಾರ್ಹವಾಗಿರಬಹುದು ($1 + g_{mR_L}$), ಇದು ಆಂಪ್ಲಿಫೈಯರ್ ಮಿಡ್‌ಬ್ಯಾಂಡ್ ಲಾಭಕ್ಕೆ ಸರಿಸುಮಾರು ಸಮಾನವಾಗಿರುತ್ತದೆ. ಇದು ಮಿಲ್ಲರ್ ಪರಿಣಾಮವಾಗಿದೆ, ಇದು ಸಿಎಸ್ ಆಂಪ್ಲಿಫಯರ್ ದೊಡ್ಡ ಒಟ್ಟು ಇನ್ಪುಟ್ ಸಾಮರ್ಥ್ಯ ಸಿನ್ ಮತ್ತು ಆದ್ದರಿಂದ ಕಡಿಮೆ ಎಫ್‌ಫೆಕ್ಟ್ ಕಾರಣವಾಗುತ್ತದೆ.

3. ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿ ಆಂಪ್ಲಿಫಯರ್ ಹೆಚ್ಚಿನ ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ವಿಸ್ತರಿಸಲು, ನಾವು ಮಿಲ್ಲರ್ ಪರಿಣಾಮ ಅನುಪಸ್ಥಿತಿಯಲ್ಲಿ ಅಥವಾ ಕನಿಷ್ಠ ಕಡಿಮೆ ಇದರಲ್ಲಿ ಸಂರಚನೆಗಳನ್ನು ಕಂಡುಹಿಡಿಯಬೇಕು.

4. ಮೇಲಿನ ವಿಶ್ಲೇಷಣೆ, ಪರಿಣಾಮವಾಗಿ STC ಅಥವಾ ಏಕ-ಧ್ರುವ ಪ್ರತಿಕ್ರಿಯೆ ಅಂದಾಜು. ನಿರ್ದಿಷ್ಟವಾಗಿ ಹೇಳುವುದಾದರೆ, ಇದು ಗ್ರಾಂ ವಿಜಿಗಳಿಗೆ I_{gd} ಸಂಬಂಧಿತವನ್ನು ನಿರ್ಲಕ್ಷಿಸುವುದರ ಮೇಲೆ ಆಧಾರಿತವಾಗಿದೆ, ಇದು ಎಫ್‌ಫೆಚ್‌ಇಂಟ ಹೆಚ್ಚು ಅಲ್ಲದ ಆವರ್ತನಗಳಲ್ಲಿ ಚೆನ್ನಾಗಿ ಅನ್ವಯವಾಗುವ ಒಂದು ಉದಾಹರಣೆ.

1. ವರೀ 3-dB ಫ್ರೀಕ್ವೆನ್ಸಿ ರೇ ರುಪಿಗ '= ω ' ಚಾ ಪರಸ್ಪರಸಂವಾದಾದ್ವಾರೆ ನಿಶ್ಚಿತ ಕೇರೇ ಜಾತೇ ಆರ್‌ಎಸ್‌ಆರ್‌ಜಿ || RG. ಆಣಿ $C_{in} = C_{gs} + C_{gd} (1 + g_{mR_L})$. ಪೂರ್ವಗ್ರಾಂ ಪ್ರತಿಕಾರ ಆರ್‌ಜಿ ಸಾಂಸಾ ಫಾರ ಮೊಠಿ ಅಸಲ್ಯಾನೇ, ತೊ ದುರ್ಲಕ್ಷ ಕೇರೇ ಜಾಠು ಶಕತೇ, ಪರಿಣಾಮಿ $R_{Sig} = R_{Sig}$, ಸಿಗ್ರಾಂ ಸ್ರೊತ ಪ್ರತಿಕಾರ. ರೇ ಅನುಸರಣ ಕರತೇ ಕಿ ಆರ್‌ಎಸ್‌ಆರ್‌ಜಿಚೇ ಮೊಠೇ ಮೂಲ್ಯ ಎಫ್‌ಎಚ್ ಕಮಿ ರೋನ್ಯಾಸ ಕಾರಣಿಭೂತ ಠರೇ.

2. ಏಕೂಣ ಇನ್‌ಪುಟ್ ಕೆಪೆಸಿಟೆನ್ಸ್ ಸಿನ್ ಸಾಂಸಾ C_{eq} ದ್ವಾರೆ ಪ್ರಭುತ್ವ ಆರೇ, ಜೇ ಬದಲ್ಯಾತ್ ಸಿಜಿಜಿಡಿಯಾ ಗುಣಾಕಾರ ಪ್ರಭಾವಾನೇ ಮೊಠ್ಯಾ ಪ್ರಮಾಣಾತ್ ಬನ್‌ವಿರೇ ಜಾತೇ. ಅಶಾ ಪ್ರಕಾರೇ, ಜರಿ ಸಿ. ಜಿ. ಡಿ. ಸಾಂಸಾ ಏಕ ಅತಿಶಯ ರಾಂನ capacitance ಆರೇ, ಘಟಕ $(1 + g_{mR_L})$ ದ್ವಾರೆ ಗುಣಾಕಾರ ಪರಿಣಾಮ ಮ್ಹಣೂನ್ ವರ್ಧಕ ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ ವರ ಲ್ಯಾಚಾ ಪರಿಣಾಮ ಫಾರ ರಕ್ಷಣೀಯ ಅಸೂ ಶಕತೇ, ಜೇ ಎಂಪ್ಲಿಫಯರ್‌ಚ್ಯಾ ಮಿಡಬೆಂಡ್ ಗೆನ್‌ಚ್ಯಾ ಅಂದಾಜೇ ಸಮಾನ ಆರೇ. ರೇ ಮಿರ ಪರಿಣಾಮ ಆರೇ, ಜ್ಯಾಮುಲೇ ಸಿಎಸ್ ಎಂಪ್ಲಿಫಯರ್‌ರಾ ಮೊಠ್ಯಾ ಏಕೂಣ ಇನ್‌ಪುಟ್ ಕೆಪೆಸಿಟೆನ್ಸ್ ಸಿನ್ ಆಣಿ ಲ್ಯಾಮುಲೇ ಕಮಿ fH ಅಸತೇ.

3. MOSFET ವರ್ಧಕ ಉಚ್ಚ ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ ವಾಡವಿನ್ಯಾಸಾಠಿ, ಆಪಲ್ಯಾರಾ ಕಾಂಫಿಗರೇಶನ್ ಶೋಧಾವೇ ರಾಗೇರ್ ಜ್ಯಾತ್ ಮಿರ ಪರಿಣಾಮ ಅನುಪಸ್ಥಿತ ಕಿವಾ ಕಮಿತ್ ಕಮಿ ಕಮಿ ಕಮಿ ಆರೇ.

4. ವರೀರ್ ವಿಶ್ಲೇಷಣ, ಪರಿಣಾಮಿ ಎಸ್ಟೀಮಿ ಕಿವಾ ಏಕ-ಪೊಂ ಪ್ರತಿಸಾದ ಅಂದಾಜೇ ಆರೇ. ವಿಶೇಷತಃ, ತೊ ಗ್ರೆಮ V_{gs} ಸಾಪೇಕ್ಷ I_{gd} ದುರ್ಲಕ್ಷ ಆಧಾರಿತ ಆರೇ, fH ಪೇಕ್ಷಾ ಖೂಪ ಜಾಸ್ತ ನಾಡಿ ಫ್ರೀಕ್ವೆನ್ಸಿ ಯೇಠೇ ಚಾಂಗರೇ ರಾಗೂ ರೊತೇ ಕಿ ಏಕ ಗುರಿದಿತಕ.

2.41 The Phase Shift Oscillator:

The basic structure of the phase-shift oscillator is shown in Fig. 2.10. It consists of a negative gain amplifier ($-K$) with a three-section (third-order) RC ladder network in the feedback. The circuit will oscillate at the frequency for which the phase shift of the RC network is 180° . Only at this frequency will the total phase shift around the loop be 0° or 360° . Here we should note that the reason for using a three-section RC network is that three is the minimum number of sections (i.e., lowest order) that is capable of producing a 180° phase shift at a finite frequency.

For oscillations to be sustained, the value of K should be equal to the inverse of the magnitude of the RC network transfer function at the frequency of oscillation. However, to ensure that oscillations start, the value of K has to be chosen slightly higher than the value that satisfies the unity-loop-gain condition. Oscillations will then grow in magnitude until limited by some nonlinear control mechanism.

Figure 2.10 shows a practical phase-shift oscillator with a feedback limiter, consisting of diodes $D1$ and $D2$ and resistors $R1$, $R2$, $R3$, and $R4$ for amplitude stabilization. To start oscillations, R_f has to be made slightly greater than the minimum required value. Although the circuit stabilizes more rapidly and provides sine waves with more stable amplitude, if R_f is made much larger than this minimum, the price paid is an increased output distortion.

ಹಂತ-ಶಿಫ್ಟ್ ಆಸಿಲೇಟರ್ ಮೂಲ ರಚನೆಯನ್ನು ಚಿತ್ರಗಳಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 2.10. ಇದು ಪ್ರತಿಕ್ರಿಯೆಯಲ್ಲಿ ಮೂರು-ವಿಭಾಗದ (ಮೂರನೇ-ಆದೇಶ) ಆರ್ಸಿ ಲ್ಯಾಡರ್ ನೆಟ್ವರ್ಕ್‌ನೊಂದಿಗೆ ನಕಾರಾತ್ಮಕ ಲಾಭ ಆಂಪ್ಲಿಫೈಯರ್ (-ಕೆ) ಅನ್ನು ಒಳಗೊಂಡಿದೆ. ಆರ್ಸಿ ಜಾಲದ ಹಂತದ ಶಿಫ್ಟ್ 180° ಯಾವ ಆವರ್ತನದಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್ ಅಲೆದಾಡುವ. ಕೇವಲ ಈ ಆವರ್ತನದಲ್ಲಿ ಲೂಪ್ ಸುತ್ತ ಒಟ್ಟು ಹಂತದ ಶಿಫ್ಟ್ 0° ಅಥವಾ 360° ಇರುತ್ತದೆ. ಇಲ್ಲಿ ನಾವು ಮೂರು-ವಿಭಾಗದ ಆರ್ಸಿ ನೆಟ್ವರ್ಕ್ ಅನ್ನು ಬಳಸುವ ಕಾರಣವೆಂದರೆ ಮೂರು ಸೀಮಿತ ಆವರ್ತನದಲ್ಲಿ 180° ಹಂತದ ಶಿಫ್ಟ್ ಅನ್ನು ಉತ್ಪಾದಿಸುವ ಸಾಮರ್ಥ್ಯವಿರುವ ಕನಿಷ್ಠ ಸಂಖ್ಯೆಯ ವಿಭಾಗಗಳು (ಅಂದರೆ, ಕನಿಷ್ಠ ಆದೇಶ).

ಆಂದೋಲನಗಳನ್ನು ಉಳಿಸಿಕೊಳ್ಳಲು, ಕೆ ಮೌಲ್ಯವು ಆಂದೋಲನದ ಆವರ್ತನದಲ್ಲಿ ಆರ್ಸಿ ನೆಟ್ವರ್ಕ್ ವರ್ಗಾವಣೆ ಕಾರ್ಯದ ಪರಿಮಾಣದ ವಿಲೋಮಕ್ಕೆ ಸಮನಾಗಿರಬೇಕು. ಆದಾಗ್ಯೂ, ಆಂದೋಲನಗಳು ಪ್ರಾರಂಭವಾಗುತ್ತವೆ ಎಂದು ಖಚಿತಪಡಿಸಿಕೊಳ್ಳಲು, ಏಕತೆ-ಲೂಪ್-ಗೆಯ್ನ್ ಸ್ಥಿತಿಯನ್ನು ತೃಪ್ತಿಪಡಿಸುವ ಮೌಲ್ಯಕ್ಕಿಂತ ಸ್ವಲ್ಪ ಹೆಚ್ಚಿನ ಕೆ ಮೌಲ್ಯವನ್ನು ಆಯ್ಕೆ

ಮಾಡಬೇಕು. ಕೆಲವು ರೇಖಾತ್ಮಕವಲ್ಲದ ನಿಯಂತ್ರಣ ಕಾರ್ಯವಿಧಾನದಿಂದ ಸೀಮಿತವಾಗುವವರೆಗೆ ಆಂದೋಲನಗಳು ನಂತರ ಪ್ರಮಾಣದಲ್ಲಿ ಬೆಳೆಯುತ್ತವೆ.

ಚಿತ್ರ 2.10 ಡಯೋಡ್‌ಗಳು D1 ಮತ್ತು D2 ಮತ್ತು ಪ್ರತಿರೋಧಕಗಳು R1, R2, R3, ಮತ್ತು R4 ಅನ್ನು ಆಂಪ್ಲಿಟ್ಯೂಡ್ ಸ್ಥಿರೀಕರಣಕ್ಕಾಗಿ ಒಳಗೊಂಡಿರುವ ಒಂದು ಪ್ರತಿಕ್ರಿಯೆ ಲಿಮಿಟರ್‌ನೊಂದಿಗೆ ಪ್ರಾಯೋಗಿಕ ಹಂತದ-ಶಿಫ್ಟ್ ಆಸಿಲೇಟರ್ ಅನ್ನು ತೋರಿಸುತ್ತದೆ. ಆಂದೋಲನಗಳನ್ನು ಪ್ರಾರಂಭಿಸಲು, Rf ಅನ್ನು ಕನಿಷ್ಠ ಅಗತ್ಯ ಮೌಲ್ಯಕ್ಕಿಂತ ಸ್ವಲ್ಪ ಹೆಚ್ಚು ಮಾಡಬೇಕು. ಸರ್ಕ್ಯೂಟ್ ಹೆಚ್ಚು ವೇಗವಾಗಿ ಸ್ಥಿರಗೊಳಿಸುತ್ತದೆ ಮತ್ತು ಹೆಚ್ಚು ಸ್ಥಿರವಾದ ವೈಶಾಲ್ಯದೊಂದಿಗೆ ಸೈನ್ ತರಂಗಗಳನ್ನು ಒದಗಿಸುತ್ತದೆಯಾದರೂ, Rf ಅನ್ನು ಈ ಕನಿಷ್ಠಕ್ಕಿಂತ ಹೆಚ್ಚು ದೊಡ್ಡದಾಗಿ ಮಾಡಿದರೆ, ಪಾವತಿಸಿದ ಬೆಲೆಯು ಹೆಚ್ಚಿದ ಔಟ್ಪುಟ್ ವಿರೂಪವಾಗಿದೆ.

ಫೇಜ್-ಶಿಫ್ಟ್ ಆಸಿಲೇಟರ್‌ನ ಮೂಲಭೂತ ರಚನಾ ಫಿಗಮಧ್ಯೆ ದರ್ಶಿವಿಧಿ 2.10. ತೊ ಅಭಿಪ್ರಾಯ ಮಧ್ಯೆ ತೊ-ವಿಭಾಗ (ತೃತೀಯ-ಕ್ರಮ) ಆರ್‌ಸಿ ಶಿಫ್ಟ್ ನೆಟ್‌ವರ್ಕ್ ಏಕ ನಕಾರಾತ್ಮಕ ಲಾಭ ಪ್ರವರ್ಧಕ (-ಕೆ) ಯಾಂಚಾ ಸಮಾವೇಶ ಆಫೆ. ಸರ್ಕ್ಯೂಟ್ ವಾರಂವಾರತಾ ಯೆಥೆ ಅಸ್ಟೇಬಲ್ ಲೋಡ್ ಜ್ಯಾಸಾಠಿ ಆರ್. ಸಿ. ನೆಟ್‌ವರ್ಕ್‌ಚಾ ಟಪ್ಪಾ ಶಿಫ್ಟ್ 180deg ಆಫೆ. ಫಕ್ತ ಯಾ ವಾರಂವಾರತಾ ಯೆಥೆ ಲೂಪ್ ಸುಮಾರೆ ಏಕ್ಯೂಂ ಟಪ್ಪಾಶಿಫ್ಟ್ 0deg ಕಿವಾ 360deg ಅಸೆಂ. ಯೆಥೆ ಆಪಣ ಲಕ್ಷಾತ ಘೆತಫೆ ಪಾಫಿಜೆ ಕಿ ತೊ-ವಿಭಾಗ ಆರ್‌ಸಿ ನೆಟ್‌ವರ್ಕ್ ವಾಪರಣ್ಯಾಚೆ ಕಾರಣ ಮ್ಹಣಜೆ ತೊ ವಿಭಾಗಾಂಚಿ ಕಿಮಾನ್ ಸಂಖ್ಯಾ (ಮ್ಹಣಜೆ ಸರ್ವಾತ ಕಮಿ ಕ್ರಮ) ಆಫೆ ಜಿ ಏಕ ಪರಿಮಿತಿ ಫ್ರೀಕ್ವೆನ್ಸಿ ಯೆಥೆ 180deg ಫೇಜ್ ಶಿಫ್ಟ್ ತಯಾರ ಕರಣ್ಯಾಸ ಸಕ್ಶಮ ಆಫೆ.

ಅಸ್ಟೇಬಲ್ ಟಿಕ್‌ವಣ್ಯಾಸಾಠಿ, ಕೆಚೆ ಮೂಲ್ಯ ಅಸ್ಟೇಬಲ್‌ವಾಚ್ಯಾ ವಾರಂವಾರತೆವರ್ ಆರ್‌ಸಿ ನೆಟ್‌ವರ್ಕ್ ಟ್ರಾನ್ಸ್‌ಫರ್ ಫಂಕ್ಷನ್‌ಚ್ಯಾ ಪರಿಮಾಣಾಚ್ಯಾ ಉತ್ಕರ್ಷ ಸಮಾನ್ ಅಸಾವೆ. ತಥಾಪಿ, ಅಸ್ಟೇಬಲ್ ಸುರು ಯಾಚಿ ಖಾತ್ರಿ ಕರಣ್ಯಾಸಾಠಿ, ಕೆ ಮೂಲ್ಯ ಯುನಿಟಿ-ಲೂಪ್-ಗಾಯನ್ ಅಟ್ ಸಂತುಷ್ಟ ಮೂಲ್ಯ ಪೇಕ್ಷಾ ಕಿಂಚಿತ್ ಜಾಸ್ತ ನಿವಡಫೆ ಪಾಫಿಜೆ. ತ್ಯಾನ್‌ತರ್ ಕಾಫಿ ನಾನ್‌ಲಿನ್ಯರ್ ನಿಯಂತ್ರಣ ಯಂತ್ರಣೆದ್ವಾರೆ ಮರ್ಯಾದಿತ ಲೋಡ್‌ಪರ್ಯಂತ ಒಂಸರಪಣಾ ಮೊಠ್ಯಾ ಪ್ರಮಾಣಾತ್ ವಾಡೆಂ.

ಆಕೃತಿ 2.10 ಏಕ ಅಭಿಪ್ರಾಯ limiter, diodes D1 ಆಫಿ D2 ಆಫಿ ಪ್ರತಿರೋಧಕ R1, R2, R3, ಆಫಿ R4 ಸಮಾವೇಶ ಏಕ ವ್ಯಾವಹಾರಿಕ ಟಪ್ಪಾ-ಶಿಫ್ಟ್ ಅಸ್ಟೇಬಲ್ ಡಾಖವತೆ ಮೊಠೆಪಣಾ ಸ್ಥಿರೀಕರಣ. ಅಸ್ಟೇಬಲ್ ಸುರು ಕರಣ್ಯಾಸಾಠಿ, RF ಕಿಮಾನ್ ಆವಶ್ಯಕ ಮೂಲ್ಯ ಪೇಕ್ಷಾ ಕಿಂಚಿತ್ ಜಾಸ್ತ ಕೆಫೆ ಪಾಫಿಜೆ. ಜರಿ ಸರ್ಕ್ಯೂಟ್ ಅಧಿಕ ವೆಗಾನ್ ಸ್ಥಿರ ಫೊತೆ ಆಫಿ ಅಧಿಕ ಸ್ಥಿರ ಮೊಠೆಪಣಾಸಂ ಸಾಫಿನ್ ಲೂಪ್ ಪ್ರದಾನ್ ಕರತೆ, ತರಿ ಜರ್ ಆರ್‌ಎಫ್ ಯಾ ಕಿಮಾನ್‌ಪೇಕ್ಷಾ ಖೂಪ್‌ಚ ಮೊಠಾ ಬನ್‌ವಿಂ ಗೆಂ ಅಸೆಂ ತರ್ ದಿಫೆಂ ಕಿಮತ್ ಫಿ ವಾಡ್‌ವಿ ಆಊಟ್‌ಪುಟ್ ವಿಕೃತಿ ಆಫೆ.

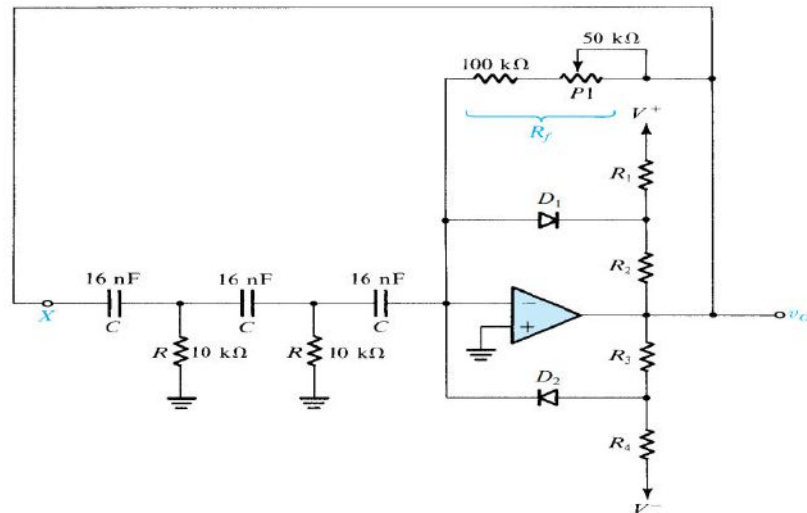


Fig: 2.10: A practical phase-shift oscillator with a limiter for amplitude stabilization.

2.42 LC and Crystal Oscillators:

Oscillators utilizing transistors (FETs or BJTs), with LC-tuned circuits or crystals as feedback elements, are used in the frequency range of 100 kHz to hundreds of megahertz. They exhibit higher Q than the RC types. However, LC oscillators are difficult to tune over wide ranges, and crystal oscillators operate at a single frequency.

LC Tuned Oscillators:

Figure 2.11 shows two commonly used configurations of LC-tuned oscillators. They are known as the Colpitts oscillator and the Hartley oscillator. Both utilize a parallel LC circuit connected between collector and base (or between drain and gate if a FET is used) with a fraction of the tuned-circuit voltage fed to the emitter (the source in a FET). This feedback is achieved by way of a capacitive divider in the Colpitts oscillator and by way of an inductive divider in the Hartley circuit. To focus attention on the oscillator's structure, the bias details are not shown. In both circuits, the resistor R models the combination of the losses of the inductors, the load resistance of the oscillator, and the output resistance of the transistor.

If the frequency of operation is sufficiently low that we can neglect the transistor capacitances, the frequency of oscillation will be determined by the resonance frequency of the parallel-tuned circuit (also known as a tank circuit because it behaves as a reservoir for energy storage). Thus for the Colpitts oscillator we have

ಚಿತ್ರ 2.11 ಎಲ್ವಿ-ಟ್ಯೂನ್ಡ್ ಆಸಿಲೇಟರ್‌ಗಳ ಎರಡು ಸಾಮಾನ್ಯವಾಗಿ ಬಳಸುವ ಸಂರಚನೆಗಳನ್ನು ತೋರಿಸುತ್ತದೆ. ಅವರು ಕೋಲ್ಪಿಟ್ಸ್ ಆಸಿಲೇಟರ್ ಮತ್ತು ಹಾರ್ಟ್ಲಿ ಆಸಿಲೇಟರ್ ಎಂದು ಕರೆಯುತ್ತಾರೆ. ಇವೆರಡೂ ಸಂಗ್ರಹಕ ಮತ್ತು ಬೇಸ್ (ಅಥವಾ ಡ್ರೈನ್ ಮತ್ತು ಗೇಟ್ ನಡುವೆ ಒಂದು ಎಫ್‌ಇಟಿ ಬಳಸಿದರೆ) ನಡುವೆ ಸಂಪರ್ಕ ಹೊಂದಿದ ಸಮಾನಾಂತರ ಎಲ್ವಿ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಹೊರಸೂಸುವ ಯಂತ್ರಕ್ಕೆ (ಎಫ್‌ಇಟಿಯಲ್ಲಿನ ಮೂಲ) ನೀಡಲಾದ ಟ್ಯೂನ್ಡ್-ಸರ್ಕ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ ಒಂದು ಭಾಗದೊಂದಿಗೆ ಬಳಸುತ್ತವೆ. ಈ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಕೋಲ್ಪಿಟ್ಸ್ ಆಸಿಲೇಟರ್‌ನಲ್ಲಿ ಕೆಪಾಸಿಟಿವ್ ಡಿವೈಡರ್ ಮೂಲಕ ಮತ್ತು ಹಾರ್ಟ್ಲಿ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ ಪ್ರಚೋದಕ ಡಿವೈಡರ್ ಮೂಲಕ ಸಾಧಿಸಲಾಗುತ್ತದೆ. ಆಸಿಲೇಟರ್ ರಚನೆಯ ಮೇಲೆ ಗಮನ ಕೇಂದ್ರೀಕರಿಸಲು, ಪಕ್ಷಪಾತದ ವಿವರಗಳನ್ನು ತೋರಿಸಲಾಗುವುದಿಲ್ಲ. ಎರಡೂ ಸರ್ಕ್ಯೂಟ್‌ಗಳಲ್ಲಿ, ಪ್ರತಿರೋಧಕ ಆರ್ ಮಾದರಿಗಳು - ಪ್ರಚೋದಕಗಳ ನಷ್ಟಗಳು, ಆಸಿಲೇಟರ್ ಲೋಡ್ ಪ್ರತಿರೋಧ ಮತ್ತು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಔಟ್‌ಪುಟ್ ಪ್ರತಿರೋಧದ ಸಂಯೋಜನೆ.

ಕಾರ್ಯಾಚರಣೆಯ ಅವರ್ತನ ನಾವು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಕೆಪಾಸಿಟನ್ಸ್ ನಿರ್ಲಕ್ಷಿಸಬಹುದು ಎಂದು ಸಾಕಷ್ಟು ಕಡಿಮೆ ಇದ್ದರೆ, ಆಂದೋಲನದ ಅವರ್ತನವು ಸಮಾನಾಂತರ-ಟ್ಯೂನ್ಡ್ ಸರ್ಕ್ಯೂಟ್ ಅನುರಣನ ಅವರ್ತನದಿಂದ ನಿರ್ಧರಿಸಲ್ಪಡುತ್ತದೆ (ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್ ಎಂದೂ ಕರೆಯಲ್ಪಡುತ್ತದೆ ಏಕೆಂದರೆ ಇದು ಶಕ್ತಿ ಶೇಖರಣೆಗಾಗಿ ಜಲಾಶಯವಾಗಿ ವರ್ತಿಸುತ್ತದೆ). ಹೀಗಾಗಿ ನಾವು ಹೊಂದಿರುವ ಕೋಲ್ಪಿಟ್ಸ್ ಆಸಿಲೇಟರ್‌ಗಾಗಿ

ಆಕೃತಿ 2.11 ಎಂಪಿ-ಟ್ಯೂನ್ಡ್ ಆಸಿಲೇಟರ್‌ನ ದೋನ ಸಾಮಾನ್ಯವಾಗಿ ವಾಪರಲ್ಯಾ ಜಾಣಾರ್ಯಾ ಕಾಂಫಿಗರೇಶನ್ ದರ್ಶವಿತೆ. ಲ್ಯಾನ್ಕಾ ಕೊಂಪಿಡ್ಸ್ ಆಸಿಲೇಟರ್ ಆಗಿ ಫಾರ್ಟಿ ಆಸಿಲೇಟರ್ ಮ್ಹಣ್ನ್ ಆಂಱಖಂ ಜಾತೆ. ದೊನ್ಹಿ ಕಂಪೆಕ್ಟರ್ ಆಗಿ ಬೆಸ್ (ಕಿಂವಾ ಎಫ್‌ಐಟಿ ವಾಪರಲ್ಯಾಸ್ ಡ್ರೇನ್ ಆಗಿ ಗೆಟ್ ದರಮ್ಯಾನ್) ದರಮ್ಯಾನ್ ಜೊಡಂಠೆ ಸಮಾಂತರ್ ಎಂಪಿ ಸರ್ಕ್ಯೂಟ್ ವಾಪರತಾತ್ ಜೆ ಎಮಿಟರ್ (ಎಫ್‌ಐಟಿ ಮಧಿಂ ಸ್ರೊತ್) ಟ್ಯೂನ್-ಸರ್ಕ್ಯೂಟ್ ಫೋಲ್ಟೇಜ್‌ಚ್ಯಾ ಅಂಶಾಸಂ ದಿಂ ಜಾತೆ. ಥಿ ಪ್ರತಿಕ್ರಿಯಾ ಕೊಂಪಿಡ್ಸ್ ಆಸಿಲೇಟರ್‌ಮಧ್ಯೆ ಕೆಪೆಸಿಟಿವ್ ಡಿವೈಡರ್‌ಚ್ಯಾ ಮಾಧ್ಯಮಾತ್ಮನ್ ಆಗಿ ಫಾರ್ಟಿ ಸರ್ಕ್ಯೂಟ್‌ಮಧ್ಯೆ ಇನ್‌ಡಾಂಕ್ಟಿವ್ ಡಿವೈಡರ್‌ಚ್ಯಾ ಮಾಧ್ಯಮಾತ್ಮನ್ ಮಿಱವಂ ಜಾತೆ. ಅಶ್ಟಪೈ ರಚನಾ ಂಕ್ಷ ಕೆಂದ್ರಿತ ಕರಣ್ಯಾಸಾಂಥಿ, ಪೂರ್ವಗ್ರಂ ತಪಶಿಂ ದರ್ಶವಿಂ ನಾಂಥಿ. ದೊನ್ಹಿ ಸರ್ಕ್ಯೂಟ್‌ಮಧ್ಯೆ, ರೆಜಿಸ್ಟರ್ ಆರ್ ಇಂಡಕ್ಟರ್‌ಚ್ಯಾ ನುಕಸಾನ್‌ಚೆ ಸಂಯೊಜನ್, ಆಸಿಲೇಟರ್‌ಚೆ ಓಡ ಪ್ರತಿಕಾರ ಆಗಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಚೆ ಆಊಟ್‌ಪುಟ್ ಪ್ರತಿಕಾರ ಯಾಂಚೆ ಮಾಂಡೆಂ ಕರತೆ.

ಆಪರೇಶನ್ ವಾರಂವಾರತಾ ಪುರೇಶಿ ಕಮಿ ಅಸೆಂ ತರ್ ಕಿ ಆಪಣ ಟ್ರಾನ್ಸಿಸ್ಟರ್ capacitances ದುರ್ಲಕ್ಷ ಕರ್ನ್ ಶಕತಾ, ಅಶ್ಟಪೈತ್ವಾಚಿ ವಾರಂವಾರತಾ ಸಮಾಂತರ್-ಟ್ಯೂನ್ಡ್ ಸರ್ಕ್ಯೂಟ್‌ಚ್ಯಾ ಅನುನಾದ ವಾರಂವಾರತೆದ್ವಾರೆ ನಿರ್ಧಾರಿತ ಕೆಂಥಿ ಜಾಂಥಿ (ಎಕ

टाकी सर्किट म्हणूनही ओळखणे जाते कारण ते ऊर्जा साठवणुकीसाठी ज०शय म्हणून वागते). अशा प्रकारे को०पिट्स ऑसिलेटरसाठी आपल्याकडे आहे

$$\omega_0 = 1 / \sqrt{L \left(\frac{C_1 C_2}{C_1 + C_2} \right)}$$

and for the Hartley oscillator we have

$$\omega_0 = 1 / \sqrt{(L_1 + L_2) C}$$

The ratio or determines the feedback factor and thus must be adjusted in conjunction with the transistor gain to ensure that oscillations will start. To determine the oscillation condition for the Colpitts oscillator, we replace the transistor with its equivalent circuit, as shown in Fig. 2.11. To simplify the analysis, we have neglected the transistor capacitance C_μ (C_{gd} for a FET). Capacitance C_π (C_{gs} for a FET), although not shown, can be considered to be a part of C_2 . The input resistance r_π (infinite for a FET) has also been neglected, assuming that at the frequency of oscillation $r_\pi \gg (1/\omega C_2)$. Finally, as mentioned earlier, the resistance R includes r_o of the transistor.

To find the loop gain, we break the loop at the transistor base, apply an input voltage V_π , and find the returned voltage that appears across the input terminals of the transistor. We then equate the loop gain to unity.

अनुपात अ०वा नि०रिसु०त० प्र०क्रिये अ०श म०त० हे०गे सं०र०ने ला०भ०द ज०ते०य०ल्लि स०रि०ह०म०दि०स०ब०रे०कु अ०म०द०म०ले०न०ग०ल० अ०र०भ०वा०ग०त०त०द० ए०म०दु ख०चि०त०प०ढि०सि०क०ळ०लु. क०ले०ल्वि०ट०न्स अ०सि०ले०टे०ग०ा०गि अ०म०द०म०ले०न० सि०त्ति०य०न्नु० नि०र्ध०रि०स०लु, ना०वु ट्रा०न्सि०स्स०र अ०न्नु० अ०द०र स०म०ान स०क०र०फ०ट०म०ो०दि०गे ब०द०लि०सु०त०त०वे, चि०त्र०ण०द०ल्लि त०ले०रि०सि०रु०व०म०त०. 2.11. वि०श्ले०ष०णे०य०न्नु० स०र०ल०ग०ो०ल०ि०स०लु, ना०वु ट्रा०न्सि०स्स०र क०पा०सि०टे०न्स क०र० (सि०जि०दि० फा०र० ए० ए०फा०इ०टी) अ०न्नु० नि०ल०फ०क्वि०सि०द०े०वे. सा०म०ध०र्य० सि०पि (ए०म०दु ए०फा०इ०टी०ग०ा०गि सि०जि०ग०ल०), त०ले०रि०स०दि०द०र०, C_2 र० भ०ा०ग०वे०म०दु प०रि०ग०णि०स०ब०ह०दु. इ०न्नु०ट० प्र०ति०र०ो०ध० r_π (ए०म०दु ए०फा०इ०टी०ग०ा०गि अ०न०त०) स०ह० नि०ल०फ०क्वि०स०ल०प्प०ट्टि०द०, इ०दु अ०म०द०म०ले०न० r_π ए०क्व० न० अ०व०त०र०न०द०ल्लि ल०ा०हि०सु०त०त०द० $(1/C_2)$.

ಅಂತಿಮವಾಗಿ, ಮೊದಲೇ ಹೇಳಿದಂತೆ, ಪ್ರತಿರೋಧ ಆರ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ರೋ ಅನ್ನು ಒಳಗೊಂಡಿದೆ.

ಲೂಪ್ ಲಾಭವನ್ನು ಕಂಡುಹಿಡಿಯಲು, ನಾವು ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ತಳದಲ್ಲಿ ಲೂಪ್ ಅನ್ನು ಮುರಿದುಬಿಡುತ್ತೇವೆ, ಇನ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ವಿಪಿ ಅನ್ನು ಅನ್ವಯಿಸುತ್ತೇವೆ ಮತ್ತು ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಇನ್ಪುಟ್ ಟರ್ಮಿನಲ್ಗಳಾದ್ಯಂತ ಕಾಣಿಸಿಕೊಳ್ಳುವ ಹಿಂತಿರುಗಿದ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಕಂಡುಹಿಡಿಯುತ್ತೇವೆ. ನಾವು ನಂತರ ಲೂಪ್ ಲಾಭ ಏಕತಾನತೆಗೆ ಸಮ.

ಪ್ರಮಾಣ ಕಿಂವಾ ಅಭಿಪ್ರಾಯ ಘಟಕ ಠರವತೆ ಆಣಿ ಅಶಾ ಪ್ರಕಾರೆ oscillations ಸುರ್ರು ಡೋರ್ಡ್ ಯಾಚಿ ಖಾತ್ರಿ ಕರ್ಯಾಸಾಠಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಫಾಯದಾ ಸಂ ಸಂಯಜನಾತ ಸಮಾಯಜಿತ ಕರ್ಯಾ ಆವಶ್ಯಕ ಆಡೆ. ಕೋಪಿಡ್ಸ್ ಆೋಸಿಡೆಟರ್ಸಾಠಿ ಆೋಸಿಡೆಶನ ಅಟ ನಿಶ್ಚಿತ ಕರ್ಯಾಸಾಠಿ, ಆಮ್ಹಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಟ್ಯಾಚ್ಯಾ ಸಮಕಕ್ಷ ಸರ್ಕ್ಯುಟ್ಸಂ ಬದಲತೊ, ಜಸೆ ಕಿ ಫಿಗಮಥ್ಯೆ ದರ್ಶವಿಡೆ ಆಡೆ. 2.12. ವಿಶ್ಲೇಷಣ ಸೋಪೆ ಕರ್ಯಾಸಾಠಿ, ಆಮ್ಹಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಕೆಪೆಸಿಟನ್ಸ್ C_u (ಅಕ FET ಸಾಠಿ C_{gd}) ದುರ್ಧಕ್ಷ ಕೆಡೆ ಆಡೆ. ಕೆಪೆಸಿಟನ್ಸ್ ಸಿ.ಪಿ. (ಅಫ.ಐ.ಟಿ. ಸಾಠಿ ಸಿ.ಜಿ.) ಜರಿ ದರ್ಶವಿಡಿ ಗೆಡಿ ನಸಡಿ ತರಿ ತಿ C_2 ಚಾ ಅಕ ಭಾಗ ಮಾಡಿ ಜಾಠು ಶಕತೆ. ಇನ್ಪುಟ್ ಪ್ರತಿಕಾರ ಆರ್ಪಿ (ಅಕ FET ಸಾಠಿ ಅನಂತ) ದೆಖಿಡು ದುರ್ಧಕ್ಷ ಕೆಡೆ ಗೆಡೆ ಆಡೆ, ಅಸೆ ಗೃಢಿತ ಧರಡೆ ಕಿ ಆಕುಂಚನ ಆರ್ಪಿ ವಾರಂವಾರತಾ ಯೆಥೆ >> (1/47164). ಶೆವಟಿ, ಪೂರ್ವಿ ನಮ್ದ ಕೆಲ್ಯಾಪ್ರಮಾಣೆ, ಪ್ರತಿಕಾರ ಆರ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಚ್ಯಾ ರೊ ಸಮಾವೇಶ ಆಡೆ.

ಫೂಪ್ ಗೆನ ಶೋಧಯಾಸಾಠಿ, ಆಮ್ಹಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಬೆಸವರ್ ಫೂಪ್ ತೊಡತೊ, ಇನ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ವ್ಹಿಪಿ ಾಗೂ ಕರ್ತೊ ಆಣಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನ್ ಇನ್ಪುಟ್ ಟರ್ಮಿನಲ್ಸಮಥ್ಯೆ ದಿಸಣಾರೆ ಪರತಡೆ ವೋಲ್ಟೇಜ್ ಶೋಧತೊ. ಮಗ ಆಪಣ ಫೂಪ್ ಾಭ ಆ್ಯಕ ಸಮಾನ ಆಡೆ.

The frequency of oscillations is determined by

$$\omega_0 = 1 / \sqrt{L \left(\frac{C_1 C_2}{C_1 + C_2} \right)}$$

which is the resonance frequency of the tank circuit.

For sustained oscillations, the magnitude of the gain from base to collector ($g_m R$) must be equal to the inverse of the voltage ratio provided by the capacitive divider, which from Fig. 2.11(a) can be seen to be $V_{eb} / V_{ce} = C_1 / C_2$. Of course, for oscillations to start, the loop gain must be made greater than unity, a condition that can be stated in the equivalent form

$$g_m R > C_2 / C_1$$

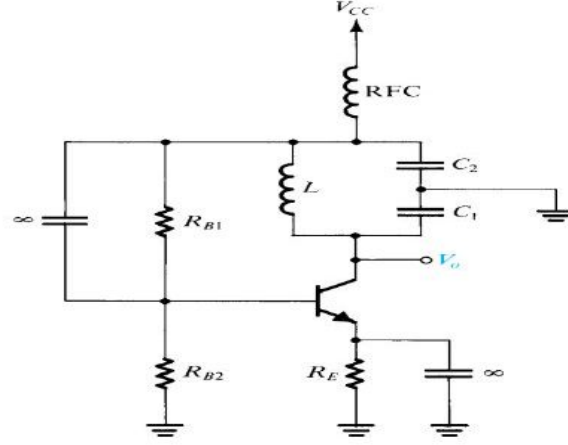


Fig:2.11: Complete Circuit for a Colpitt's Oscillator

As oscillations grow in amplitude, the transistor's nonlinear characteristics reduce the effective value of g_m and, correspondingly, reduce the loop gain to unity, thus sustaining the oscillations. Here the radio-frequency choke (RFC) provides a high reactance at but a low dc resistance.

Crystal Oscillators:

A piezoelectric crystal, such as quartz, exhibits electromechanical-resonance characteristics that are very stable (with time and temperature) and highly selective (having very high Q factors). The circuit symbol of a crystal is shown in Fig. 2.12(a), and its equivalent circuit model is given in Fig. 2.12(b). The resonance properties are characterized by a large inductance L (as high as hundreds of henrys), a very small series capacitance C_s (as small as 0.0005 pF), a series resistance r representing a Q factor ω_{OL}/r that can be as high as a few hundred thousand, and a parallel capacitance C_p (a few picofarads). Capacitor C_p represents the electrostatic capacitance between the two parallel plates of the crystal. Note that $C_p \gg C_s$.

ಕ್ವಾಟ್ಟ್‌ಫಂಟ್‌ಹ ಒಂದು ಪೀಜೋಎಲೆಕ್ಟ್ರಿಕ್ ಸ್ಪಟಿಕವು ವಿದ್ಯುನ್ಮಾನ-ಪ್ರತಿಧ್ವನಿ ಗುಣಲಕ್ಷಣಗಳನ್ನು ಪ್ರದರ್ಶಿಸುತ್ತದೆ, ಅದು ಬಹಳ ಸ್ಥಿರವಾಗಿರುತ್ತದೆ (ಸಮಯ ಮತ್ತು ತಾಪಮಾನದೊಂದಿಗೆ) ಮತ್ತು ಹೆಚ್ಚು ಆಯ್ಕೆ (ಅತಂತ್ರ ಹೆಚ್ಚಿನ, ಅಂಶಗಳು). ಸ್ಪಟಿಕದ ಸರ್ಕ್ಯೂಟ್ ಚಿಹ್ನೆಯನ್ನು ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 2.12 (a), ಮತ್ತು ಅದರ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ ಮಾದರಿಯನ್ನು ಚಿತ್ರಗಳಲ್ಲಿ ನೀಡಲಾಗಿದೆ. 2.12 (ಬಿ). ಅನುರಣನ ಗುಣಲಕ್ಷಣಗಳನ್ನು ದೊಡ್ಡ ಇಂಡಕ್ಟನ್ಸ್ ಎಲ್ (ನೂರಾರು ಹೆನ್ರಿಗಳಷ್ಟು ಹೆಚ್ಚು) ಮೂಲಕ

ನಿರೂಪಿಸಲಾಗಿದೆ, ಬಹಳ ಸಣ್ಣ ಸರಣಿ ಸಾಮರ್ಥ್ಯ ಸಿಎಸ್ (0.0005 ಪಿಎಫ್ ಎಂದು ಸಣ್ಣ), ಒಂದು ಸರಣಿ ಪ್ರತಿರೋಧ r ಕೆಲವು ನೂರು ಸಾವಿರ ಹೆಚ್ಚು ಇರಬಹುದು ∞L / ಆರ್ ಒಂದು ಎಕ್ಸ್ ಅಂಶ ಪ್ರತಿನಿಧಿಸುತ್ತದೆ, ಮತ್ತು ಸಮಾನಾಂತರ ಕೆಪಾಸಿಟರ್ ಸಿಪಿ (ಕೆಲವು ಪಿಕೋಫಾರ್ಡ್‌ಗಳು). ಕೆಪಾಸಿಟರ್ ಸಿಪಿ ಸ್ಪಟಿಕದ ಎರಡು ಸಮಾನಾಂತರ ಫಲಕಗಳ ನಡುವಿನ ಎಲೆಕ್ಟ್ರೋಸ್ಟಾಟಿಕ್ ಕೆಪಾಸಿಟಿಯನ್ನು ಪ್ರತಿನಿಧಿಸುತ್ತದೆ. ಗಮನಿಸಿ, ಸಿ. ಪಿ. ಎಕ್ಸ್ cs.

ಅಶಾ ಕಾರ್ಡ್ಜ್ ಮ್ಹಣ್ಣು piezoelectric ಕ್ರಿಸ್ಟಲ್, ಅತಿಶಯ ಸ್ಥಿರ (ವೆಳ ಆಗಿ ತಾಪಮಾನ) ಆಗಿ ಅತ್ಯಂತ ನಿವೃದ್ಧ (ಖುಬ್ ಉಚ್ಚ ಕ್ಯು ಘಟಕ ಅಸಂಖ್ಯಾ) ಆದೇತ ಕೀ ಇಂಕ್ರೋಮೆಕೆನಿಕ್-ಅನುನಾದ ವೈಶಿಷ್ಟ್ಯ ಪ್ರದರ್ಶಿತ. ಏಕ ಕ್ರಿಸ್ಟಲ್‌ಚೆ ಸರ್ಕ್ಯಿಟ್ ಪ್ರತೀಕ ಫಿಗಮಧ್ಯೆ ದರ್ಶವಿಂ ಆಂ. 2.12 (ಅ), ಆಗಿ ತ್ಯಾಚ್ಯಾ ಸಮತುಲ್ಯ ಸರ್ಕ್ಯಿಟ್ ಮॉडेल् ಫಿಗ ಮಧ್ಯೆ ದಿಂ ಆಂ. 2.12 (ಬ). ಅನುನಾದ ಗುಣಧರ್ಮ ಮೊಠ್ಯಾ inductance ಏಂ (ಶೇಶೆ henrys ಮ್ಹಣ್ಣು ಉಚ್ಚ) ದ್ವಾರೆ ದರ್ಶವಿಂ ಜಾತೆ, ಏಕ ಅತಿಶಯ ಾನ ಮಾಪಿಕಾ capacitance ಸಿಎಸ್ (ಾನ ಮ್ಹಣ್ಣು 0.0005 ಪಿಎಫ್), ಏಕ ಮಾಪಿಕಾ ಪ್ರತಿಕಾರ ಆರ್ ಏಕ ಕ್ಯು ಘಟಕ ∞L / ಆರ್ ಪ್ರತಿನಿಧಿತ್ವ ಜೆ ಕಾಪಿ ಶಂಭರ್ ಾಜಾರ ಮ್ಹಣ್ಣು ಉಚ್ಚ ಅಸು ಶಕತೆ, ಆಗಿ ಏಕ ಸಮಾಂತರ ಕೆಪೆಸಿಟೆನ್ಸ್ ಸಿಪಿ (ಕಾಪಿ picofarads). ಕೆಪೆಸಿಟರ್ ಸಿ.ಪಿ. ಕ್ರಿಸ್ಟಲ್‌ಚ್ಯಾ ದೊನ ಸಮಾಂತರ ಪ್ಲೇಟ್ಸ್ ದರಮ್ಯಾನ್ ಇಂಕ್ರೋಸ್ಟೇಟಿಕ್ ಕೆಪೆಸಿಟೆನ್ಸ್‌ಚೆ ಪ್ರತಿನಿಧಿತ್ವ ಕರ್ತೆ. ಾಕ್ಷಾತ್ ಘ್ಯಾ ಕೀ ಸಿಪಿ $\gg C_s$.

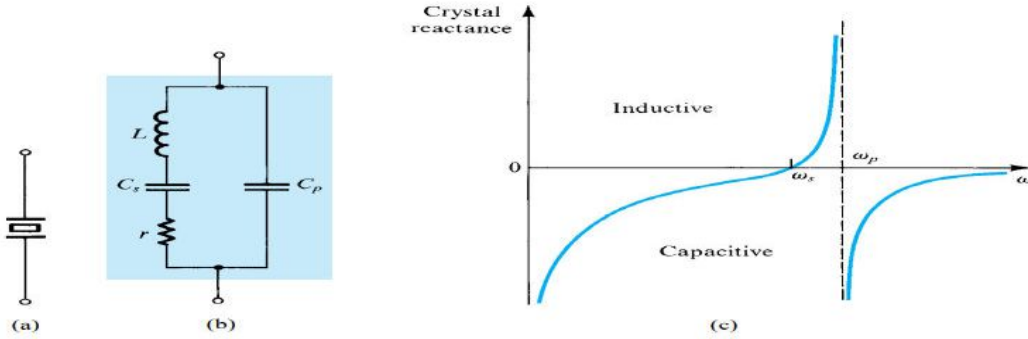


Fig:2.12: A piezoelectric crystal. (a) Circuit symbol. (b) Equivalent circuit. (c) Crystal reactance versus frequency.

The crystal has two resonance frequencies: a series resonance at ω_s .

$$\omega_s = 1 / \sqrt{LC_s}$$

And a parallel resonance at ω_p ,

$$\omega_p = 1 / \sqrt{L \left(\frac{C_s C_p}{C_s + C_p} \right)}$$

we note that $\omega_p > \omega_s$. However, since $C_p \gg C_s$, the two resonance frequencies are very close. The extremely stable resonance characteristics and the very high Q factors of quartz crystals result in oscillators with very accurate and stable frequencies. Crystals are available with resonance frequencies in the range of a few kilohertz to hundreds of megahertz.

ನಾವು ω_p ಮತ್ತು ω_s ಗಳನ್ನು ಗಮನಿಸುತ್ತೇವೆ. ಹೇಗಾದರೂ, C_p ಮತ್ತು C_s ನಿಂದ, ಎರಡು ಅನುರಣನ ಆವರ್ತನಗಳು ಬಹಳ ಹತ್ತಿರದಲ್ಲಿರುತ್ತವೆ. ಅತ್ಯಂತ ಸ್ಥಿರವಾದ ಅನುರಣನ ಗುಣಲಕ್ಷಣಗಳು ಮತ್ತು ಕ್ವಾರ್ಟ್ಸ್ ಸ್ಪಟಿಕಗಳ ಅತಿ ಹೆಚ್ಚಿನ ಕ್ವೆಡ್ ಅಂಶಗಳು ಅತ್ಯಂತ ನಿಖರವಾದ ಮತ್ತು ಸ್ಥಿರವಾದ ಆವರ್ತನಗಳೊಂದಿಗೆ ಆಸಿಲೇಟರ್‌ಗಳನ್ನು ಉಂಟುಮಾಡುತ್ತವೆ. ಸ್ಪಟಿಕಗಳು ಪ್ರತಿಧ್ವನಿ ಆವರ್ತನಗಳೊಂದಿಗೆ ಕೆಲವು ಕಿಲೋಹರ್ಟ್ಸ್‌ನಿಂದ ನೂರಾರು ಮೆಗಾಹರ್ಟ್ಸ್‌ಗಳ ವ್ಯಾಪ್ತಿಯಲ್ಲಿ ಲಭ್ಯವಿದೆ.

आम्ही त्या ऑप> ओएस ँक्षात घ्या. तथापि, $C_p \gg C_s$ पासून, दोन अनुनाद फ्रिक्वेन्सी खूप जवळ आहेत. अत्यंत स्थिर अनुनाद वैशिष्ट्ये आणि क्वार्ट्ज क्रिस्टल्स अतिशय उच्च क्यू घटक अतिशय अचूक आणि स्थिर फ्रिक्वेन्सी सॆ oscillators परिणाम. क्रिस्टल्स काढी किॆोॆर्ट्झ ते शेकडो मेगाॆर्ट्झच्या श्रेणीमध्ये अनुनाद फ्रिक्वेन्सीसॆ उपॆब्ध आहेत.

3.1 Output stages and Power Amplifiers: Introduction, Classification of Output Stages, Class – A output stage, Class – B output stage: Transfer Characteristics, Power Dissipation, Power Conversion Efficiency, Class – AB Output stage, Class – C tuned Amplifier.

Feedback Amplifier: General feedback structure, Properties of negative feedback, the four basic feedback topologies, The series – shunt, series – series, shunt – shunt and shunt – series amplifiers (Qualitative Analysis)

3.11 INTRODUCTION:

An important function of the output stage is to provide the amplifier with a low output resistance so that it can deliver the output signal to the load without loss of gain. Since the output stage is the final stage of the amplifier, it usually deals with relatively large signals. Thus the small-signal approximations and models either are not applicable or must be used with care. Nevertheless, linearity remains a very important requirement. In fact, a measure of goodness of the output stage is the total harmonic distortion (THD) it introduces. This is the rms value of the harmonic components of the output signal, excluding the fundamental, expressed as a percentage of the rms of the fundamental. The most challenging requirement in the design of an output stage is for it to deliver the required amount of power to the load in an efficient manner. This implies that the power dissipated in the output-stage transistors must be as low as possible. This requirement stems mainly from the fact that the power dissipated in a transistor raises its internal junction temperature, and there is a maximum temperature (in the range of 150°C to 200°C for silicon devices) above which the transistor is destroyed. A high power-conversion efficiency also may be required to prolong the life of batteries employed in battery-powered circuits, to permit a smaller, lower-cost power supply, or to obviate the need for cooling fans. We begin this chapter with a study of the various output-stage configurations employed in amplifiers that handle both low and high power. In this context, “high power” generally means greater than 1 W. We then consider the specific requirements of BJTs employed in the design of high-power output stages, called power transistors.

A power amplifier is simply an amplifier with a high-power output stage. Examples of discrete- and integrated-circuit power amplifiers will be presented. Since BJTs can handle much larger currents than MOSFETs, they are preferred in the design of output stages

ಔಟ್ ಹಂತದ ಒಂದು ಪ್ರಮುಖ ಕಾರ್ಯವೆಂದರೆ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ಕಡಿಮೆ ಔಟ್ ಪ್ರತಿರೋಧದೊಂದಿಗೆ ಒದಗಿಸುವುದು, ಇದರಿಂದಾಗಿ ಲಾಭದ ನಷ್ಟವಿಲ್ಲದೆಯೇ ಔಟ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಲೋಡ್ ತಲುಪಿಸಬಹುದು. ಔಟ್ ಹಂತವು ಆಂಪ್ಲಿಫೈಯರ್ ಅಂತಿಮ ಹಂತವಾಗಿರುವುದರಿಂದ, ಇದು ಸಾಮಾನ್ಯವಾಗಿ ತುಲನಾತ್ಮಕವಾಗಿ ದೊಡ್ಡ ಸಂಕೇತಗಳೊಂದಿಗೆ ವ್ಯವಹರಿಸುತ್ತದೆ. ಹೀಗಾಗಿ ಸಣ್ಣ-ಸಿಗ್ನಲ್ ಅಂದಾಜುಗಳು ಮತ್ತು ಮಾದರಿಗಳು ಅನ್ವಯಿಸುವುದಿಲ್ಲ ಅಥವಾ ಎಚ್ಚರಿಕೆಯಿಂದ ಬಳಸಬೇಕು. ಅದೇನೇ ಇದ್ದರೂ, ರೇಖೀಯತೆಯು ಬಹಳ ಪ್ರಮುಖ ಅವಶ್ಯಕತೆಯಾಗಿ ಉಳಿದಿದೆ. ವಾಸ್ತವವಾಗಿ, ಔಟ್ ಹಂತದ ಒಳ್ಳೆಯತನದ ಒಂದು ಅಳತೆ ಇದು ಪರಿಚಯಿಸುವ ಒಟ್ಟು ಹಾರ್ಮೋನಿಕ್ ವಿರೂಪತೆ (ಟಿಎಚ್ಡಿ) ಆಗಿದೆ. ಇದು ಔಟ್ ಸಿಗ್ನಲ್ ಹಾರ್ಮೋನಿಕ್ ಘಟಕಗಳ rms ಮೌಲ್ಯವಾಗಿದೆ, ಮೂಲಭೂತವನ್ನು ಹೊರತುಪಡಿಸಿ, ಮೂಲಭೂತದ rms ನ ಶೇಕಡಾವಾರು ಪ್ರಮಾಣದಲ್ಲಿ ವ್ಯಕ್ತಪಡಿಸಲಾಗಿದೆ. ಔಟ್ ಹಂತದ ವಿನ್ಯಾಸದಲ್ಲಿ ಅತ್ಯಂತ ಸವಾಲಿನ ಅಗತ್ಯವೆಂದರೆ ಅದು ಅಗತ್ಯವಿರುವ ಪ್ರಮಾಣದ ಶಕ್ತಿಯನ್ನು ಸಮರ್ಥವಾಗಿ ಲೋಡ್ ತಲುಪಿಸುವುದು. ಇದು ಔಟ್-ಹಂತ ಟ್ರಾನ್ಸಿಸ್ಟರ್ಗಳಲ್ಲಿ ವಿಸರ್ಜಿತವಾದ ಶಕ್ತಿಯು ಸಾಧ್ಯವಾದಷ್ಟು ಕಡಿಮೆ ಇರಬೇಕು ಎಂದು ಸೂಚಿಸುತ್ತದೆ. ಈ ಅವಶ್ಯಕತೆಯು ಮುಖ್ಯವಾಗಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ನಲ್ಲಿ ವಿಸರ್ಜಿತವಾದ ಶಕ್ತಿಯು ಅದರ ಆಂತರಿಕ ಜಂಕ್ಷನ್ ತಾಪಮಾನವನ್ನು ಹೆಚ್ಚಿಸುತ್ತದೆ, ಮತ್ತು ಸಿಲಿಕಾನ್ ಸಾಧನಗಳಿಗೆ ಗರಿಷ್ಠ ತಾಪಮಾನ (85-175 ರಿಂದ 200degC ರ ವ್ಯಾಪ್ತಿಯಲ್ಲಿ) ಇದೆ, ಅದರ ಮೇಲೆ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ನಾಶವಾಗುತ್ತದೆ. ಬ್ಯಾಟರಿ-ಚಾಲಿತ ಸರ್ಕ್ಯೂಟ್ಗಳಲ್ಲಿ ಬಳಸಲಾಗುವ ಬ್ಯಾಟರಿಗಳ ಜೀವಿತಾವಧಿಯನ್ನು ಹೆಚ್ಚಿಸಲು, ಸಣ್ಣ ಕಡಿಮೆ-ವೆಚ್ಚದ ವಿದ್ಯುತ್ ಪೂರೈಕೆಯನ್ನು ಅನುಮತಿಸಲು ಅಥವಾ ತಂಪಾಗಿಸುವ ಅಭಿಮಾನಿಗಳ ಅಗತ್ಯವನ್ನು ನಿವಾರಿಸಲು ಹೆಚ್ಚಿನ ಶಕ್ತಿ-ಪರಿವರ್ತನೆ ದಕ್ಷತೆಯು ಸಹ ಬೇಕಾಗಬಹುದು. ಕಡಿಮೆ ಮತ್ತು ಹೆಚ್ಚಿನ ಶಕ್ತಿ ಎರಡನ್ನೂ ನಿರ್ವಹಿಸುವ ಆಂಪ್ಲಿಫೈಯರ್ಗಳಲ್ಲಿ ನಿಯೋಜಿಸಲಾದ ವಿವಿಧ ಔಟ್-ಹಂತದ ಸಂರಚನೆಗಳ ಅಧ್ಯಯನದೊಂದಿಗೆ ನಾವು ಈ ಅಧ್ಯಾಯವನ್ನು ಪ್ರಾರಂಭಿಸುತ್ತೇವೆ. ಈ ನಿಟ್ಟಿನಲ್ಲಿ, ಉನ್ನತ ಶಕ್ತಿ ಸಾಮಾನ್ಯವಾಗಿ 1 ಕ್ಕಿಂತ ಹೆಚ್ಚಿನ ಅರ್ಧ ಡಬ್ಲ್ಯೂ. ನಂತರ ನಾವು ವಿದ್ಯುತ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ಗಳು ಎಂದು ಕರೆಯಲ್ಪಡುವ ಉನ್ನತ-ಶಕ್ತಿಯ ಔಟ್ ಹಂತಗಳ ವಿನ್ಯಾಸದಲ್ಲಿ ನಿಯೋಜಿಸಲಾದ ಬಿಜೆಟಿಗಳ ನಿರ್ದಿಷ್ಟ ಅವಶ್ಯಕತೆಗಳನ್ನು ಪರಿಗಣಿಸುತ್ತೇವೆ.

ಪವರ್ ಅಂಪ್ಲಿಫೈಯರ್ ಸರಳವಾಗಿ ಉನ್ನತ-ಶಕ್ತಿಯ ಬೆಟ್ಟುಟ್ ಹಂತವನ್ನು ಹೊಂದಿರುವ ಅಂಪ್ಲಿಫೈಯರ್ ಆಗಿದೆ.

ಡಿಸ್ಟ್ರೀಟ್- ಮತ್ತು ಇಂಟಿಗ್ರೇಟೆಡ್-ಸರ್ಕ್ಯೂಟ್ ಪವರ್ ಅಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಉದಾಹರಣೆಗಳನ್ನು ಪ್ರಸ್ತುತಪಡಿಸಲಾಗುತ್ತದೆ. ಬಿಜೆಟಿಗಳು ಎಂಒಎಸ್‌ಎಫ್‌ಇಟಿಗಳಿಗಿಂತ ಹೆಚ್ಚು ದೊಡ್ಡ ವಿದ್ಯುತ್ ಪ್ರವಾಹಗಳನ್ನು ನಿಭಾಯಿಸಬಲ್ಲ ಕಾರಣ, ಅವು ಔಟ್ಪುಟ್ ಹಂತಗಳ ವಿನ್ಯಾಸದಲ್ಲಿ ಆದ್ಯತೆ ನೀಡುತ್ತವೆ

आउटपुट स्टेजचे एक महत्त्व आहे की म्हणजे कमी आउटपुट प्रतिकार सह अम्प्लीफायर प्रदान करणे जेणेकरून ते नफा न गमावत प्लोडिंग आउटपुट सिग्नल पितरित करू शके. आउटपुट स्टेज पार्थक अंतिम टप्पे असल्याने, तो सहसर्तुने मोठ्या सिग्नल हलकते. अश्वप्रकारे पहात-सिग्नल अंदाजे आणि मॉडे एकतर प्लू नही की कळजी घेऊन पसर करणे आवश्यक आहे. तथापि, रेखीयता एक अतिशय महत्वाची आवश्यकता होते. खरं तर, आउटपुट स्टेजच्या चांगल्या पणाचा एक उपाय हा एकूण हार्मोनिक विकृती (टीएचडी) आहे जो तो सादर करतो. हे मूळभूत, मूळभूत च्या rms टक्केपेक्षा म्हणून व्यक्त पळत आउटपुट सिग्नलच्या हार्मोनिक घटकांचे rms मूल्य आहे. आउटपुट स्टेजच्या डिझाइनमध्ये सर्वात आव्हानात्मक आवश्यकता म्हणजे त्यासाठी कार्यक्षम पद्धतीने प्लोड करण्यासाठी आवश्यक असलेली शक्ती पितरीत करणे. हे सूचित करते की आउटपुट-स्टेज ट्रान्झिस्टरमध्ये प्रसिर्जित केलेली शक्ती शक्य तितक्या कमी असणे आवश्यक आहे. ही गरज प्रामुख्याने एक ट्रान्झिस्टर मध्ये प्रिघळली शक्ती त्याच्या अंतर्गत जंक्शन तणमण होते, आणि जस्तीत जस्त तणमण आहे (सिपिकॉन साधने साठी 150degC ते 200degC श्रेणीत) पर ट्रान्झिस्टर नष्ट आहे की पासून stems. एक उच्च शक्ती-रूपंतरण कार्यक्षमता देखील बवरी-चपित सर्किट मध्ये काय बवरी आयुष्य पंजणीपर, एक पहात, कमी खर्चाची पीज पुरठपरपंजगी, किंथंड चढते गरज obviate करण्यासाठी आवश्यक असू शकते. आम्ही कमी आणि उच्च शक्ती दोन्ही हलकते की amplifiers मध्ये कार्यरत विविध आउटपुट-स्टेज संरचना अभ्यास हा अध्ययन सुरू. यंसंदर्भात, उच्च शक्ती साधारणपणे 1 पेक्षा जास्त अर्थ प. उच्च-पावर आउटपुट टप्प्याच्या डिझाइनमध्ये कार्यरत असलेल्या बीजेटीच्या विशेष आवश्यकतांना आम्ही विचार करतो, ज्यापावर ट्रान्झिस्टर म्हणतात.

एक शक्ती ंर्धक फक्त उच्च-शक्ती आउटपुट स्टेजसह एक ंर्धक आहे. ििंक्षित- आणि एक ंर्धक सर्किट पॉवर ंर्धकांी उदकरणे सद्धर केी जळीं. BJT's MOSFET's पेक्षंजस्त मोठ्यं्रण हंलळू शकतं, त्यांले ते आउटपुट टप्प्यां्रणडिझांनमध्ये पसंत केे जळतं

3.12 Classification Of Output stages:

Output stages are classified according to the collector current waveform that results when an input signal is applied. Figure 3.12 illustrates the classification for the case of a sinusoidal input signal. The class A stage, whose associated waveform is shown in Fig. 3.12(a), is biased at a current I_C greater than the amplitude of the signal current $\hat{I}_C$. Thus the transistor in a class A stage conducts for the entire cycle of the input signal; that is, the conduction angle is 360° . In contrast, the class B stage, whose associated waveform is shown in Fig. 3.12(b), is biased at zero dc current. Thus a transistor in a class B stage conducts for only half the cycle of the input sine wave, resulting in a conduction angle of 180° .

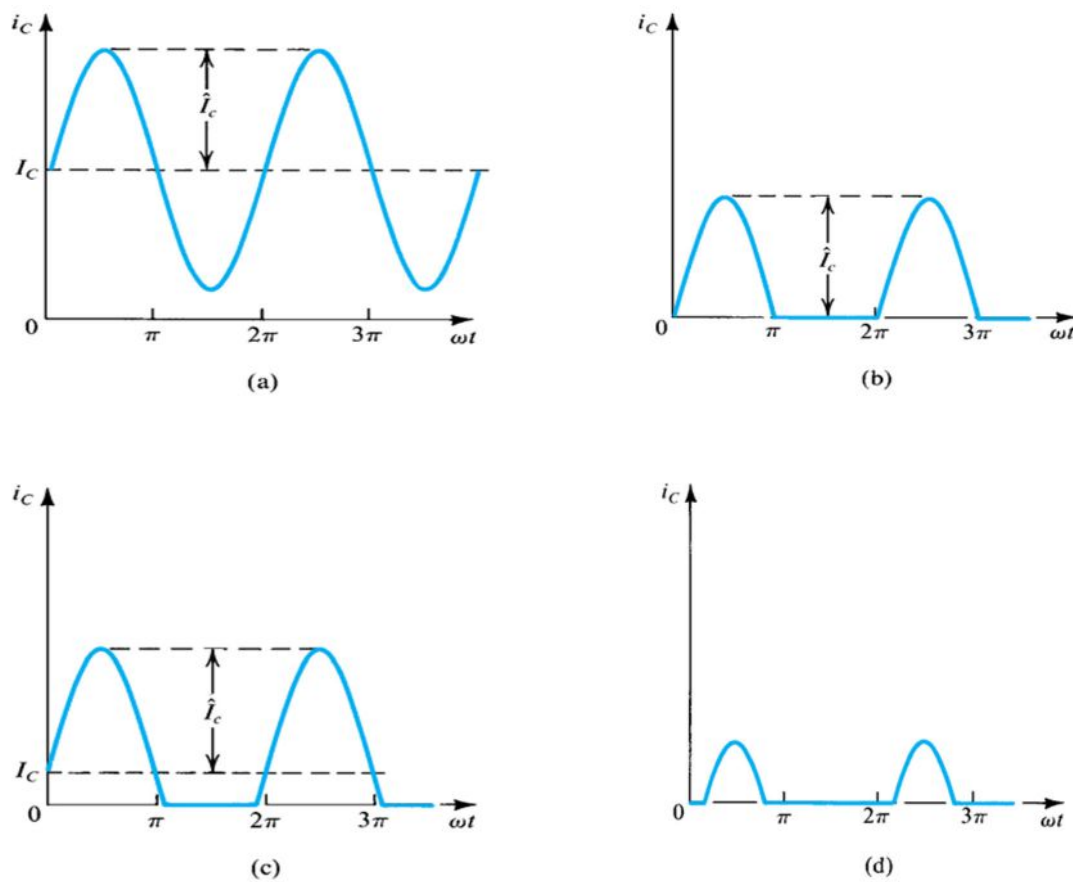


Figure 3.12: Collector current waveforms for transistors operating in (a) class A, (b) class B, (c) class AB, and (d) class C amplifier stages.

As will be seen later, the negative halves of the sinusoid will be supplied by another transistor that also operates in the class B mode and conducts during the alternate half-cycles. An intermediate class between A and B, appropriately named class AB, involves biasing the transistor at a nonzero dc current much smaller than the peak current of the sine-wave signal. As a result, the transistor conducts for an interval slightly greater than half a cycle, as illustrated

in Fig. 3.12(c). The resulting conduction angle is greater than 180° but much less than 360° . The class AB stage has another transistor that conducts for an interval slightly greater than that of the negative half-cycle, and the currents from the two transistors are combined in the load. It follows that, during the intervals near the zero crossings of the input sinusoid, both transistors conduct. Figure 3.12(d) shows the collector-current waveform for a transistor operated as a class C amplifier. Observe that the transistor conducts for an interval shorter than that of a halfcycle; that is, the conduction angle is less than 180° . The result is the periodically pulsating current waveform shown. To obtain a sinusoidal output voltage, this current is passed through a parallel LC circuit, tuned to the frequency of the input sinusoid. The tuned circuit acts as a bandpass filter and provides an output voltage proportional to the amplitude of the fundamental component in the Fourier-series representation of the current waveform. Class A, AB, and B amplifiers are studied in this chapter. They are employed as output stages of op amps and audio power amplifiers. In the latter application, class AB is the preferred choice, for reasons that will be explained in the sections to follow. Class C amplifiers are usually employed for radio-frequency (RF) power amplification (required, e.g., in mobile phones and radio and TV transmitters). The design of class C amplifiers is a rather specialized topic and is not included in this book. However, we should point out that the tuned-resonator oscillator circuits operate inherently in the class C mode. Although the BJT has been used to illustrate the definition of the various output-stage classes, the same classification applies to output stages implemented with MOSFETs. Furthermore, the classification above extends to amplifier stages other than those used at the output. In this regard, all the common-emitter, common-base, and common-collector amplifiers (and their FET counterparts) studied in earlier chapters fall into the class A category.

ಇನ್ವುಟ್ ಸಂಕೇತವನ್ನು ಅನ್ವಯಿಸಿದಾಗ ಉಂಟಾಗುವ ಸಂಗ್ರಾಹಕ ಪ್ರಸ್ತುತ ತರಂಗರೂಪದ ಪ್ರಕಾರ ಔಟ್ಪುಟ್ ಹಂತಗಳನ್ನು ವರ್ಗೀಕರಿಸಲಾಗಿದೆ. ಚಿತ್ರ 3.12(a) ಸೈನುಸೈಡಲ್ ಇನ್ವುಟ್ ಸಿಗ್ನಲ್ ಪ್ರಕರಣಕ್ಕಾಗಿ ವರ್ಗೀಕರಣವನ್ನು ವಿವರಿಸುತ್ತದೆ. ವರ್ಗ ಎ ಹಂತ, ಇದರ ಸಂಬಂಧಿತ ತರಂಗರೂಪವನ್ನು ಚಿತ್ರಣದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. ಹೀಗಾಗಿ ಒಂದು ವರ್ಗ A ಹಂತದಲ್ಲಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಇನ್ವುಟ್ ಸಿಗ್ನಲ್ ಸಂಪೂರ್ಣ ಚಕ್ರಕ್ಕೆ ನಡೆಸುತ್ತದೆ, ಅಂದರೆ ವಾಹಕ ಕೋನವು 360° ಆಗಿದೆ. ಇದಕ್ಕೆ ವಿರುದ್ಧವಾಗಿ, ವರ್ಗ ಬಿ ಹಂತ, ಅದರ ಸಂಬಂಧಿತ ತರಂಗರೂಪವನ್ನು ಚಿತ್ರಗಳಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 3.1 (ಬಿ), ಶೂನ್ಯ ಡಿಸಿ ಪ್ರವಾಹದಲ್ಲಿ ಪಕ್ಷಪಾತವಾಗಿದೆ. ಹೀಗಾಗಿ ಒಂದು ವರ್ಗ B ಹಂತದಲ್ಲಿ

MODULE -3

ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಇನ್ಪುಟ್ ಸೈನ್ ತರಂಗದ ಅರ್ಧದಷ್ಟು ಚಕ್ರವನ್ನು ಮಾತ್ರ ನಡೆಸುತ್ತದೆ, ಇದರ ಪರಿಣಾಮವಾಗಿ ವಾಹಕ ಕೋನವು 180deg ಆಗಿರುತ್ತದೆ.

ಮುಂದೆ ನೋಡುವಂತೆ, ಸೈನುಸೈಡ್ ನಕಾರಾತ್ಮಕ ಅರ್ಧಭಾಗವನ್ನು ಮತ್ತೊಂದು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಪೂರೈಸುತ್ತದೆ, ಅದು ವರ್ಗ ಬಿ ಮೋಡ್ಲಿಯೂ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ ಮತ್ತು ಪರ್ಯಾಯ ಅರ್ಧ ಚಕ್ರಗಳ ಸಮಯದಲ್ಲಿ ನಡೆಸುತ್ತದೆ. A ಮತ್ತು B ನಡುವಿನ ಮಧ್ಯಂತರ ವರ್ಗ, ಸೂಕ್ತವಾಗಿ ವರ್ಗ AB ಎಂದು ಹೆಸರಿಸಲ್ಪಟ್ಟಿದೆ, ಸೈನ್-ತರಂಗ ಸಂಕೇತದ ಗರಿಷ್ಠ ಪ್ರವಾಹಕ್ಕಿಂತ ಚಿಕ್ಕದಾದ ನಾನ್ವೆರೋ ಡಿಸಿ ಪ್ರವಾಹದಲ್ಲಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಪಕ್ಷಪಾತಗೊಳಿಸುವುದನ್ನು ಒಳಗೊಂಡಿರುತ್ತದೆ. ಪರಿಣಾಮವಾಗಿ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅರ್ಧ ಚಕ್ರಕ್ಕಿಂತ ಸ್ವಲ್ಪ ಹೆಚ್ಚಿನ ಮಧ್ಯಂತರಕ್ಕಾಗಿ ನಡೆಸುತ್ತದೆ, ಚಿತ್ರ 3.1 (ಸಿ) ನಲ್ಲಿ ಚಿತ್ರಿಸಲಾಗಿದೆ. ಪರಿಣಾಮವಾಗಿ ವಾಹಕತೆಯ ಕೋನವು 180deg ಕ್ಕಿಂತ ಹೆಚ್ಚಿರುತ್ತದೆ ಆದರೆ 360deg ಕ್ಕಿಂತ ಕಡಿಮೆ ಇರುತ್ತದೆ. ವರ್ಗ ಎಬಿ ಹಂತವು ಮತ್ತೊಂದು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಹೊಂದಿದೆ, ಅದು ನಕಾರಾತ್ಮಕ ಅರ್ಧ-ಚಕ್ರಕ್ಕಿಂತ ಸ್ವಲ್ಪ ಹೆಚ್ಚಿನ ಮಧ್ಯಂತರಕ್ಕೆ ನಡೆಸುತ್ತದೆ, ಮತ್ತು ಎರಡು ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳಿಂದ ಪ್ರವಾಹಗಳನ್ನು ಲೋಡ್‌ನಲ್ಲಿ ಸಂಯೋಜಿಸಲಾಗುತ್ತದೆ. ಇದು ಇನ್ಪುಟ್ ಸಿನುಸಾಯ್ಡ್ ಶೂನ್ಯ ಕ್ರಾಸಿಂಗ್‌ಗಳ ಬಳಿ ಮಧ್ಯಂತರಗಳ ಸಮಯದಲ್ಲಿ, ಎರಡೂ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳು ನಡೆಸುತ್ತವೆ ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. ಚಿತ್ರ 3.1 (ಡಿ) ಒಂದು ವರ್ಗ ಸಿ ಆಂಪ್ಲಿಫಯರ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುವ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳಿಗೆ ಸಂಗ್ರಾಹಕ-ಪ್ರಸ್ತುತ ತರಂಗರೂಪವನ್ನು ತೋರಿಸುತ್ತದೆ. ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅರ್ಧ ಚಕ್ರಕ್ಕಿಂತ ಕಡಿಮೆ ಅವಧಿಯ ಮಧ್ಯಂತರಕ್ಕೆ ನಡೆಸುತ್ತದೆ ಎಂಬುದನ್ನು ಗಮನಿಸಿ: ಅಂದರೆ ವಾಹಕ ಕೋನವು 180deg ಕ್ಕಿಂತ ಕಡಿಮೆಯಿರುತ್ತದೆ. ನಿಯತಕಾಲಿಕವಾಗಿ ಪರಿಣಾಮವಾಗಿ ಪ್ರಸ್ತುತ ತರಂಗರೂಪವನ್ನು ತೋರಿಸಲಾಗಿದೆ. ಸೈನುಸೈಡಲ್ ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಪಡೆಯಲು, ಈ ಪ್ರವಾಹವನ್ನು ಸಮಾನಾಂತರ ಎಲ್ಫಿ ಸರ್ಕ್ಯೂಟ್ ಮೂಲಕ ಹಾದುಹೋಗುತ್ತದೆ, ಇನ್ಪುಟ್ ಸೈನುಸೈಡ್ ಅವರ್ತನಕ್ಕೆ ಟ್ಯೂನ್ ಮಾಡಲಾಗುತ್ತದೆ. ಟ್ಯೂನ್ಡ್ ಸರ್ಕ್ಯೂಟ್ ಒಂದು ಬ್ಯಾಂಡ್‌ಪಾಸ್ ಫಿಲ್ಟರ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ ಮತ್ತು ಪ್ರಸ್ತುತ ತರಂಗರೂಪದ ಫೋರಿಯರ್-ಸರಣಿ ಪ್ರಾತಿನಿಧ್ಯದಲ್ಲಿ ಮೂಲಭೂತ ಘಟಕದ ವೈಶಾಲ್ಯಕ್ಕೆ ಅನುಗುಣವಾಗಿ ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಒದಗಿಸುತ್ತದೆ. ವರ್ಗ ಎ, ಎಬಿ, ಮತ್ತು ಬಿ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳನ್ನು ಈ ಅಧ್ಯಾಯದಲ್ಲಿ ಅಧ್ಯಯನ ಮಾಡಲಾಗುತ್ತದೆ. ಅವರು ಒಪ್ ಆಂಪ್ಸ್ ಮತ್ತು ಆಡಿಯೋ ಪವರ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಔಟ್ಪುಟ್ ಹಂತಗಳಾಗಿ

ನಿಯೋಜಿಸಲಾಗಿದೆ. ನಂತರದ ಅನ್ವಯದಲ್ಲಿ, ವರ್ಗ ಎಬಿ ಆದ್ಯತೆಯ ಆಯ್ಕೆಯಾಗಿದೆ, ಅನುಸರಿಸಬೇಕಾದ ವಿಭಾಗಗಳಲ್ಲಿ ವಿವರಿಸುವ ಕಾರಣಗಳಿಗಾಗಿ. ವರ್ಗ ಸಿ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳನ್ನು ಸಾಮಾನ್ಯವಾಗಿ ರೇಡಿಯೋ-ಆವರ್ತನ (ಆರ್ಎಫ್) ವಿದ್ಯುತ್ ವರ್ಧನೆಗಾಗಿ ಬಳಸಲಾಗುತ್ತದೆ (ಅಗತ್ಯವಿರುತ್ತದೆ, ಉದಾ: ಮೊಬೈಲ್ ಫೋನ್‌ಗಳು ಮತ್ತು ರೇಡಿಯೋ ಮತ್ತು ಟಿವಿ ಟ್ರಾನ್ಸ್ಮಿಟರ್‌ಗಳಲ್ಲಿ). ವರ್ಗ ಸಿ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ವಿನ್ಯಾಸವು ಒಂದು ಬದಲಿಗೆ ವಿಶೇಷ ವಿಷಯವಾಗಿದೆ ಮತ್ತು ಈ ಪುಸ್ತಕದಲ್ಲಿ ಸೇರಿಸಲಾಗಿಲ್ಲ. ಆದಾಗ್ಯೂ, ನಾವು ಟ್ಯೂನ್ಡ್-ರೆಸೋನೇಟರ್ ಆಸಿಲೇಟರ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳು ವರ್ಗ ಸಿ ಕ್ರಮದಲ್ಲಿ ಅಂತರ್ಗತವಾಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತವೆ ಸೂಚಿಸಬೇಕು.

ಈ ನಿಟ್ಟಿನಲ್ಲಿ, ಮುಂಚಿನ ಅಧ್ಯಾಯಗಳಲ್ಲಿ ಅಧ್ಯಯನ ಮಾಡಿದ ಎಲ್ಲಾ ಸಾಮಾನ್ಯ-ಎಮಿಟರ್, ಸಾಮಾನ್ಯ-ಬೇಸ್, ಮತ್ತು ಸಾಮಾನ್ಯ-ಕಲೆಕ್ಟರ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು (ಮತ್ತು ಅವರ ಎಫ್‌ಇಟಿ ಕೌಂಟರ್‌ಪಾರ್ಟ್ಸ್) ವರ್ಗ ಎ ವರ್ಗಕ್ಕೆ ಸೇರುತ್ತವೆ.

उत्पन्न टप्प्यात एक इनपुट सिग्नल $\sin \omega t$ के दो जट्टे तेव्हा परिणाम कट्टर $\sin \omega t$ तरंग त्यामुळे $\sin \omega t$ के दो जट्टे जट्टे. आकृती 3.12 एक sinusoidal इनपुट सिग्नल बाबतीत $\sin \omega t$ के दो जट्टे करत. $\sin \omega t$ अ स्टेज, ज्यासंबद्ध तरंग फिग मध्ये दर्शाविले आहे. 3.12 (अ), सिग्नल $\sin \omega t$ I_{c1} च्यो मोठेपण पेक्षा जस्त $\sin \omega t$ आयसी येथे पक्षपट्टी आहे, अशाप्रकारे एक $\sin \omega t$ टप्प्यात ट्रान्झिस्टर इनपुट सिग्नल संपूर्ण चक्र आयोजित; की, अभिसरण कोन 360° आहे. यत्नात, $\sin \omega t$ ब स्टेज, ज्यासंबद्ध तरंग फिग मध्ये दर्शाविले आहे. 3.12 (ब), शून्य डीसी $\sin \omega t$ येथे पक्षपट्टी आहे. त्यामुळे एक $\sin \omega t$ टप्प्यात एक ट्रान्झिस्टर फक्त अर्धचक्र इनपुट साइन $\sin \omega t$ हर, 180° च्यो अभिसरण कोन परिणामी आयोजित.

नंतर पहिले जट्टे म्हणून, sinusoid नकारात्मक अर्धचक्र ट्रान्झिस्टर द्वारे पुरविले जाई की $\sin \omega t$ ब मोड मध्ये देखील कार्य करते आणि पर्यायी अर्धचक्र दरम्यान आयोजित. ए आणि बी मधील मध्यस्थ $\sin \omega t$, योग्यरित्या नकारात्मक एबी, साइन-वेव सिग्नल च्यो शिखर $\sin \omega t$ पेक्षा जस्त $\sin \omega t$ असलेल्या नॉनझेरो डीसी $\sin \omega t$ पेक्षा जस्त $\sin \omega t$ करणे समीष्ट करते. एक परिणाम म्हणून, ट्रान्झिस्टर अर्धचक्र सारक्या पेक्षा किंचित जस्त एक मध्यंतर सारकी आयोजित, चित्र 3.12 (क) मध्ये सचित्र म्हणून. परिणामी चरण $\sin \omega t$ 180° पेक्षा जस्त आहे परंतु 360° पेक्षा खूपच कमी आहे. $\sin \omega t$ एबी स्टेजमध्ये आणखी एक ट्रान्झिस्टर आहे जे नकारात्मक अर्धचक्र पेक्षा किंचित जस्त अंतरासाठी चालते आणि दोन ट्रान्झिस्टरमधून प्रवाह मोडमध्ये एकत्रित केले जाऊन. हे अनुसरण करते की, इनपुट sinusoid च्यो शून्य क्रॉसिंग जवळ अंतरात दरम्यान, दोन्ही ट्रान्झिस्टर आचर. आकृती 3.12 (डी) $\sin \omega t$ सी $\sin \omega t$ म्हणून

ऑपरेट ट्रान्झिस्टरसाठी कोक्टर-वर्तमान तरंग दर्शविते. एकल घटकी ट्रान्झिस्टर अर्धचक्रपेक्षकमी अंतरसाठी चालते; म्हणजे, चालणे कोन 180deg पेक्षकमी आहे. परिणाम अधूनमधून आहे वर्तमान तरंग दर्शविलेल्या धडधडणे. एक sinusoidal आउटपुट व्होल्टेज प्राप्त करण्यासाठी, या वर्तमान इनपुट sinusoid च्या उलटपट्टीत घ्या, समान एंसी सर्किट मध्यममून पास आहे. ट्यून सर्किट एक bandpass फिल्टर म्हणून कार्य करते आणि वर्तमान तरंग च्या Fourier-श्रृंखला प्रतिनिधित्व मूळभूत घटक मोठेपणा प्रमाणात एक आउटपुट व्होल्टेज प्रदान करते. या अध्यक्षात क्लास ए, एबी आणि बी एम्प्लीफायर्सचा अभ्यास केला जातो. ते ऑप एम्प्स आणि ऑडिओ पॉवर एम्प्लीफायर्सचे आउटपुट स्टेज म्हणून कार्यरत आहेत. नंतरचे अनुप्रयोग मध्ये एंसी एबी पसंतीचालिनी, ज्याकरणांमुळे विभागांमध्ये समजवून सांगितले जाईल अनुसरण करणे एंसी सी र्धक सहसंरेडिओ-फ्रिक्वेंसी (आरएफ) शक्ती प्रार्धन (आवश्यक, उदाहरणार्थ, मोबाइल फोन आणि रेडिओ आणि टीव्ही ट्रान्समीटर मध्ये) सही कार्यरत आहेत. एंसी र्धकांची रचना एक ऐंजी विशेष विषय आहे आणि या पुस्तकात समीष्ट नाही. तथापि, आपण ट्यून-अनुनयक अष्टपैतृत्व सर्किट एंसी मोड मध्ये अंगभूत कार्य की निर्देशित केले पाहिजे. विविध आऊटपुट-स्टेज क्लासेसची व्याख्या स्पष्ट करण्यासाठी BJT चालका केलेले असतील, MOSFETs सह चालू केलेल्या आऊटपुट टप्प्यांवर तेच वर्गीकरण चालू होते. शिवाय, एंसी वर्गीकरण आऊटपुट येथे चाललेल्या व्यतिरिक्त इतर प्रार्धक टप्प्यात दाखविते. या संदर्भात, सर्प सामान्य-एमिटर, सामान्य-बेस, आणि सामान्य-कोक्टर र्धक (आणि त्यांच्या FET समकक्ष) पूर्वीच्या अध्यांमध्ये अभ्यासलेले सर्प एंसी श्रेणीमध्ये येताना.

3.13 Class – A Output Stage:

Because of its low output resistance, the emitter follower is the most popular class A output stage.

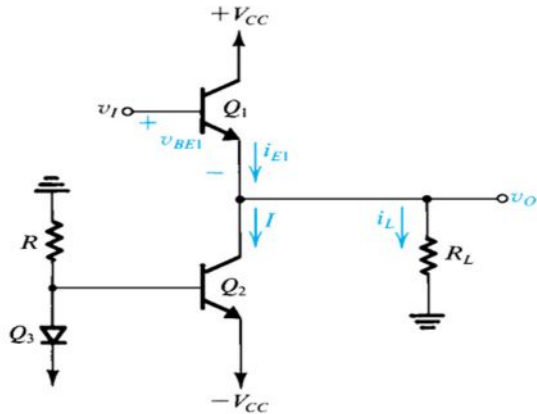
Transfer Characteristic:

Figure 3.13 shows an emitter follower Q_1 biased with a constant current I supplied by transistor Q_2 . Since the emitter current $i_{E1} = I + i_L$, the bias current I must be greater than the largest negative load current; otherwise, Q_1 cuts off and class A operation will no longer be maintained.

The transfer characteristic of the emitter follower of Fig. 3.13 is described by

$$v_O = v_I - v_{BE1}$$

where v_{BE1} depends on the emitter current i_{E1} and thus on the load current i_L . If we neglect the relatively small changes in v_{BE1} (60 mV for every factor-of-10 change in emitter current), the linear transfer curve shown in Fig. 3.14 results.



As indicated, the positive limit of the linear region is determined by the saturation of Q_1 ; thus

$$v_{Omax} = V_{CC} - V_{CE1sat}$$

Figure 3.13: An emitter follower (Q_1) biased with a constant current I supplied by transistor Q_2 .

In the negative direction, depending on the values of I and R_L , the limit of the linear region is determined either by Q_1 turning off,

$$v_{Omin} = -IR_L$$

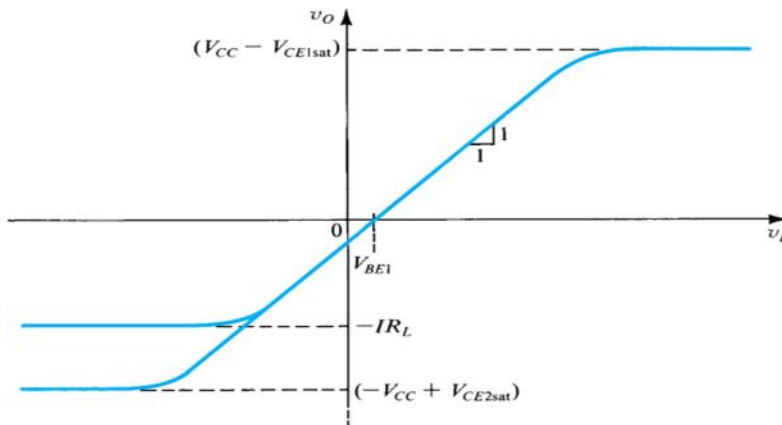


Figure:3.11 Transfer characteristic of the emitter follower in Fig. 3.11. This linear characteristic is obtained by neglecting the change in v_{BE1} with i_L . The maximum positive output is determined by the saturation

of Q_1 . In the negative direction, the limit of the linear region is determined either by Q_1 turning off or by Q_2 saturating, depending on the values of I and R_L .

Or by Q_2 saturating,

$$v_{Omin} = -V_{CC} + V_{CE2sat}$$

MODULE -3

The absolutely lowest (most negative) output voltage is that given by above equation and is achieved provided the bias current I is greater than the magnitude of the corresponding load current,

$$I \geq \frac{|-V_{CC} + V_{CE2sat}|}{R_L}$$

Signal Waveforms:

Consider the operation of the emitter-follower circuit of Fig. 3.13 for sine-wave input. Neglecting V_{CESat} , we see that if the bias current I is properly selected, the output voltage can swing from $-V_{CC}$ to $+V_{CC}$ with the quiescent value being zero, as shown in Fig. 3.15(a). Figure 3.15(b) shows the corresponding waveform of $v_{CE1} = V_{CC} - v_o$. Now, assuming that the bias current I is selected to allow a maximum negative load current of V_{CC} / R_L , that is

$$I = V_{CC} / R_L$$

the collector current of Q_1 will have the waveform shown in Fig. 3.15(c). Finally, Fig. 3.15(d) shows the waveform of the instantaneous power dissipation in Q_1 ,

$$p_{D1} \equiv v_{CE1} i_{C1}$$

ಫಿಗರ್ನ್ ಹೊರಸೂಸುವ-ಅನುಯಾಯಿ ಸರ್ಕ್ಯೂಟ್ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಪರಿಗಣಿಸಿ. ಸೈನ್-ವೇವ್ ಇನ್ಪುಟ್‌ಗಾಗಿ 3.15 ರೂ. ವಿಸಿಇಸ್ಯಾಟ್ ಅನ್ನು ನಿರ್ಲಕ್ಷಿಸುವುದರಿಂದ, ಪಕ್ಷಪಾತ ಪ್ರವಾಹವನ್ನು ನಾನು ಸರಿಯಾಗಿ ಆಯ್ಕೆಮಾಡಿದರೆ, output ಟ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ -ವಿಸಿಸಿಯಿಂದ + ವಿಸಿಸಿಗೆ ಸ್ವಿಂಗ್ ಮಾಡಬಹುದು ಎಂದು ನಾವು ನೋಡುತ್ತೇವೆ. 3.15 (ಅ). ಚಿತ್ರ 3.15 (ಬಿ) v_{CE1} ವಿಸಿಸಿ - ವಿಬ ಅನುಗುಣವಾದ ತರಂಗರೂಪವನ್ನು ತೋರಿಸುತ್ತದೆ. ಈಗ, ವಿಸಿಸಿ / ಆರ್ಎಲ್ ಗರಿಷ್ಠ ನಕಾರಾತ್ಮಕ ಲೋಡ್ ಪ್ರವಾಹವನ್ನು ಅನುಮತಿಸಲು ಪಕ್ಷಪಾತ ಪ್ರವಾಹ I ಅನ್ನು ಆಯ್ಕೆ ಮಾಡಲಾಗಿದೆ ಎಂದು ಊಹಿಸಿ, Q_1 ರ ಸಂಗ್ರಾಹಕ ಪ್ರವಾಹವು ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಿರುವ ತರಂಗರೂಪವನ್ನು ಹೊಂದಿರುತ್ತದೆ. 3.15 (ಗ). ಅಂತಿಮವಾಗಿ, ಚಿತ್ರ 3.15 (ಡಿ) Q_1 ರಲ್ಲಿ ತತ್ಕ್ಷಣದ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆಯ ತರಂಗರೂಪವನ್ನು ತೋರಿಸುತ್ತದೆ,

ಫಿಗರ್ನ್‌ಎಮಿಟರ್-ಫಾಲ್‌ಔರ ಸರ್ಕ್ಯೂಟ್‌ಆಪರೇಶನ್‌ಚಾರ್ಟ್‌ಗಳ ಕರಣ 3.15 ಸಿಗ್ನಲ್-ವೇವ್ ಇನ್ಪುಟ್‌ಗಾಗಿ. V_{CESat} ನಿರ್ಲಕ್ಷಿಸಿ ಕರಣಗಳ ಆಧಾರದ ಮೇಲೆ ಪಕ್ಷಪಾತ ಪ್ರವಾಹವನ್ನು ನಾನು ಸರಿಯಾಗಿ ಆಯ್ಕೆಮಾಡಿದರೆ, output ಟ್ಯೂಟ್ ವೋಲ್ಟೇಜ್ -ವಿಸಿಸಿಯಿಂದ + ವಿಸಿಸಿಗೆ ಸ್ವಿಂಗ್ ಮಾಡಬಹುದು ಎಂದು ನಾವು ನೋಡುತ್ತೇವೆ. 3.15 (ಅ).

आकृती 3.15 (ब) $v_{CE1} = V_{CC} - v_O$ संबंधित तरंग दाखवते. आतंमि V_{CC} / आर एं जस्तीत जस्त नकलसक ढोड ढर्तमज परंजगी निंढो आहे पूर्णग्रह ढर्तमज गृहीत धरून, Q_1 जिल्हधिकारी ढर्तमज फिंग मध्ये दर्शीढो तरंग असें. 3.15 (क). शेढी, अंजीर. 3.15 (डी) Q_1 मध्ये ताकळ ढीज अपव्यय च्यतरंग दाखवते,

Power Dissipation:

Figure 3.15(d) indicates that the maximum instantaneous power dissipation in Q_1 is $V_{CC} I$. This is equal to the power dissipation in Q_1 with no input signal applied, that is, the quiescent power dissipation. Thus the emitter-follower transistor dissipates the largest amount of power when $v_O = 0$. Since this condition (no input signal) can easily prevail for prolonged periods of time, transistor Q_1 must be able to withstand a continuous power dissipation of $V_{CC} I$.

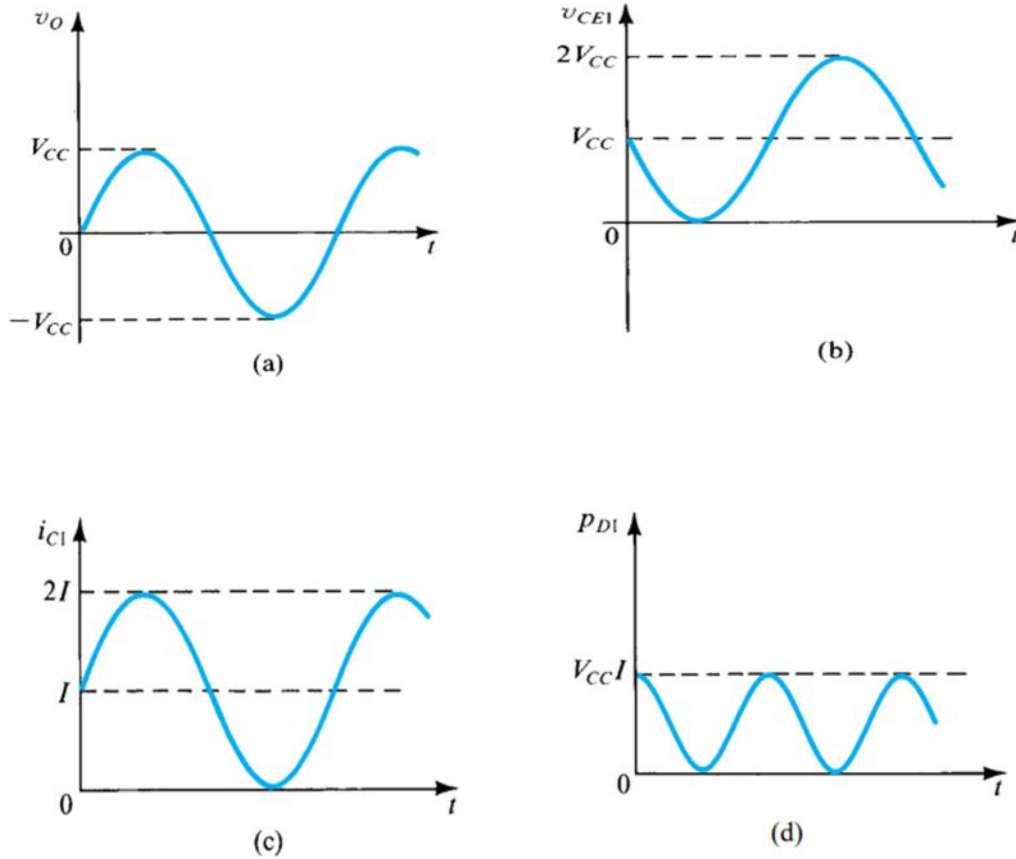


Figure 3.15: Maximum signal waveforms in the class A output stage of Fig. 3.14 under the condition $I = V_{CC} / R_L$ or, equivalently $R_L = V_{CC} / I$. Note that the transistor saturation voltages have been neglected.

The power dissipation in Q_1 depends on the value of R_L . Consider the extreme case of an output open circuit, that is, $R_L = \infty$. In this case, $i_{C1} = I$ is constant and the instantaneous power

MODULE -3

dissipation in Q_1 will depend on the instantaneous value of v_O . The maximum power dissipation will occur when $v_O = -V_{CC}$, for in this case v_{CE1} is a maximum of $2V_{CC}$ and $p_{D1} = 2V_{CC} I$. This condition, however, would not normally persist for a prolonged interval, so the design need not be that conservative. Observe that with an open-circuit load, the average power dissipation in Q_1 is $V_{CC} I$. A far more dangerous situation occurs at the other extreme of R_L —specifically, $R_L = 0$. In the event of an output short circuit, a positive input voltage would theoretically result in an infinite load current. In practice, a very large current may flow through Q_1 , and if the short-circuit condition persists, the resulting large power dissipation in Q_1 can raise its junction temperature beyond the specified maximum, causing Q_1 to burn up. To guard against such a situation, output stages are usually equipped with short-circuit protection, as will be explained later. The power dissipation in Q_2 also must be taken into account in designing an emitter follower output stage. Since Q_2 conducts a constant current I , and the maximum value of v_{CE2} is $2V_{CC}$, the maximum instantaneous power dissipation in Q_2 is $2V_{CC} I$. This maximum, however, occurs when $v_O = V_{CC}$, a condition that would not normally prevail for a prolonged period of time. A more significant quantity for design purposes is the average power dissipation in Q_2 , which is $V_{CC} I$.

ಚಿತ್ರ 3.15 (ಡಿ) Q_1 ರಲ್ಲಿ ಗರಿಷ್ಠ ತತ್ಕ್ಷಣದ ವಿದ್ಯುತ್ ವಿಘಟನೆ ವಿಸಿ ಸಿ I ಎಂದು ಸೂಚಿಸುತ್ತದೆ. ಇದು Q_1 ರಲ್ಲಿ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆಗೆ ಸಮಾನವಾಗಿರುತ್ತದೆ ಯಾವುದೇ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಅನ್ವಯಿಸಲಾಗಿದೆ, ಅಂದರೆ, ಶಾಂತ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ. ಹೀಗೆ ಹೊರಸೂಸುವ ಅನುಯಾಯಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅತಿ ದೊಡ್ಡ ಪ್ರಮಾಣದ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ ಮಾಡಿದಾಗ ವಿ. ಒ. ಎಕ್ಸ್ 0. ಈ ಸ್ಥಿತಿಯನ್ನು (ಯಾವುದೇ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್) ಸುಲಭವಾಗಿ ದೀರ್ಘಕಾಲದವರೆಗೆ ಮೇಲುಗೈ ಸಾಧಿಸಬಹುದು ರಿಂದ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q_1 ವಿಸಿ ಸಿ I ನಿರಂತರ ವಿದ್ಯುತ್ ವಿಘಟನೆ ತಡೆದುಕೊಳ್ಳುವ ಸಾಧ್ಯವಾಗುತ್ತದೆ ಮಾಡಬೇಕು.

Q_1 ರಲ್ಲಿ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ ಆರ್ಎಲ್ ಮೌಲ್ಯವನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ. ಟೆಟ್ಟುಟ್ ಓಪನ್ ಸರ್ಕ್ಯೂಟ್ ವಿಪರೀತ ಪ್ರಕರಣವನ್ನು ಪರಿಗಣಿಸಿ, ಅಂದರೆ, ಆರ್ಎಲ್. ಈ ಸಂದರ್ಭದಲ್ಲಿ, i_{C1} ಮತ್ತು ನಾನು ಸ್ಥಿರವಾಗಿರುತ್ತದೆ ಮತ್ತು Q_1 ರಲ್ಲಿ ತತ್ಕ್ಷಣದ ವಿದ್ಯುತ್ ವಿಯೋಜನೆ ತಕ್ಷಣದ ಮೌಲ್ಯವನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ. ಗರಿಷ್ಠ ವಿದ್ಯುತ್ ವಿಯೋಜನೆ ಯಾವಾಗ ವಿ. ಒ. ಎಕ್ಸ್ -ವಿ, ಫಾರ್ ಈ ಸಂದರ್ಭದಲ್ಲಿ v_{CE1} ಗರಿಷ್ಠ $2V_{CC}$ ಮತ್ತು p_{D1} ಮತ್ತು $2V_{CC} I$. ಈ ಸ್ಥಿತಿಯನ್ನು, ಆದರೂ, ದೀರ್ಘಕಾಲದವರೆಗೆ ಸಾಮಾನ್ಯವಾಗಿ ಮುಂದುವರಿಯುವುದಿಲ್ಲ, ಆದ್ದರಿಂದ ವಿನಾಶವು ಆ

MODULE -3

ಸಂಪ್ರದಾಯವಾದಿಯಾಗಬೇಕಾಗಿಲ್ಲ. ಒಂದು ಓಪನ್-ಸರ್ಕ್ಯೂಟ್ ಲೋಡ್ನೊಂದಿಗೆ, ಎಕ್ಸ್‌ಕ್ಯೂಟ್ ಸರಾಸರಿ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆಯನ್ನು ಗಮನಿಸಿ! ವಿಸಿಸಿ I. ಆರ್ಎಲ್ ಇನ್ನೊಂದು ತುದಿಯಲ್ಲಿ ಹೆಚ್ಚು ಅಪಾಯಕಾರಿ ಸನ್ನಿವೇಶವು ಸಂಭವಿಸುತ್ತದೆ-ನಿರ್ದಿಷ್ಟವಾಗಿ, ಆರ್ಎಲ್ ಎಕ್ಸ್ 0. ಔಟ್ ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್ ಸಂದರ್ಭದಲ್ಲಿ, ಧನಾತ್ಮಕ ಇನ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಸೈದ್ಧಾಂತಿಕವಾಗಿ ಅನಂತ ಲೋಡ್ ಪ್ರವಾಹಕ್ಕೆ ಕಾರಣವಾಗುತ್ತದೆ. ಪ್ರಾಯೋಗಿಕವಾಗಿ, ಬಹಳ ದೊಡ್ಡ ವಿದ್ಯುತ್ ಪ್ರವಾಹವು Q1 ಮೂಲಕ ಹರಿಯಬಹುದು, ಮತ್ತು ಶಾರ್ಟ್-ಸರ್ಕ್ಯೂಟ್ ಸ್ಥಿತಿಯು ಮುಂದುವರಿದರೆ, ಎಕ್ಸ್ ನಲ್ಲಿ ಉಂಟಾಗುವ ದೊಡ್ಡ ಶಕ್ತಿಯ ವಿಘಟನೆಯು ಅದರ ಜಂಕ್ಷನ್ ತಾಪಮಾನವನ್ನು ನಿರ್ದಿಷ್ಟಪಡಿಸಿದ ಗರಿಷ್ಠವನ್ನು ಮೀರಿ ಹೆಚ್ಚಿಸಬಹುದು, ಇದರಿಂದಾಗಿ Q1 ಸುಟ್ಟುಹೋಗುತ್ತದೆ. ಇಂತಹ ಪರಿಸ್ಥಿತಿ ವಿರುದ್ಧ ರಕ್ಷಿಸಲು, ಔಟ್ ಹಂತಗಳನ್ನು ಸಾಮಾನ್ಯವಾಗಿ ಶಾರ್ಟ್ ಸರ್ಕ್ಯೂಟ್ ರಕ್ಷಣೆ ಅಳವಡಿಸಿರಲಾಗುತ್ತದೆ, ನಂತರ ವಿವರಿಸಲಾಗುವುದು. Q2 ರಲ್ಲಿ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ ಸಹ ಹೊರಸೂಸುವ ಅನುಯಾಯಿ ಔಟ್ ಹಂತವನ್ನು ವಿನಾಸಗೊಳಿಸುವಲ್ಲಿ ಗಣನೆಗೆ ತೆಗೆದುಕೊಳ್ಳಬೇಕು. Q2 ಸ್ಥಿರ ವಿದ್ಯುತ್ I ಅನ್ನು ನಡೆಸುವುದರಿಂದ, ಮತ್ತು v_{CE2} ಗರಿಷ್ಠ ಮೌಲ್ಯವನ್ನು $2V_{CC}$ ಆಗಿದೆ, Q2 ರಲ್ಲಿ ಗರಿಷ್ಠ ತತ್ಕ್ಷಣದ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ $2V_{CC}$ ಐ. ಈ ಗರಿಷ್ಠ, ಆದರೂ, ವಿಘಟನೆ ಮತ್ತು ವಿಸಿಸಿ ಮಾಡಿದಾಗ ಸಂಭವಿಸುತ್ತದೆ, ದೀರ್ಘಕಾಲದವರೆಗೆ ಸಾಮಾನ್ಯವಾಗಿ ಅಸ್ತಿತ್ವದಲ್ಲಿರದ ಸ್ಥಿತಿ. ವಿನಾಸ ಉದ್ದೇಶಗಳಿಗಾಗಿ ಹೆಚ್ಚು ಗಮನಾರ್ಹ ಪ್ರಮಾಣದ Q2 ರಲ್ಲಿ ಸರಾಸರಿ ವಿದ್ಯುತ್ ವಿಸರ್ಜನೆ, ಇದು ವಿಸಿಸಿ I ಆಗಿದೆ.

ಆಕೃತಿ 3.15 (ಡಿ) ಸೂಚಿತ करते की Q1 मध्ये जलतीत जलत तलकल पीज अपवयय V_{CC} I आहे. हे Q1 मध्ये पीज अपवयय समल आहे इनपुट सिग्नल नलही, की quiescent शक्ती अपवयय होतो. त्यलुळे emitter-अनुसरण ट्रलंझिस्टर शक्ती सलंल मोठी रक्कम dissipates तेव्हेत $v_O = 0$. ही स्थिती (इनपुट सिग्नल नलही) सहज ढेळ प्रदीर्घ कललथीसलही ढिजय मिळू शकतलअसल्यल, ट्रलंझिस्टर Q1 V_{CC} मी एक सतत शक्ती अपवयय होणे सहन करण्यल सक्षम असणे आलश्यक आहे.

Q1 मध्ये पीज अपवयय आरण मूल्य अलंलून असते. आउटपुट ओपन सर्किटललतलंत प्रकरणलल ढिचल करल म्हणजे आरण = . यलप्रकरणल, $i_{C1} =$ मी स्थिर आहे आणि Q1 मधील तलकल पीज अपवयय व्हीओललतलकल मूल्यलल अलंलून असेल. जेव्हेलओ = -व्हीसीसी असेल तेव्हेजलतीत जलत पीज अपवयय होईल, यलप्रकरणल v_{CE1} कमल $2V_{CC}$ आणि $p_{D1} = 2V_{CC}$ I. ही स्थिती आहे, मल, सललणणे प्रदीर्घ मध्यलरलसलही कलम रलणल नलही, त्यलुळे रचनलतो पुरलमतलदी असणे आलश्यक नलही. ओपन-सर्किट ढोड, प्र सरलसरी शक्ती अपवयय होतो की पहल V_{CC} I आहे. R_L लल

इतर टोकवर एक जस्त धोकदाखक परिस्थिती उद्भूते - विशेषतः, $R_L = 0$. एक आउटपुट शॉर्ट सर्किट झाल्यास, एक सकलभूमक इनपुट व्होल्टेज सैद्धांतिक एक असीम पोट चढू परिणाम होई. सरळ मध्ये, एक अतिशय मोठ्याप्रकारे Q_1 माध्यमातून जाऊ शकते, आणि शॉर्ट-सर्किट अट कायम राहिल्यास, Q मध्ये परिणामी मोठ्याशक्ती अपव्यय होतो! त्याप्रयोजकेशन तत्त्वमज्ञ निर्दिष्ट जस्तीत जस्त पटीकडे जाऊ शकते, ज्यामुळे Q_1 जळून खाक होऊ शकते. अशापरिस्थितीपासून बचाव करण्यासाठी, आउटपुट टप्पे सहस्रशॉर्ट-सर्किट संरक्षणसह सुसज्ज असतात, जसे नंतर स्पष्ट केले जाई. Q_2 मध्ये पीज अपव्यय देखीक emitter अनुयायी आउटपुट स्टेज डिझाइन खालील घेणे आवश्यक आहे. Q_2 पासून सतत चढू I , तर v_{CE2} चे जस्तीत जस्त मूल्य $2V_{CC}$ आहे, Q_2 मध्ये जस्तीत जस्त तत्कळ पीज अपव्यय $2V_{CC}$ मी आहे. हे कमळ, मळ, व्हीओ = व्हीसीसी असताना घडते, एक अशी स्थिती जी सध्यारणपणे दीर्घ काळ मधीसली प्रभावित राहणार नाही. डिझाइन हेतूने एक अधिक पक्षणीय प्रमणान Q_2 मध्ये सरासरी शक्ती अपव्यय होतो जे V_{CC} मी.

Power Conversion Efficiency:

The power-conversion efficiency of an output stage is defined as

$$\eta \equiv \frac{\text{Load power } (P_L)}{\text{Supply power } (P_S)}$$

For the emitter follower of Fig. 3.14, assuming that the output voltage is a sinusoid with the peak value $\hat{V}_o$, the average load power will be,

$$P_L = \frac{(\hat{V}_o/\sqrt{2})^2}{R_L} = \frac{1}{2} \frac{\hat{V}_o^2}{R_L}$$

Since the current in Q_2 is constant (I), the power drawn from the negative supply is $V_{CC} I$. The average current in Q_1 is equal to I , and thus the average power drawn from the positive supply is $V_{CC} I$. Thus the total average supply power is

$$P_S = 2V_{CC}I$$

Above equations can be combines to yield,

$$\begin{aligned} \eta &= \frac{1}{4} \frac{\hat{V}_o^2}{IR_L V_{CC}} \\ &= \frac{1}{4} \left(\frac{\hat{V}_o}{IR_L} \right) \left(\frac{\hat{V}_o}{V_{CC}} \right) \end{aligned}$$

Since $\hat{V}_o \leq V_{CC}$ and $\hat{V}_o \leq IR_L$, maximum efficiency is obtained when

MODULE -3

$$\hat{V}_o = V_{CC} = IR_L$$

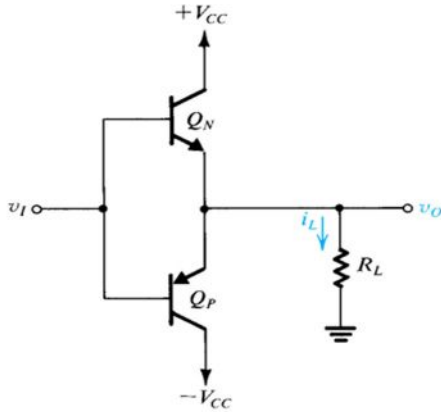
The maximum efficiency attainable is 25%. Because this is a rather low figure, the class A output stage is rarely used in high-power applications (>1 W). Note also that in practice the output voltage swing is limited to lower values to avoid transistor saturation and associated nonlinear distortion. Thus, the efficiency achieved in practice is usually in the 10% to 20% range.

3.2 Class – B Output Stage:

Figure 3.16 shows a class B output stage. It consists of a complementary pair of transistors (an npn and a pnp) connected in such a way that both cannot conduct simultaneously.

Circuit Operation:

When the input voltage v_1 is zero, both transistors are cut off and the output voltage v_O is zero. As v_1 goes positive and exceeds about 0.5 V, Q_N conducts and operates as an emitter follower. In this case v_O follows v_1 (i.e., $v_O = v_1 - V_{BE}$) and Q_N supplies the load current. Meanwhile, the emitter–base junction of Q_P will be reverse-biased by the V_{BE} of Q_N , which is approximately 0.7 V. Thus Q_P will be cut off.



If the input goes negative by more than about 0.5 V, Q_P turns on and acts as an emitter follower. Again v_O follows v_1 (i.e., $v_O = v_1 + V_{EBP}$), but in this case Q_P supplies the load current and Q_N will be cut off. We conclude that the transistors in the class B stage of Fig. 3.16 are biased at zero current and conduct only when the input signal is present. The circuit operates in a

push–pull fashion: Q_N pushes (sources) current into the load when v_1 is positive, and Q_P pulls (sinks) current from the load when v_1 is negative.

Figure:3.16: A class-B output stage.

ಇನ್ಪುಟ್ ವೋಲ್ಟೇಜ್ v_1 ಶೂನ್ಯವಾಗಿದ್ದಾಗ, ಎರಡೂ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳನ್ನು ಕತ್ತರಿಸಲಾಗುತ್ತದೆ ಮತ್ತು ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ವಿಒ ಶೂನ್ಯವಾಗಿರುತ್ತದೆ. v_1 ಧನಾತ್ಮಕವಾಗಿ ಹೋಗುತ್ತದೆ ಮತ್ತು ಸುಮಾರು 765-17 ವಿ ಮೀರಿದಾಗ,

MODULE -3

ಎಕ್ಸ್‌ಎನ್ ಒಂದು ಹೊರಸೂಸುವ ಅನುಯಾಯಿಯಾಗಿ ನಡೆಸುತ್ತದೆ ಮತ್ತು ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ. ಈ ಸಂದರ್ಭದಲ್ಲಿ ವಿಬಿ v1 ಅನ್ನು ಅನುಸರಿಸುತ್ತದೆ (ಅಂದರೆ v0 ಮತ್ತು v0 - ವಿಬಿಎನ್) ಮತ್ತು ಎಕ್ಸ್‌ಎನ್ ಲೋಡ್ ಪ್ರವಾಹವನ್ನು ಪೂರೈಸುತ್ತದೆ. ಏತನ್ಮಧ್ಯೆ, ಎಕ್ಸ್‌ಎನ್ ಯ ಹೊರಸೂಸುವ-ಬೇಸ್ ಜಂಕ್ಷನ್ ಅನ್ನು ಎಕ್ಸ್‌ಎನ್ ನ ವಿಬಿಇಯಿಂದ ಹಿಮ್ಮುಖ-ಪಕ್ಷಪಾತಗೊಳಿಸಲಾಗುತ್ತದೆ, ಇದು ಸರಿಸುಮಾರು 0.7 ವಿ ಆಗಿದೆ. ಇನ್ನುತ್ ಸುಮಾರು 0.5 ವಿ ಗಿಂತ ಹೆಚ್ಚು ನಕಾರಾತ್ಮಕವಾಗಿ ಹೋದರೆ, ಎಕ್ಸ್‌ಎನ್ ಆಗುತ್ತದೆ ಮತ್ತು ಹೊರಸೂಸುವ ಅನುಯಾಯಿಯಾಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ. ಮತ್ತೆ ವಿಬಿ v1 ಅನ್ನು ಅನುಸರಿಸುತ್ತದೆ (ಅಂದರೆ, ವಿಬಿ ಎಕ್ಸ್‌ಎನ್ v1 + ವಿಬಿಬಿ), ಆದರೆ ಈ ಸಂದರ್ಭದಲ್ಲಿ. ನಾವು ಫಿಗರ್ ವರ್ಗ ಬಿ ಹಂತದಲ್ಲಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳು ತೀರ್ಮಾನಕ್ಕೆ. 3.16 ಶೂನ್ಯ ಪ್ರವಾಹದಲ್ಲಿ ಪಕ್ಷಪಾತ ಮತ್ತು ಇನ್ನುತ್ ಸಿಗ್ನಲ್ ಇದ್ದಾಗ ಮಾತ್ರ ನಡೆಸಲಾಗುತ್ತದೆ. ಸರ್ಕ್ಯೂಟ್ ಪುಶ್ ಪುಲ್ ಶೈಲಿಯಲ್ಲಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ: v1 ಧನಾತ್ಮಕವಾಗಿದ್ದಾಗ ಕ್ಯೂಎನ್ (ಮೂಲಗಳು) ಪ್ರವಾಹವನ್ನು ಲೋಡ್ ತಳ್ಳುತ್ತದೆ, ಮತ್ತು v1 ನಕಾರಾತ್ಮಕವಾಗಿದ್ದಾಗ ಲೋಡ್‌ನಿಂದ .

ಇನ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ v1 ಶೂನ್ಯ आहे, तेव्हा दोन्ही ट्रान्झिस्टर कटून आणि आउटपुट वोल्टेज vO शून्य आहे. v1 सकलरूपक जातो आणि 0.5 व्ही पेक्षेजस्त आहे, क्यूएन एक emitter अनुयायी म्हणून आयोजित आणि कार्य करते. योप्रकरणे vO v1 (म्हणजे, vO = v0 - vBEN) आणि QN डोड र्त्तमज्ञ पुरािते. दरम्यज्ञ, QP च्ये emitter-बेस जंक्शन QN च्ये VBE, जे अंदजे 0.7 V आहे उाट-पक्षपज्ञी असे. अशोप्रकटे QP कटोअज्ञई.

जर इन्‌पुट सुमारे 0.5 V पेक्षेजस्त नकलरूपक गेो तर क्यूपी चळू होते आणि उत्सर्जक अनुयायी म्हणून कार्य करते. पुन्हा vO v1 (म्हणजे, vO = v1 + vEBP) चे अनुसरण करते, परंतु योप्रकरणे क्यूपी डोड करंट पुरातो आणि क्यूएन कटोअज्ञई. आम्ही असोनिष्कर्ष कळतो की फिगच्योर्ग ब स्टेजमध्ये ट्रान्झिस्टर. 3.16 शून्य र्त्तमज्ञ येथे पक्षपज्ञी आहेत आणि इन्‌पुट सिग्नो उपस्थित तेव्हा आचर. सर्किट एक पुश-पुो फलान मध्ये कार्य करते: QN v1 सकलरूपक आहे तेव्हा डोड मध्ये र्त्तमज्ञ ढकणे (स्त्रोत) आणि v1 नकलरूपक आहे तेव्हा QP डोड पासून र्त्तमज्ञ (सिंक) खेचणे.

Transfer Characteristic:

A sketch of the transfer characteristic of the class B stage is shown in Fig. 3.17. Note that there exists a range of v₁ centered around zero where both transistors are cut off and v_O is zero. This dead band results in the crossover distortion illustrated in Fig. 3.18 for the case of an input sine

wave. The effect of crossover distortion will be most pronounced when the amplitude of the input signal is small. Crossover distortion in audio power amplifiers gives rise to unpleasant sounds.

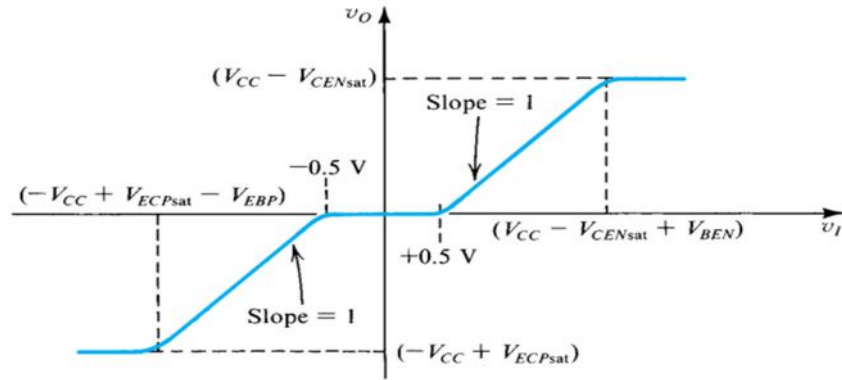


Figure 3.17: Transfer characteristic for the class B output stage in Fig. 3.16.

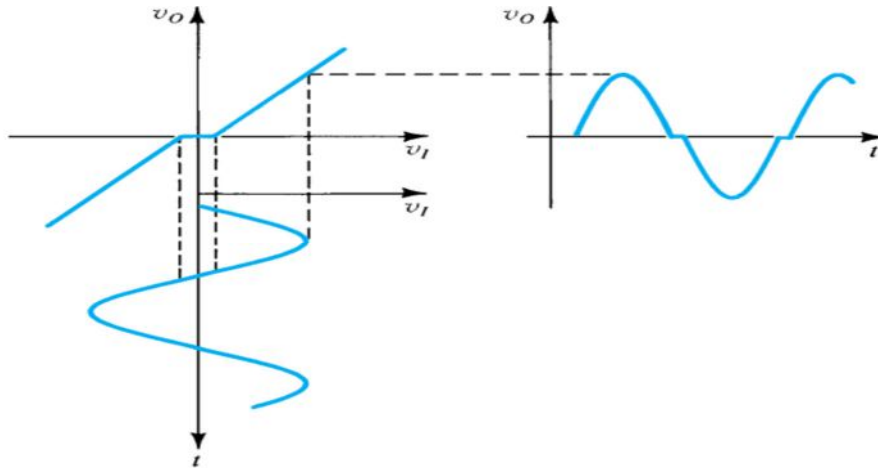


Figure: 3.18: Illustrating how the dead band in the class B transfer characteristic results in crossover distortion.

Power Conversion Efficiency:

To calculate the power-conversion efficiency, η , of the class B stage, we neglect the crossover distortion and consider the case of an output sinusoid of peak amplitude $\hat{V}_o$. The average load power will be

$$P_L = \frac{1}{2} \frac{\hat{V}_o^2}{R_L}$$

MODULE -3

The current drawn from each supply will consist of half-sine waves of peak amplitude ($\hat{V}_o / R_L$). Thus the average current drawn from each of the two power supplies will be $\hat{V}_o / \pi R_L$. It follows that the average power drawn from each of the two power supplies will be the same,

$$P_{S+} = P_{S-} = \frac{1}{\pi R_L} \hat{V}_o V_{CC}$$

and the total supply power will be

$$P_S = \frac{2}{\pi R_L} \hat{V}_o V_{CC}$$

Thus the efficiency will be given by

$$\eta = \left(\frac{1}{2} \frac{\hat{V}_o^2}{R_L} \right) / \left(\frac{2}{\pi R_L} \hat{V}_o V_{CC} \right) = \frac{\pi}{4} \frac{\hat{V}_o}{V_{CC}}$$

It follows that the maximum efficiency is obtained when $\hat{V}_o$ is at its maximum. This maximum is limited by the saturation of Q_N and Q_P to $V_{CC} - V_{CESat} \approx V_{CC}$. At this value of peak output voltage, the power-conversion efficiency is

$$\eta_{\max} = \frac{\pi}{4} = 78.5\%$$

This value is much larger than that obtained in the class A stage (25%). Finally, we note that the maximum average power available from a class B output stage is obtained by substituting in P_L Equation,

$$P_{L\max} = \frac{1}{2} \frac{V_{CC}^2}{R_L}$$

Power Dissipation:

Unlike the class A stage, which dissipates maximum power under quiescent conditions ($v_o = 0$), the quiescent power dissipation of the class B stage is zero. When an input signal is applied, the average power dissipated in the class B stage is given by

$$P_D = P_S - P_L$$

Substituting for P_S from above Equation and for P_L from Equation results in

MODULE -3

$$P_D = \frac{2}{\pi} \frac{\hat{V}_o}{R_L} V_{CC} - \frac{1}{2} \frac{\hat{V}_o^2}{R_L}$$

From symmetry we see that half of P_D is dissipated in Q_N and the other half in Q_P . Thus Q_N and Q_P must be capable of safely dissipating $1/2 P_D$ watts. Since P_D depends on $\hat{V}_o$, we must find the worst-case power dissipation, P_{Dmax} .

Differentiating above P_D Equation w.r.t $\hat{V}_o$ and equating the derivative to zero gives the value of $\hat{V}_o$ that results in maximum average power dissipation as

$$\hat{V}_o|_{P_{Dmax}} = \frac{2}{\pi} V_{CC}$$

Substituting this value in above equation, $P_{Dmax} = \frac{2V_{CC}^2}{\pi^2 R_L}$

Thus, $P_{DNmax} = P_{DPmax} = \frac{V_{CC}^2}{\pi^2 R_L}$

At the point of maximum power dissipation, the efficiency can be evaluated by substituting for V_o from $\hat{V}_o$ into efficiency Equation, hence, $\eta = 50\%$.

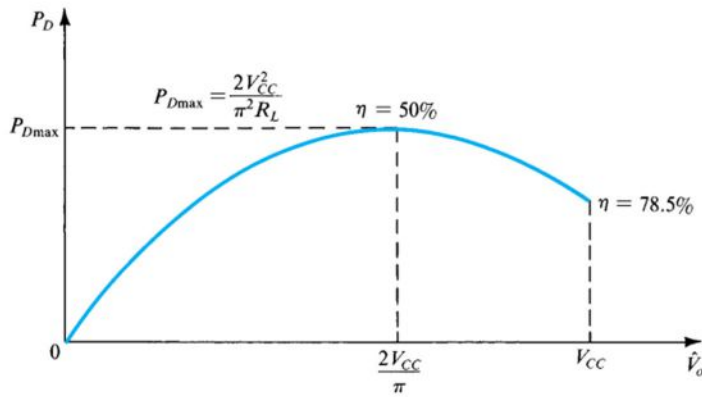


Fig:3.19:Power dissipation of the class B output stage versus

amplitude of the output sinusoid.

3.3 Class AB Output stage:

Crossover distortion can be virtually eliminated by biasing the complementary output transistors at a small nonzero current. The result is the class AB output stage shown in Fig. 3.20. A bias voltage V_{BB} is applied between the bases of Q_N and Q_P . For $v_I = 0$, $v_O = 0$,

and a voltage appears across the base-emitter junction of each of QN and QP. Assuming matched devices,

$$i_N = i_P = I_Q = I_S e^{V_{BB}/2V_T}$$

ಒಂದು ಸಣ್ಣ ಶೂನ್ಯ ಪ್ರವಾಹದಲ್ಲಿ ಪೂರಕ ಡಿಫ್ಫುಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳನ್ನು ಪಕ್ಷಪಾತ ಮಾಡುವ ಮೂಲಕ ಕ್ಲಾಸ್‌ಎವರ್ ವಿರೂಪತೆಯನ್ನು ವಾಸ್ತವವಾಗಿ ತೊಡೆದುಹಾಕಬಹುದು. ಫಲಿತಾಂಶವು ಫಿಗರ್‌ನಲ್ಲಿ ತೋರಿಸಲಾದ ವರ್ಗ ಎಬಿ ಡಿಫ್ಫುಟ್ ಹಂತವಾಗಿದೆ. 3.20. ಒಂದು ಪೂರ್ವಾಗ್ರಹ ವೋಲ್ಟೇಜ್ ವಿಬಿಬಿ , ಇದು ಕೆನ್ನಾನ್ ಮತ್ತು ಕೆನ್ನಾನ್ ತಳಗಳ ನಡುವೆ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ. ವಿಐ ಎಕ್ಸ್ 0, ವಿಒ ಎಕ್ಸ್ 0, ಮತ್ತು ಪ್ರತಿಯೊಂದರ ಬೇಸ್-ಎಮಿಟರ್ ಜಂಕ್ಷನ್ ಅಡ್ಡಲಾಗಿ ಒಂದು ವೋಲ್ಟೇಜ್ ಕಾಣಿಸಿಕೊಳ್ಳುತ್ತದೆ.

क्रॉसओवर विकृती एक लहान nonzero चालू येथे पूरक आउटपुट ट्रान्झिस्टर पक्षपाती करून अक्षरशः संपुष्टात केले जाऊ शकते. परिणाम फिग मध्ये दर्शविले वर्ग एबी आउटपुट स्टेज आहे.

3.20. एक पक्षपाती व्होल्टेज V_{BB} QN आणि QP च्या बेस दरम्यान लागू केले जाते. यातील प्रत्येक घटकाचा आकार 0-0 असतो, तर प्रत्येक घटकाचा आकार 0-0 असतो

Circuit Operation:

When v_I goes positive by a certain amount, the voltage at the base of QN increases by the same amount and the output becomes positive at an almost equal value

$$v_O = v_I + \frac{V_{BB}}{2} - v_{BEN}$$

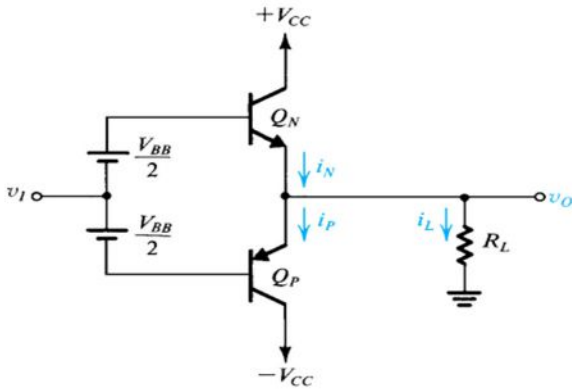


Figure 3.20: Class AB output stage. A bias voltage V_{BB} is applied between the bases of QN and QP, giving rise to a bias current I_Q . Thus, for small v_I , both transistors conduct and crossover distortion is almost completely eliminated.

MODULE -3

The positive v_O causes a current i_L to flow through R_L , and thus i_N must increase; that is,

$$i_N = i_P + i_L$$

The increase in i_N will be accompanied by a corresponding increase in v_{BEN} (above the quiescent value of $V_{BB}/2$). However, since the voltage between the two bases remains constant at V_{BB} , the increase in v_{BEN} will result in an equal decrease in v_{EBP} and hence in i_P . The relationship between i_N and i_P can be derived as follows:

$$\begin{aligned} v_{BEN} + v_{EBP} &= V_{BB} \\ V_T \ln \frac{i_N}{I_S} + V_T \ln \frac{i_P}{I_S} &= 2V_T \ln \frac{I_Q}{I_S} \\ i_N i_P &= I_Q^2 \end{aligned}$$

Thus, as i_N increases, i_P decreases by the same ratio while the product remains constant. Above Equations can be combined to yield i_N for a given i_L as the solution to the quadratic equation

$$i_N^2 - i_L i_N - I_Q^2 = 0$$

From the equations above, we can see that for positive output voltages, the load current is supplied by Q_N , which acts as the output emitter follower. Meanwhile, Q_P will be conducting a current that decreases as v_O increases; for large v_O the current in Q_P can be ignored altogether.

For negative input voltages the opposite occurs: The load current will be supplied by Q_P , which acts as the output emitter follower, while Q_N conducts a current that gets smaller as v_I becomes more negative. Equations , relating i_N and i_P , holds for negative inputs as well.

We conclude that the class AB stage operates in much the same manner as the class B circuit, with one important exception: For small v_I , both transistors conduct, and as v_I is increased or decreased, one of the two transistors takes over the operation. Since the transition is a smooth one, crossover distortion will be almost totally eliminated. Figure 3.21 shows the transfer characteristic of the class AB stage.

The power relationships in the class AB stage are almost identical to those derived for the class B circuit . The only difference is that under quiescent conditions the class AB circuit dissipates a power of $V_{CC} I_Q$ per transistor. Since I_Q is usually much smaller than the peak load current,

the quiescent power dissipation is usually small. Nevertheless, it can be taken into account easily. Specifically, we can simply add the quiescent dissipation per transistor to its maximum power dissipation with an input signal applied, to obtain the total power dissipation that the transistor must be able to handle safely.

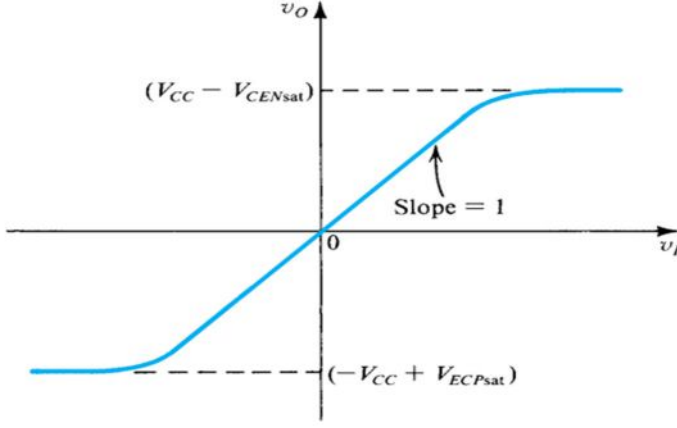


Fig:3.21: Transfer characteristic of the class AB stage

ವರ್ಗ ಎಬಿ ಹಂತವು ವರ್ಗ ಬಿ ಸರ್ಕ್ಯೂಟ್‌ನಂತೆಯೇ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ ಎಂದು ನಾವು ತೀರ್ಮಾನಿಸುತ್ತೇವೆ, ಒಂದು ಪ್ರಮುಖ ವಿನಾಯಿತಿಯೊಂದಿಗೆ: ಸಣ್ಣ ವಿಭಗ, ಎರಡೂ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳು ನಡೆಸುತ್ತವೆ, ಮತ್ತು ವಿಭ ಹೆಚ್ಚಾದಂತೆ ಅಥವಾ ಕಡಿಮೆಯಾದಂತೆ, ಎರಡು ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳಲ್ಲಿ ಒಂದು ಕಾರ್ಯಾಚರಣೆಯನ್ನು ತೆಗೆದುಕೊಳ್ಳುತ್ತದೆ. ಪರಿವರ್ತನೆಯು ನಯವಾದ ಒಂದು ಆಗಿರುವುದರಿಂದ, ಕ್ರಾಸ್‌ಒವರ್ ವಿರೂಪತೆಯು ಬಹುತೇಕ ಸಂಪೂರ್ಣವಾಗಿ ತೆಗೆದುಹಾಕಲ್ಪಡುತ್ತದೆ. ಚಿತ್ರ 3.21 ವರ್ಗ ಎಬಿ ಹಂತದ ವರ್ಗಾವಣೆ ವೈಶಿಷ್ಟ್ಯವನ್ನು ತೋರಿಸುತ್ತದೆ.

ವರ್ಗ ಎಬಿ ಹಂತದಲ್ಲಿನ ಶಕ್ತಿ ಸಂಬಂಧಗಳು ವರ್ಗ ಬಿ ಸರ್ಕ್ಯೂಟ್‌ಗಾಗಿ ಪಡೆದವುಗಳಿಗೆ ಬಹುತೇಕ ಹೋಲುತ್ತವೆ. ಒಂದೇ ವ್ಯತ್ಯಾಸವೆಂದರೆ ಶಾಂತ ಪರಿಸ್ಥಿತಿಗಳಲ್ಲಿ ವರ್ಗ ಎಬಿ ಸರ್ಕ್ಯೂಟ್ ಪ್ರತಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ವಿಸಿ ಸಿ ಐಕ್ಯೂ ಶಕ್ತಿಯನ್ನು ವಿಸರ್ಜಿಸುತ್ತದೆ. ಐಕ್ಯೂ ಸಾಮಾನ್ಯವಾಗಿ ಗರಿಷ್ಠ ಲೋಡ್ ಪ್ರವಾಹಕ್ಕಿಂತ ತುಂಬಾ ಚಿಕ್ಕದಾಗಿರುವುದರಿಂದ, ಶಾಂತ ವಿದ್ಯುತ್ ವಿಘಟನೆಯು ಸಾಮಾನ್ಯವಾಗಿ ಚಿಕ್ಕದಾಗಿದೆ. ಆದಾಗ್ಯೂ, ಇದು ಖಾತೆಗೆ ಸುಲಭವಾಗಿ ತೆಗೆದುಕೊಳ್ಳಬಹುದು. ನಿರ್ದಿಷ್ಟವಾಗಿ, ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಸುರಕ್ಷಿತವಾಗಿ ನಿರ್ವಹಿಸಲು ಸಾಧ್ಯವಾಗುತ್ತದೆ ಎಂದು ಒಟ್ಟು ವಿದ್ಯುತ್ ವಿಘಟನೆ ಪಡೆಯಲು, ನಾವು ಸರಳವಾಗಿ ಅದರ ಗರಿಷ್ಠ ವಿದ್ಯುತ್ ವಿಘಟನೆ ಸೇರಿಸಬಹುದು ಇನ್ಸುಟ್ ಸಿಗ್ನಲ್ ಅನ್ವಯಿಸಲಾಗಿದೆ.

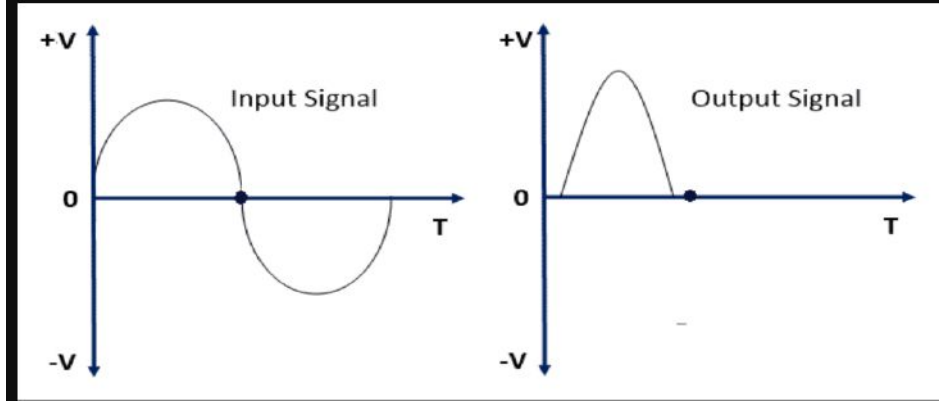
आम्ही असंनिष्कर्ष काढतो की ऑर्ग एबी स्टेज ऑर्ग बी सर्किट सख्य पद्धतीने कार्य करते, ज्यात एक महत्वपूर्ण अपवाद आहे: म्हणजे व्हीआयसाठी, दोन्ही ट्रान्झिस्टर आचरण करताना, आणि व्हीआय काढते किंवा कमी होते म्हणून, दोन ट्रान्झिस्टरपैकी एक ऑपरेशन घेते. संक्रमण एक गुळगुळीत असल्याने, क्रॉसओवर प्रकृती जाळजळ पूर्णपणे संपुष्टात येईल. आकृती 3.21 ऑर्ग एबी टप्प्यात हस्तांतरण प्रैशियपूर्ण दाखवते.

ऑर्ग एबी टप्प्यात शक्ती संबंध ऑर्ग बी सर्किट साठी प्राप्त जाळजळ समान आहेत. फक्त फरक आहे की quiescent अटी अंतर्गत ऑर्ग एबी सर्किट प्रति ट्रान्झिस्टर VCC बुद्ध्यात एक शक्ती dissipates. बुद्ध्यात सहसंपीक मोड चालू पेक्षा खूपच म्हणजे असल्याने, quiescent शक्ती प्रिस्कळीतपणे सहसंपीक म्हणजे आहे. तरीही, ते सहज खाल्ले जाऊ शकते. विशेषतः, आम्ही फक्त ट्रान्झिस्टर सुरक्षितपणे हलक्यासाठी सक्षम असणे आवश्यक आहे की एकूण शक्ती अपव्यय होतो प्राप्त करण्यासाठी, एक इनपुट सिग्नल चालू त्याच्या जास्तीत जास्त शक्ती अपव्यय करण्यासाठी प्रति ट्रान्झिस्टर quiescent अपव्यय जोडू शकतो

3.4 Class C tuned Amplifier:

During a Class C amplifier operation, the collector flows for less than half cycle of AC signal. A class C amplifier is bias for operation for less than 180° of the input signal cycle and its value is 80° to 120° . Less than 180° (half cycle) means less than 50% and would operate only with a tuned or resonant circuit, which provides a full cycle of operation for the tuned or resonant frequency.

There is a trade-off between efficiency and distortion as the efficiency improves at a large extended level by reduced conduction angle. However, it also leads to a lot of distortion. The Class C amplifiers used in RF transmitters usually are operating at a single fixed carrier frequency. In such applications, the distortion is controlled by a tuned load on the amplifiers. The input signal is applied to switch the active device (transistor) and so the current is directed to flow through a tuned load.



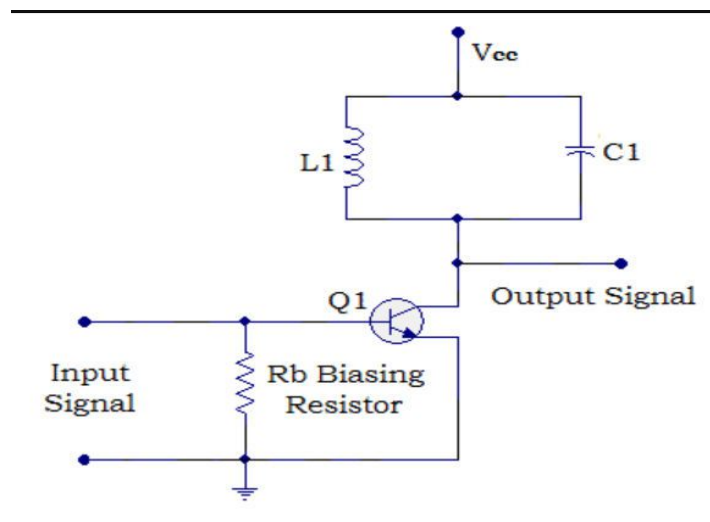
ಕ್ಲಾಸ್ ಸಿ ಆಂಪ್ಲಿಫಯರ್ ಕಾರ್ಯಾಚರಣೆಯ ಸಂದರ್ಭದಲ್ಲಿ, ಸಂಗ್ರಾಹಕ ಎಸಿ ಸಿಗ್ನಲ್ ಅರ್ಧಕ್ಕಿಂತ ಕಡಿಮೆ ಚಕ್ರಕ್ಕೆ ಹರಿಯುತ್ತದೆ. ಒಂದು ವರ್ಗ ಸಿ ಆಂಪ್ಲಿಫಯರ್ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಚಕ್ರದ 180deg ಕ್ಕಿಂತ ಕಡಿಮೆ ಕಾರ್ಯಾಚರಣೆಗೆ ಪೂರ್ವಾಗ್ರಹ ಮತ್ತು ಅದರ ಮೌಲ್ಯವು 80deg ರಿಂದ 120deg. 180deg ಕ್ಕಿಂತ ಕಡಿಮೆ (ಅರ್ಧ ಚಕ್ರ) ಎಂದರೆ 50% ಕ್ಕಿಂತ ಕಡಿಮೆ ಮತ್ತು ಟ್ಯೂನ್ಡ್ ಅಥವಾ ಪ್ರತಿಧ್ವನಿ ಸರ್ಕ್ಯೂಟ್‌ನೊಂದಿಗೆ ಮಾತ್ರ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ, ಇದು ಟ್ಯೂನ್ಡ್ ಅಥವಾ ಪ್ರತಿಧ್ವನಿತ ಆವರ್ತನಕ್ಕೆ ಕಾರ್ಯಾಚರಣೆಯ ಪೂರ್ಣ ಚಕ್ರ ಒದಗಿಸುತ್ತದೆ.

ಕಡಿಮೆ ವಾಹಕತೆ ಕೋನದಿಂದ ದಕ್ಷತೆಯು ದೊಡ್ಡ ವಿಸ್ತಾರಿತ ಮಟ್ಟದಲ್ಲಿ ಸುಧಾರಿಸುತ್ತದೆಯಾದ್ದರಿಂದ ದಕ್ಷತೆ ಮತ್ತು ವಿರೂಪತೆಯ ನಡುವೆ ವ್ಯಾಪಾರವಿದೆ. ಆದಾಗ್ಯೂ, ಇದು ಸಾಕಷ್ಟು ವಿರೂಪತೆಗೆ ಕಾರಣವಾಗುತ್ತದೆ. ಆರ್ಎಫ್ ಟ್ರಾನ್ಸ್ಮಿಟರ್‌ಗಳಲ್ಲಿ ಬಳಸಲಾಗುವ ಕ್ಲಾಸ್ ಸಿ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು ಸಾಮಾನ್ಯವಾಗಿ ಒಂದೇ ಸ್ಥಿರ ವಾಹಕ ಆವರ್ತನದಲ್ಲಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತಿವೆ. ಅಂತಹ ಅನ್ವಯಗಳಲ್ಲಿ, ವಿರೂಪತೆಯು ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಮೇಲೆ ಟ್ಯೂನ್ಡ್ ಲೋಡ್‌ನಿಂದ ನಿಯಂತ್ರಿಸಲ್ಪಡುತ್ತದೆ. ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಸಕ್ರಿಯ ಸಾಧನ (ಟ್ರಾನ್ಸಿಸ್ಟರ್) ಬದಲಾಯಿಸಲು ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಪ್ರಸ್ತುತ ಒಂದು ಟ್ಯೂನ್ಡ್ ಲೋಡ್ ಮೂಲಕ ಹರಿಯುವಂತೆ ನಿರ್ದೇಶಿಸಲಾಗುತ್ತದೆ.

ರ್ಗ ಸಿ ಂರ್ಕ ಆಪರೇಶನ ಔಖಣೆ, ಕರ್ಕರ್ ಂಸಿ ಸಿಗ್ರಂ ಅರ್ಧಪೇಕ್ಷಂಕಮಿ ಸಖಕಂ ಂಹ್ತೆ. ಂಕ ರ್ಗ ಸಿ ಂರ್ಕ ಇನಪುಟ್ ಸಿಗ್ರಂ ಸಖಕಂಚ್ಯಂ 180deg ಪೇಕ್ಷಂಕಮಿ ಆಪರೇಶನಸಾಡಿ ಪಕ್ಷಪಾಡಿ ಂಹೆ ಂಣಿ ತ್ಯಾಁ ಮೂಲ್ಯ 80deg ತೆ 120deg ಂಹೆ. 180deg (ಅರ್ಧಚಕ್ರ) ಪೇಕ್ಷಂಕಮಿ ಮ್ಹಣಜೆ 50% ಪೇಕ್ಷಂಕಮಿ ಂಣಿ ಕೆಂಁ ತ್ಯೂನ ಕಿಂಂ ರೆಙ್ನಂಟ್ ಸರ್ಕಿಟ್‌ಸಹ ಕಾರ್ಣಿ ಕರೆಂ, ಜೆ ತ್ಯೂನ ಕಿಂಂ ಅನುನಾಡ್ ಂಂಂಁತಂಸಾಡಿ ಆಪರೇಶನ ಪೂರ್ಣ ಚಕ್ರ ಪ್ರದಾಙ ಕರತೆ.

कक्षाक्षमत आणि विकृती दरम्यान एक व्यापक-बंद आहे कारण कक्षाक्षमतकमी चढाने कोनसे मोठ्या विस्तारित पल्ल्यावर सुधारते. मात्र, त्यातूनही अनेक विकृती निर्माण होतात. आरएफ ट्रान्समीटर व्हायरिंग सी र्धक सहस्रांका निश्चित व्हाक्यूम व्हायरिंगमध्ये कक्षरत आहेत. अशा अनुप्रयोगांमध्ये, विकृती र्धकांवर ट्यून् केवेल्युमोडद्वारे नियंत्रित केवी जाते. इनपुट सिग्नल सक्रिय सधन (ट्रान्सफॉर्मर) स्विच करण्यासाठी व्हा आहे आणि म्हणून चढू एक ट्यून् मोड माध्यमातून प्रवृत्ति निर्देशित आहे.

Working Principle Of Class C Amplifier:



As shown in the above circuit diagram, Resistor R_b connects to the transistor Q_1 base. A biasing resistor which connects to the base of Q_1 try to pulls the base of transistor further downwards and set the operating pointer dc bias point below the cut-off point (In cutoff the collector current is I_{CO} which will be of micro amperes order and hence can be assumed to be zero) in the DC load line. The dc load line is the locus of I_C and V_{CE} at which BJT remains in active region.

The reason for the major portion of the input signal is absent in the output signal is that the transistor will start conducting only after the input signal amplitude has risen above the base emitter voltage ($V_{be} \sim 0.7V$) and according to the result the downward bias voltage caused by R_b .

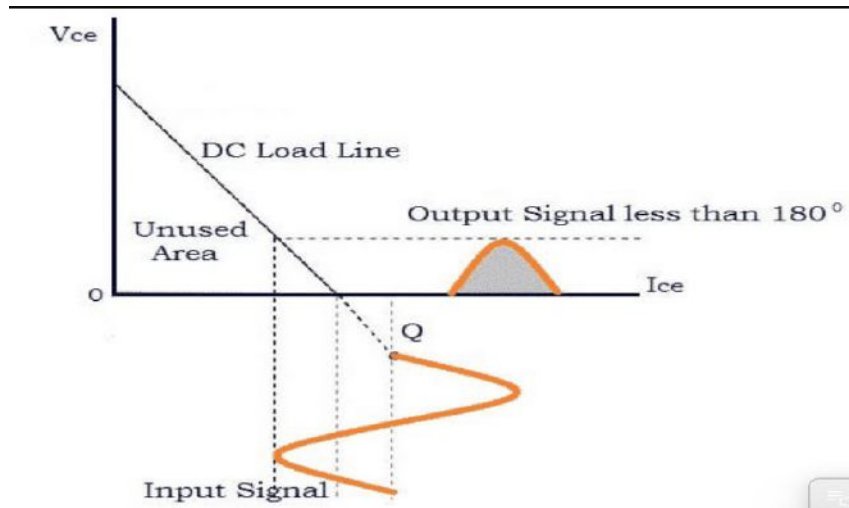
As shown in Figure 4, inductor L1 and [capacitor](#) C1 forms a tuned circuit which is also called a tank circuit. LC circuits are used either for generating signals at a particular frequency, or

MODULE -3

picking out a signal at a particular frequency from a more complex signal which extract the required signal from the pulsed output of the transistor.

A series of current pulses is produced by the transistor (active element) according to the input which flow through the resonant circuit. The tank circuit oscillates in the frequency of the input signal by selecting the proper value of L and C. All other frequencies are attenuated by tank circuit and the tank circuit oscillates in one frequency.

The required frequency is obtained by using a suitably tuned load. The output signal noise can be eliminated by using additional filters. For transferring the power to the load from the tank circuit, a coupling transformer is used.



As shown in above figure, it can be observed that the operating point is placed some way below the cut-off point in the DC load-line and so only a fraction of the input waveform is available at the output.

ಮೇಲಿನ ಸರ್ಕ್ಯೂಟ್ ರೇಖಾಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಿರುವಂತೆ, ಪ್ರತಿರೋಧಕ ಆರ್ಬಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q1 ಬೇಸ್ ಸಂಪರ್ಕಿಸುತ್ತದೆ. Q1 ರ ತಳಹದಿಯನ್ನು ಸಂಪರ್ಕಿಸುವ ಒಂದು ಪಕ್ಷಪಾತ ಪ್ರತಿರೋಧಕವು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ತಳಹದಿಯನ್ನು ಮತ್ತಷ್ಟು ಕೆಳಕ್ಕೆ ಎಳೆಯಲು ಪ್ರಯತ್ನಿಸುತ್ತದೆ ಮತ್ತು ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಡಿಸಿ ಪಕ್ಷಪಾತ ಬಿಂದುವನ್ನು ಕಟ್-ಆಫ್ ಬಿಂದುವಿನ ಕೆಳಗೆ ಹೊಂದಿಸುತ್ತದೆ (ಕಟೌಟ್ನಲ್ಲಿ ಸಂಗ್ರಾಹಕ ಪ್ರವಾಹವು ICO ಆಗಿರುತ್ತದೆ ಇದು ಮೈಕ್ರೋ ಅಂಪಿಯರ್ಗಳ ಕ್ರಮವಾಗಿರುತ್ತದೆ ಮತ್ತು ಅದರಿಂದ DC ಲೋಡ್ ಸಾಲಿನಲ್ಲಿ ಶೂನ್ಯ ಎಂದು

MODULE -3

ಉಹಿಸಬಹುದು). ಡಿಸಿ ಲೋಡ್ ಲೈನ್ ಐಸಿ ಮತ್ತು ವಿಸಿಇಯ ಲೋಕಸ್ ಆಗಿದ್ದು, ಇದರಲ್ಲಿ ಬಿಜೆಟಿ ಸಕ್ರಿಯ ವಲಯದಲ್ಲಿ ಉಳಿದಿದೆ.

ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಪ್ರಮುಖ ಭಾಗವು ಟೆಟ್ಟುಟ್ ಸಿಗ್ನಲ್‌ನಲ್ಲಿ ಇಲ್ಲದಿರುವ ಕಾರಣವೇನೆಂದರೆ, ಬೇಸ್ ಎಮಿಟರ್ ವೋಲ್ಟೇಜ್ ಮೇಲೆ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ವೈಶಾಲ್ಯವು ಏರಿದ ನಂತರವೇ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ನಿರ್ವಹಿಸಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.

ಚಿತ್ರ ರಲ್ಲಿ ತೋರಿಸಿರುವಂತೆ, ಪ್ರಚೋದಕ L1 ಮತ್ತು ಕೆಪಾಸಿಟರ್ C1 ಒಂದು ಟ್ಯಾನ್ಕ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ರೂಪಿಸುತ್ತದೆ, ಇದನ್ನು ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ಒಂದು ನಿರ್ದಿಷ್ಟ ಆವರ್ತನದಲ್ಲಿ ಸಂಕೇತಗಳನ್ನು ಉತ್ಪಾದಿಸಲು ಅಥವಾ ಹೆಚ್ಚು ಸಂಕೀರ್ಣವಾದ ಸಂಕೇತದಿಂದ ಒಂದು ನಿರ್ದಿಷ್ಟ ಆವರ್ತನದಲ್ಲಿ ಸಂಕೇತವನ್ನು ಹೊರತೆಗೆಯಲು ಎಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್‌ಗಳನ್ನು ಬಳಸಲಾಗುತ್ತದೆ.

ಅನುರಣನ ಸರ್ಕ್ಯೂಟ್ ಮೂಲಕ ಹರಿಯುವ ಇನ್ಪುಟ್ ಪ್ರಕಾರ ಪ್ರಸ್ತುತ ದ್ವಿಧರ್ಮ ಧಾನ್ಯಗಳ ಸರಣಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ (ಸಕ್ರಿಯ ಅಂಶ) ಉತ್ಪಾದಿಸುತ್ತದೆ. L ಮತ್ತು C ಯ ಸರಿಯಾದ ಮೌಲ್ಯವನ್ನು ಆಯ್ಕೆ ಮಾಡುವ ಮೂಲಕ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಆವರ್ತನದಲ್ಲಿ ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್ ಆಂದೋಲನಗೊಳ್ಳುತ್ತದೆ. ಎಲ್ಲಾ ಇತರ ಆವರ್ತನಗಳು ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ಅಟೆನ್ಯೂಯೇಟೆಡ್ ಆಗಿರುತ್ತವೆ ಮತ್ತು ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್ ಒಂದು ಆವರ್ತನದಲ್ಲಿ ಆಂದೋಲನಗೊಳ್ಳುತ್ತದೆ.

ಅಗತ್ಯ ಆವರ್ತನ ಸೂಕ್ತ ಟ್ಯಾನ್ಕ್ ಲೋಡ್ ಬಳಸಿಕೊಂಡು ಪಡೆಯಲಾಗುತ್ತದೆ. ಟೆಟ್ಟುಟ್ ಸಿಗ್ನಲ್ ಶಬ್ದ ಹೆಚ್ಚುವರಿ ಫಿಲ್ಟರ್ ಬಳಸಿಕೊಂಡು ತೊಡೆದುಹಾಕಲು ಸಾಧ್ಯ. ಟ್ಯಾಂಕ್ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ಲೋಡ್ ಶಕ್ತಿಯನ್ನು ವರ್ಗಾಯಿಸಲು, ಜೋಡಣೆ ಟ್ರಾನ್ಸ್‌ಫರ್ಮರ್ ಅನ್ನು ಬಳಸಲಾಗುತ್ತದೆ.

ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಅನ್ನು ಡಿಸಿ ಲೋಡ್-ಲೈನ್‌ನಲ್ಲಿ ಕಟ್-ಆಫ್ ಪಾಯಿಂಟ್ ಕೆಳಗೆ ಕೆಲವು ರೀತಿಯಲ್ಲಿ ಇರಿಸಲಾಗಿದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಇನ್ಪುಟ್ ತರಂಗರೂಪದ ಒಂದು ಭಾಗ ಮಾತ್ರ ಟೆಟ್ಟುಟ್‌ನಲ್ಲಿ ಲಭ್ಯವಿದೆ ಎಂದು ಗಮನಿಸಬಹುದು.

೧೨೧ ಸರ್ಕ್ಯೂಟ್ ರೇಖಾಚಿತ್ರದ ದರ್ಶನೀಯವಾಗಿದೆ, ರೆಸಿಸ್ಟರ್ ಆರ್‌ಬಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q1 ಬೇಸಲಿ ಜೊಡೆ. ಏಕ ಪಕ್ಷಪಕ್ಷಿ ಪ್ರತಿರೋಧಕ ಜೆ Q1 ಚ್ಯುಬೇಸಲಿ ಕನೆಕ್ಟ್ ಹೊತೆ ತೆ ಪುಟಿ೧ ಖಣಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ಆಧಾರ ಖೇಚಣ್ಯವಾಗುಪ್ರಯತ್ನ ಕರತವಾಗಿ ಆಗಿ ಕಟ್-ಆಫ್ ಪಾಯಿಂಟ್‌ನ ಖಣಿ ಆಪರೇಟಿಂಗ್ ಪಾಯಿಂಟ್ ಡಿಸಿ ಪಕ್ಷಪಕ್ಷಿ ಬಿಂದು ಸೆಟ್ ಕರತವಾಗಿ (ಕಟ್‌ಆಫ್‌ಮಧ್ಯೆ

कंपेक्टर करंट आयसीओ आहे जे सूक्ष्म एम्पेरेस ऑर्डरचे असे आणि म्हणून ते शून्य मजले जळू शकते) डीसी डोड डडनमध्ये. डीसी डोड डडन आयसी आणि व्हीसीईचडोकस आहे ज्यावर बीजेटी सक्रिय प्रदेशात राहते.

इनपुट सिग्नल चमोठभवा आउटपुट सिग्नलमध्ये अनुपस्थित आहे यामे कारण असे आहे की इनपुट सिग्नल आयस बेस एमिटर व्होल्टेज ($V_{be} \sim 0.7V$) पर डडल्यजंतरच ट्रान्झिस्टर चमिणे सुरू करे आणि परिणामासुस आरबीमुळे होणारखळचपूर्णग्रह व्होल्टेज.

आकृती मध्ये दर्शिल्याप्रमाणे, inductor $L1$ आणि कपसिटर $C1$ एक ट्यून सर्किट तयार करते ज्यात टँक सर्किट देखील म्हटले जाते. एसी सर्किट एकतर एकपिशिट डंडरतेपर सिग्नल तयार करण्यासाठी पसरले जाताना, किंवा ट्रान्झिस्टरच्यापल्स आउटपुटमधून आवश्यक सिग्नल कळणाराधिक जटिल सिग्नलमधून एकपिशिट डंडरतेपर सिग्नल कळण्यासाठी पसरले जाताना.

पर्मज डळींची एक मडिकट्रान्झिस्टर (सक्रिय घटक) द्वारे उत्पन्नित केपी जाते जे इनपुटनुसार रेझोनंट सर्किटमधून राहते. ए आणि सी योग्य मूल्य निडून टळी सर्किट इनपुट सिग्नल डंडरतमध्ये oscillates. इतर सर्प डंडरतएक डंडरतमध्ये टळी सर्किट आणि टळी सर्किट oscillates द्वारे attenuated आहेत.

आवश्यक डंडरतयोग्य ट्यून डोड पसरून प्राप्त आहे. आउटपुट सिग्नल आण अतिरिक्त फिल्टर पसरून दूर केले जाऊ शकते. टळी सर्किट पासून डोड करण्यासाठी शक्ती हस्तांतरित करण्यासाठी, एक कपिंग ट्रान्सफॉर्मर पसरले जाते.

हे डक्षता येते की डीसी डोड-डडनमधी कट-ऑफ पॉईंटच्याखणी ऑपरेटिंग पॉईंट कळी मजालि ठेवजळो आणि म्हणून आउटपुटपर इनपुट तरंगाचफक्त एक अंश उपब्ध आहे

Applications of Class C Amplifier: Class C Amplifier is used in: –

- RF oscillators.
- RF amplifier.
- FM transmitters.
- Booster amplifiers.
- High frequency repeaters.
- Tuned amplifiers etc.

MODULE -3

Advantages of Class C Amplifier: The advantages of Class C Amplifier are as follows: –

- Higher efficiency.
- Best result in RF applications.
- Physical size is suitable for given power

Disadvantages of Class C Amplifier: The disadvantages of Class C Amplifier are as follows: –

- Poor linearity.
- Not suitable for audio applications.
- Lot of noise and RF interference.
- To obtain ideal inductors and coupling transformers it is very difficult.
- Not good dynamic range.

3.5 Feedback Amplifier:

General Feedback Structure:

Figure 3.51 shows the basic structure of a feedback amplifier. Rather than showing voltages and currents, Fig. 3.51 is a signal-flow diagram, where each of the quantities x can represent either a voltage or a current signal. The open-loop amplifier has a gain A ; thus its output x_o is related to the input x_i by

$$x_o = Ax_i$$

ಚಿತ್ರ 3.51 ಒಂದು ಪ್ರತಿಕ್ರಿಯೆ ವರ್ಧಕ ಮೂಲ ರಚನೆ ತೋರಿಸುತ್ತದೆ. ವೋಲ್ಟೇಜ್‌ಗಳು ಮತ್ತು ಪ್ರವಾಹಗಳನ್ನು ತೋರಿಸುವುದಕ್ಕಿಂತ ಹೆಚ್ಚಾಗಿ, ಚಿತ್ರ 3.51 ಒಂದು ಸಿಗ್ನಲ್-ಪ್ರವಾಹ ರೇಖಾಚಿತ್ರವಾಗಿದೆ, ಅಲ್ಲಿ ಪ್ರತಿ ಪ್ರಮಾಣಗಳು ಎಕ್ಸ್ ಒಂದು ವೋಲ್ಟೇಜ್ ಅಥವಾ ಪ್ರಸ್ತುತ ಸಂಕೇತವನ್ನು ಪ್ರತಿನಿಧಿಸಬಹುದು. ಓಪನ್-ಲೂಪ್ ಆಂಪ್ಲಿಫೈಯರ್ ಒಂದು ಲಾಭವನ್ನು ಹೊಂದಿದೆ - ಎ ಎಕ್ಸ್ - ಆದ್ದರಿಂದ ಅದರ ಔಟ್ಪುಟ್ ಎಕ್ಸ್‌ಒ - ಮೂಲಕ ಇನ್ಪುಟ್ ಕ್ಲಿ ಸಂಬಂಧಿಸಿದೆ.

$$x_o = Ax_i$$

ಆಕೃತಿ 3.51 ಏಕ ಅಭಿಪ್ರಾಯ ವರ್ಧಕ ಮೂಲಭೂತ ರಚನಾ ದಾಖವತೆ. ಕ್ಲೋಲೆಜ ಆಗಿಣಿ ಪ್ರವಾಹ ದರ್ಶವಿಣ್ಯಾಪೇಕ್ಷಾ, ಅಂಜೀರ. 3.51 ಏಕ ಸಿಗ್ನಲ್-ಪ್ರವಾಹ ರೇಖಾಚಿತ್ರ ಆಹೆ, ಜೆಥೆ ಪ್ರತೀಕ ಪರಿಮಾಣೆ x ಏಕತರ ಕ್ಲೋಲೆಜ ಕಿವಾ ವರ್ತಮಾನ ಸಿಗ್ನಲ್ ದರ್ಶವು ಶಕತೆ. ಆಒಪನ್-ಲೂಪ್ ವರ್ಧಕ ಏಕ ಫಾಯದಾ ಅ ಆಹೆ; ಅಶಾ ಪ್ರಕಾರೆ ತ್ಯಾಚೆ ಆಒಟಪುಟ್ x_o ಕರ್ನುನ್ ಇನ್ಪುಟ್ x_i ಸಂಬಂಧಿತ ಆಹೆ

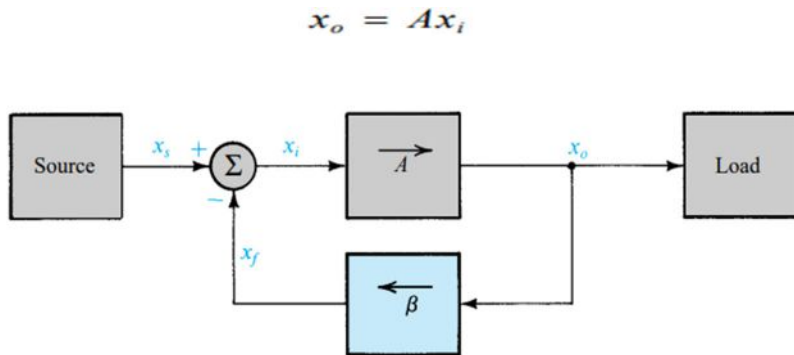


Figure 3.51: General structure of the feedback amplifier. This is a signal-flow diagram, and the quantities x represent either voltage or current signals.

MODULE -3

The output x_o is fed to the load as well as to a feedback network, which produces a sample of the output. This sample x_f is related to x_o by the feedback factor β .

$$x_f = \beta x_o$$

The feedback signal x_f is subtracted from the source signal x_s , which is the input to the complete feedback amplifier, to produce the signal x_i which is the input to the basic amplifier.

$$x_i = x_s - x_f$$

Here we note that it is this subtraction that makes the feedback negative. In essence, negative feedback reduces the signal that appears at the input of the basic amplifier.

The gain of the feedback amplifier can be obtained by combining above equations

$$A_f \equiv \frac{x_o}{x_s} = \frac{A}{1 + A\beta}$$

The quantity $A\beta$ is called the loop gain, a name that follows from Fig. 3.22. For the feedback to be negative, the loop gain $A\beta$ must be positive; that is, the feedback signal x_f should have the same sign as x_s , thus resulting in a smaller difference signal x_i . Equation indicates that for positive $A\beta$ the gain with feedback A_f will be smaller than the open-loop gain A by a factor equal to $1 + A\beta$, which is called the amount of feedback.

If, as is the case in many circuits, the loop gain $A\beta$ is large, $A\beta \gg 1$, it follows that

$$A_f \approx \frac{1}{\beta}$$

which is a very interesting result: The gain of the feedback amplifier is almost entirely determined by the feedback network. Since the feedback network usually consists of passive components, which usually can be chosen to be as accurate as one wishes, the advantage of negative feedback in obtaining accurate, predictable, and stable gain should be apparent. In other words, the overall gain will have very little dependence on the gain of the basic amplifier, A , a desirable property because the gain A is usually a function of many manufacturing and application parameters, some of which might have wide tolerances. We have seen a dramatic illustration of all of these effects, where the closed loop gain (which is another name for the gain-with-feedback) is almost entirely determined by the feedback elements.

ಮಾಣ ಅb ಅನ್ನು ಲೂಪ್ ಲಾಭ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ, ಇದು ಚಿತ್ರದಿಂದ ಅನುಸರಿಸುವ ಹೆಸರು. 3.51. ಪ್ರತಿಕ್ರಿಯೆಯು ನಕಾರಾತ್ಮಕವಾಗಿರಲು, ಲೂಪ್ ಗಳಿಕೆ Ab ಧನಾತ್ಮಕವಾಗಿರಬೇಕು, ಅಂದರೆ ಪ್ರತಿಕ್ರಿಯೆಯ ಸಿಗ್ನಲ್ ಎಕ್ಸ್‌ಎಫ್ ಎಕ್ಸ್‌ಎಸ್‌ಎಂ‌ತೆಯೇ ಅದೇ ಚಿಹ್ನೆಯನ್ನು ಹೊಂದಿರಬೇಕು, ಇದರಿಂದಾಗಿ ಸಣ್ಣ ವ್ಯತ್ಯಾಸ ಸಿಗ್ನಲ್ ಎಕ್ಸ್‌ಎಫ್ ಉಂಟಾಗುತ್ತದೆ. ಸಮೀಕರಣ ಧನಾತ್ಮಕ Ab ಗಾಗಿ ಪ್ರತಿಕ್ರಿಯೆ Af ನೊಂದಿಗೆ ಲಾಭವು $1 + Ab$ ಗೆ ಸಮಾನವಾದ ಅಂಶದಿಂದ ತೆರೆದ-ಲೂಪ್ ಲಾಭ A ಗಿಂತ ಚಿಕ್ಕದಾಗಿರುತ್ತದೆ ಎಂದು ಸೂಚಿಸುತ್ತದೆ, ಇದನ್ನು ಪ್ರತಿಕ್ರಿಯೆಯ ಪ್ರಮಾಣ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

ಅನೇಕ ಸರ್ಕ್ಯೂಟ್‌ಗಳಲ್ಲಿರುವಂತೆ, ಲೂಪ್ ಲಾಭವು Ab ದೊಡ್ಡದಾಗಿದ್ದರೆ, Ab , 1 ಅದನ್ನು ಅನುಸರಿಸುತ್ತದೆ

ಇದು ಅತ್ಯಂತ ಆಸಕ್ತಿದಾಯಕ ಫಲಿತಾಂಶವಾಗಿದೆ: ಪ್ರತಿಕ್ರಿಯೆ ಆಂಪ್ಲಿಫೈಯರ್ ಲಾಭವು ಬಹುತೇಕ ಸಂಪೂರ್ಣವಾಗಿ ಪ್ರತಿಕ್ರಿಯೆ ನೆಟ್ವರ್ಕ್‌ನಿಂದ ನಿರ್ಧರಿಸಲ್ಪಡುತ್ತದೆ. ಪ್ರತಿಕ್ರಿಯೆ ಜಾಲವು ಸಾಮಾನ್ಯವಾಗಿ ನಿಷ್ಕ್ರಿಯ ಘಟಕಗಳನ್ನು ಒಳಗೊಂಡಿರುವುದರಿಂದ, ಸಾಮಾನ್ಯವಾಗಿ ಒಬ್ಬರ ಇಚ್ಛೆಯಂತೆ ನಿಖರವಾಗಿರಲು ಆಯ್ಕೆ ಮಾಡಬಹುದು, ನಿಖರವಾದ, ಉಹಿಸಬಹುದಾದ ಮತ್ತು ಸ್ಥಿರವಾದ ಲಾಭವನ್ನು ಪಡೆಯುವಲ್ಲಿ ನಕಾರಾತ್ಮಕ ಪ್ರತಿಕ್ರಿಯೆಯ ಪ್ರಯೋಜನವು ಸ್ಪಷ್ಟವಾಗಿರಬೇಕು. ಬೇರೆ ರೀತಿಯಲ್ಲಿ ಹೇಳುವುದಾದರೆ, ಒಟ್ಟಾರೆ ಲಾಭವು ಮೂಲ ಆಂಪ್ಲಿಫೈಯರ್ ಲಾಭದ ಮೇಲೆ ಬಹಳ ಕಡಿಮೆ ಅವಲಂಬನೆಯನ್ನು ಹೊಂದಿರುತ್ತದೆ, A, ಅಪೇಕ್ಷಣೀಯ ಆಸ್ತಿ ಏಕೆಂದರೆ ಲಾಭ ಎ ಸಾಮಾನ್ಯವಾಗಿ ಅನೇಕ ತಯಾರಿಕೆ ಮತ್ತು ಅಪ್ಲಿಕೇಶನ್ ನಿಯತಾಂಕಗಳನ್ನು ಒಂದು ಕಾರ್ಯ, ಅವುಗಳಲ್ಲಿ ಕೆಲವು ವ್ಯಾಪಕ ಸಹಿಷ್ಣುತೆ ಹೊಂದಿರಬಹುದು. ಈ ಎಲ್ಲಾ ಪರಿಣಾಮಗಳ ನಾಟಕೀಯ ಚಿತ್ರಣವನ್ನು ನಾವು ನೋಡಿದ್ದೇವೆ, ಅಲ್ಲಿ ಮುಚ್ಚಿದ ಲೂಪ್ ಲಾಭ (ಇದು ಲಾಭ-ವಿತ್-ಫೀಡ್‌ಬ್ಯಾಕ್ ಮತ್ತೊಂದು ಹೆಸರು) ಬಹುತೇಕ ಸಂಪೂರ್ಣವಾಗಿ ಪ್ರತಿಕ್ರಿಯೆ ಅಂಶಗಳಿಂದ ನಿರ್ಧರಿಸಲ್ಪಡುತ್ತದೆ.

ಮಾತೃಕಾಬ ಹಣತಣ ರೂಪ ರೂಪ, ಏಕ ನು ಜೆ Fig ಪಾಸೂನ ಖಯಿಂ. 3.51. ಅಭಿಪ್ರಾಯ ನಕಾರಾತ್ಮಕ ಹೋಂಯಾಸಾಡಿ, ರೂಪ ಗೆನ ಏಬ ಸಕಾರಾತ್ಮಕ ಅಸಣೆ ಆಂಶ್ಯಕ ಆಹೆ; ಹಣಜೆ, ಅಭಿಪ್ರಾಯ ಸಿಗ್ರಂ xf ಚೆ xs ಸರೇಖೆಚ ಚಿನ್ಹ ಅಸಾಂ, ಲ್ಯಾಂಘೆ ರಹಣ ಫರಕ ಸಿಗ್ರಂ xi ಮಧ್ಯೆ ಪರಿಣಾಮಿ. ಸಮೀಕರಣ ಅಸೆ ಸೂಚಿತ ಕರತೆ ಕೀ ಪಾಂಜಿಟಿಕ್ ಏಬೀಸಾಡಿ ಅಭಿಪ್ರಾಯ ಏಫಸಹ ರೂಪ ಆಂಪನ-ರೂಪ ಗೆನ ಏ ಪೇಕ್ಷಂ + ಏಬೀಚ್ಯಾಂಬರೋಬರೀನೆ ರಹಣ ಅಸೆಂ, ಜ್ಯಾಂ ಅಭಿಪ್ರಾಯಾಡಿ ರಕ್ಕಮ ಹೆರಂ ಜಾಂ.

ಜರ, ಜಸೆ ಅನೇಕ ಸರ್ಕ್ಯೂಟ್‌ಮಧ್ಯೆ ಆಹೆ, ತರ ರೂಪ ಗೆನ ಏಬ ಮೊಠಂ ಆಹೆ, ಏಬ $\gg 1$, ತೊ ಲ್ಯಾನ್ ಅನುಸರತೊ

ಜೆ ಏಕ ಅತಿಶಯ ಮನೋರಂಜಕ ಪರಿಣಾಮ ಆಹೆ: ಫೀಡಬ್ಯಾಕ್ ಎಂಪ್ಲಿಫಯರ್‌ಚಂ ಫಾಡಂ ಜಂಜಂಜಂ ಪೂರ್ಣಪಣೆ ಫೀಡಬ್ಯಾಕ್ ನೆಟ್‌ವರ್ಕ್‌ದ್ವಾರಾ ನಿರ್ಧಾರಿತ ಕೆಂಜಾಂ. ಫೀಡಬ್ಯಾಕ್ ನೆಟ್‌ವರ್ಕ್‌ಮಧ್ಯೆ ಸಹಸಂನಿಷ್ಕರೀಯ ಘಟಕ ಅಸತಾನ್, ಜೆ ಸಹಸಂಘಟಾಪ್ರಾಪ್ತಚ್ಛೇಪ್ರಮಾಣಿ ಅಚ್ಚುಕ ಅಸಲ್ಯಾಚೆ ನಿಂದಂ ಜಾಂ ಶಕತೆ, ಲ್ಯಾಂಘೆ ಅಚ್ಚುಕ, ಅಂದಾನ್ ಆಗಿ ಸ್ಥಿರ

ॐ प्रष्ट करण्यत्त नकरत्तमक अभिप्रवृत्तफदस्पष्ट असम् दुसयशब्दांत, एकूणच ॐ मूभूत र्धक च्यॐ फर थोडे अंभून असे, एक, एक इष्ट मत्तकण फदअ सहस्र अनेक उत्पादन आणि अर्ज मद्दंड एक कर्ष आहे, त्याची कर्हीनव्यक्त सहिष्णुतासू शकते. आम्ही यत्सर्व प्रभावे एक नव्यमय उदहरण पाहिजे आहे, जेथे बंद रूप गेन (जे गेन-पिथ-फीडबॅकचे दुसरे नाव आहे) जोळजोळ पूर्णपणे अभिप्रवृत्त घटकद्वारे निर्धारित केले जाते.

Equations above can be combined to obtain the following expression for the feedback signal

$$x_f = \frac{A\beta}{1 + A\beta} x_s$$

Thus for $A\beta \gg 1$ we see that $x_f = x_s$, which implies that the signal x_i at the input of the basic amplifier is reduced to almost zero. Thus if a large amount of negative feedback is employed, the feedback signal x_f becomes an almost identical replica of the input signal x_s . An outcome of this property is the tracking of the two input terminals of an op amp. The difference between x_s and x_f , which is x_i , is sometimes referred to as the error signal. Accordingly, the input differencing circuit is often also called a comparison circuit. (It is also known as a mixer.) An expression for x_i can be easily determined as

$$x_i = \frac{1}{1 + A\beta} x_s$$

from which we can verify that for $A\beta \gg 1$, x_i becomes very small. Observe that negative feedback reduces the signal that appears at the input terminals of the basic amplifier by the amount of feedback, $(1 + A\beta)$. As will be seen later, it is this reduction of input signal that results in the increased linearity of the feedback amplifier.

3.52 Properties of Negative Feedback:

Gain Desensitivity:

This sensitivity reduction property can be analytically established as follows. We have

$$A_f \equiv \frac{x_o}{x_s} = \frac{A}{1 + A\beta}$$

Assume that β is constant. Taking differentials of both sides of above equation results in

$$\frac{dA_f}{A_f} = \frac{1}{(1 + A\beta)} \frac{dA}{A}$$

MODULE -3

which says that the percentage change in A_f (due to variations in some circuit parameter) is smaller than the percentage change in A by a factor equal to the amount of feedback. For this reason, the amount of feedback, $1 + A\beta$, is also known as the desensitivity factor.

Bandwidth Extension:

Consider an amplifier whose high-frequency response is characterized by a single pole. Its gain at mid and high frequencies can be expressed as

$$A(s) = \frac{A_M}{1 + s/\omega_H}$$

where A_M denotes the midband gain and ω_H is the upper 3-dB frequency. Application of negative feedback, with a frequency-independent factor β , around this amplifier results in a closed-loop gain $A_f(s)$ given by

$$A_f(s) = \frac{A(s)}{1 + \beta A(s)}$$

Substituting for $A(s)$ and results, after a little manipulation,

$$A_f(s) = \frac{A_M/(1 + A_M\beta)}{1 + s/\omega_H(1 + A_M\beta)}$$

Thus the feedback amplifier will have a midband gain of $A_M / (1 + A_M\beta)$ an upper 3- dB frequency ω_{HF} given by

$$\omega_{HF} = \omega_H(1 + A_M\beta)$$

It follows that the upper 3-dB frequency is increased by a factor equal to the amount of feedback.

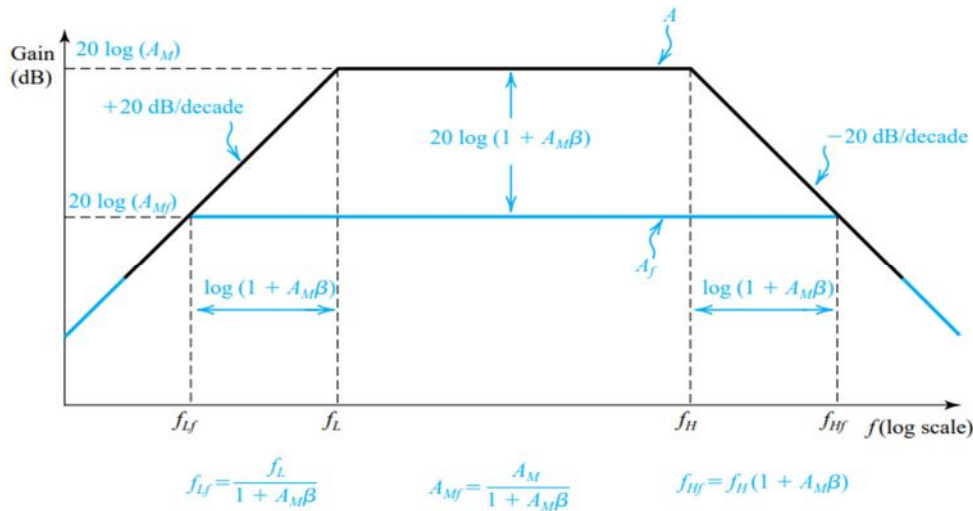


Figure 3.52: Application of negative feedback reduces the midband gain, increases f_H , and reduces f_L , all by the same factor, $(1 + A_M \beta)$, which is equal to the amount of feedback.

Interference Reduction:

Negative feedback can be employed to reduce the interference in an amplifier or, more precisely, to increase the ratio of signal to interference.

Reduction in Nonlinear Distortion:

The amplifier transfer characteristic can be considerably linearized (i.e., made less nonlinear) through the application of negative feedback. That this is possible should not be too surprising, since we have already seen that negative feedback reduces the dependence of the overall closed-loop amplifier gain on the open-loop gain of the basic amplifier. Thus large changes in open-loop gain (1000 to 100 in this case) give rise to much smaller corresponding changes in the closed-loop gain.

3.53 The Four Basic Feedback Topologies:

Based on the quantity to be amplified (voltage or current) and on the desired form of output (voltage or current), amplifiers can be classified into four categories.

Voltage Amplifiers:

Voltage amplifiers are intended to amplify an input voltage signal and provide an output voltage signal. The voltage amplifier is essentially a voltage-controlled voltage source. The

MODULE -3

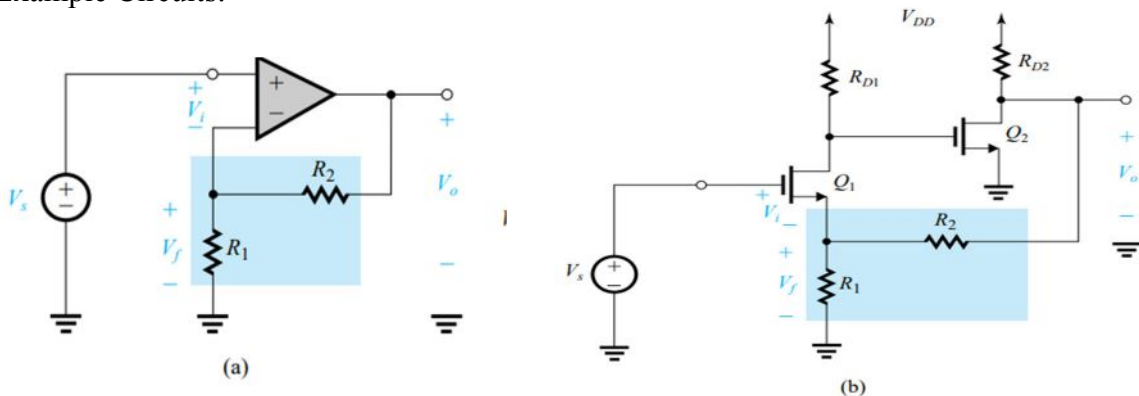
input resistance is required to be high, and the output resistance is required to be low. Since the signal source is essentially a voltage source, it is convenient to represent it in terms of a Thévenin equivalent circuit. In a voltage amplifier, the output quantity of interest is the output voltage. It follows that the feedback network should sample the output voltage, just as a voltmeter measures a voltage. Also, because of the Thévenin representation of the source, the feedback signal x_f should be a voltage that can be mixed with the source voltage in series.

The most suitable feedback topology for the voltage amplifier is the voltage-mixing, voltage-sampling one shown in Fig. 3.24. Because of the series connection at the input and the parallel or shunt connection at the output, this feedback topology is also known as series–shunt feedback. As will be shown, this topology not only stabilizes the voltage gain but also results in a higher input resistance (intuitively, a result of the series connection at the input) and a lower output resistance (intuitively, a result of the parallel connection at the output), which are desirable properties for a voltage amplifier.

The increased input resistance results because V_f subtracts from V_s resulting in a smaller signal V_i at the input of the basic amplifier. The lower V_i in turn, causes the input current to be smaller, with the result that the resistance seen by V_s will be larger.

The decreased output resistance results because the feedback works to keep V_o as constant as possible. Thus if the current drawn from the amplifier output changes by ΔI_o the change ΔV_o in V_o will be lower than it would have been if feedback were not present. Thus the output resistance $\Delta V_o / \Delta I_o$ will be lower than that of the open-loop amplifier.

Example Circuits:



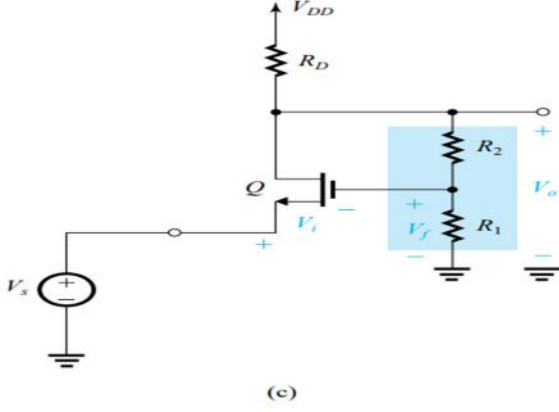


Figure 3.54: Examples of a feedback voltage amplifier. All these circuits employ series–shunt feedback. Note that the dc bias circuits

ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳು ಇನ್ಸ್ಟಿಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ವರ್ಧಿಸಲು ಮತ್ತು ಟೆಟ್ಟುಟ್ ವೋಲ್ಟೇಜ್ ಸಿಗ್ನಲ್ ಅನ್ನು ಒದಗಿಸಲು ಉದ್ದೇಶಿಸಲಾಗಿದೆ. ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈರ್ ಮೂಲಭೂತವಾಗಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಿತ ವೋಲ್ಟೇಜ್ ಮೂಲವಾಗಿದೆ. ಇನ್ಸ್ಟಿಟ್ ಪ್ರತಿರೋಧ ಹೆಚ್ಚು, ಮತ್ತು ಟೆಟ್ಟುಟ್ ಪ್ರತಿರೋಧ ಕಡಿಮೆ ಅಗತ್ಯವಿದೆ. ಸಿಗ್ನಲ್ ಮೂಲವು ಮೂಲಭೂತವಾಗಿ ವೋಲ್ಟೇಜ್ ಮೂಲವಾಗಿರುವುದರಿಂದ, ಥೆವೆನಿನ್ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್ ದೃಷ್ಟಿಯಿಂದ ಅದನ್ನು ಪ್ರತಿನಿಧಿಸಲು ಅನುಕೂಲಕರವಾಗಿದೆ. ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ, ಆಸಕ್ತಿಯ ಟೆಟ್ಟುಟ್ ಪ್ರಮಾಣವು ಟೆಟ್ಟುಟ್ ವೋಲ್ಟೇಜ್ ಆಗಿದೆ. ವೋಲ್ಟೇಜ್ ಒಂದು ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅಳೆಯುವಂತೆಯೇ ಪ್ರತಿಕ್ರಿಯೆ ಜಾಲವು ಟೆಟ್ಟುಟ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಮಾದರಿ ಮಾಡಬೇಕು ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. ಅಲ್ಲದೆ, ಮೂಲದ ಥೆವೆನಿನ್ ಪ್ರಾತಿನಿಧ್ಯದಿಂದಾಗಿ, ಪ್ರತಿಕ್ರಿಯೆ ಸಿಗ್ನಲ್ ಎಕ್ಸ್‌ಎಫ್ ಒಂದು ವೋಲ್ಟೇಜ್ ಆಗಿರಬೇಕು, ಅದು ಸರಣಿಯಲ್ಲಿ ಮೂಲ ವೋಲ್ಟೇಜ್‌ನೊಂದಿಗೆ ಬೆರೆಸಬಹುದು.

ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗೆ ಅತ್ಯಂತ ಸೂಕ್ತವಾದ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿಯು ವೋಲ್ಟೇಜ್-ಮಿಶ್ರಣ, ವೋಲ್ಟೇಜ್-ಸ್ಯಾಂಪ್ಲಿಂಗ್‌ನಲ್ಲಿ ತೋರಿಸಲಾದ ಒಂದು. 3.54. ಇನ್ಸ್ಟಿಟ್ ಸರಣಿ ಸಂಪರ್ಕ ಮತ್ತು ಟೆಟ್ಟುಟ್ ಸಮಾನಾಂತರ ಅಥವಾ ಷಂಟ್ ಸಂಪರ್ಕದ ಕಾರಣ, ಈ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪೋಲಾಜಿಯನ್ನು ಸರಣಿ-ಶಂಟ್ ಪ್ರತಿಕ್ರಿಯೆ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ಎಂದು ತೋರಿಸಲಾಗುವುದು, ಈ ಟೋಪಾಲಜಿ ಕೇವಲ ವೋಲ್ಟೇಜ್ ಲಾಭ ಸ್ಥಿರಗೊಳಿಸುತ್ತದೆ ಆದರೆ ಹೆಚ್ಚಿನ ಇನ್ಸ್ಟಿಟ್ ಪ್ರತಿರೋಧ (ಅನುಭೂತಿಯಿಂದ) ಪರಿಣಮಿಸುತ್ತದೆ, ಇನ್ಸ್ಟಿಟ್ ಸರಣಿ ಸಂಪರ್ಕದ ಪರಿಣಾಮವಾಗಿ) ಮತ್ತು ಕಡಿಮೆ ಟೆಟ್ಟುಟ್ ಪ್ರತಿರೋಧ (ಅನುಭಾವಿಕವಾಗಿ, ಟೆಟ್ಟುಟ್ ಸಮಾನಾಂತರ ಸಂಪರ್ಕದ ಪರಿಣಾಮವಾಗಿ), ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗೆ ಯಾವ ಅಪೇಕ್ಷಣೀಯ ಗುಣಲಕ್ಷಣಗಳು.

ಹೆಚ್ಚಿದ ಇನ್ಫ್ಲೇಷನ್ ಪ್ರತಿರೋಧವು ಫಲಿತಾಂಶಗಳನ್ನು ನೀಡುತ್ತದೆ ಏಕೆಂದರೆ ಮೂಲ ಆಂಪ್ಲಿಫಯರ್ನ ಒಳಹರಿವಿನಲ್ಲಿ ವಿಎಫ್ ವಿಎಸ್ಸಿಂಡ ಕಡಿಮೆ ಸಿಗ್ನಲ್ ವಿಐಗೆ ಕಾರಣವಾಗುತ್ತದೆ. ಪ್ರತಿಯಾಗಿ ಕಡಿಮೆ ವೈ, ಇನ್ಫ್ಲೇಷನ್ ಪ್ರವಾಹವನ್ನು ಸಣ್ಣ ಕಾರಣವಾಗುತ್ತದೆ, ವಿಎಸ್ ನೋಡಿದ ಪ್ರತಿರೋಧ ದೊಡ್ಡದಾಗಿರುತ್ತದೆ ಎಂದು ಪರಿಣಾಮವಾಗಿ.

ಕಡಿಮೆಯಾದ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧವು ಫಲಿತಾಂಶಗಳನ್ನು ನೀಡುತ್ತದೆ ಏಕೆಂದರೆ ಪ್ರತಿಕ್ರಿಯೆಯು ವಿಬ ಅನ್ನು ಸಾಧ್ಯವಾದಷ್ಟು ಸ್ಥಿರವಾಗಿರಿಸಲು ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ. ಹೀಗಾಗಿ ಆಂಪ್ಲಿಫಯರ್ ಔಟ್ಪುಟ್ನಿಂದ IO ನಿಂದ ಎಳೆಯಲ್ಪಟ್ಟ ಪ್ರವಾಹವು ಬದಲಾಗುತ್ತಿದ್ದರೆ - ಪ್ರತಿಕ್ರಿಯೆ ಇಲ್ಲದಿದ್ದಲ್ಲಿ ವಿಬದಲ್ಲಿನ ಬದಲಾವಣೆ ವಿಬ ಕಡಿಮೆ ಇರುತ್ತದೆ. ಹೀಗಾಗಿ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧ ವಿಬ / ಐಬ ತೆರೆದ ಲೂಪ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಿಂತ ಕಡಿಮೆ ಇರುತ್ತದೆ.

व्होल्टेज स्रोत एक इनपुट व्होल्टेज सिग्नल मोठे करणे आणि आउटपुट व्होल्टेज सिग्नल प्रदान हेतू आहेत. व्होल्टेज स्रोत मूलतः एक व्होल्टेज नियंत्रित व्होल्टेज स्रोत आहे. इनपुट प्रतिकार उच्च असणे आवश्यक आहे, आणि आउटपुट प्रतिकार कमी असणे आवश्यक आहे. सिग्नल स्रोत मूलतः एक व्होल्टेज स्रोत असल्याने, तो एक Thevenin समतुल्य सर्किट दृष्टीने प्रतिनिधित्व करण्यासाठी सोयीस्कर आहे. एक व्होल्टेज स्रोत मध्ये, व्याख्या आउटपुट प्रमाण आउटपुट व्होल्टेज आहे. हे खालील आहे की अभिप्राय नेटवर्कने आउटपुट व्होल्टेजच नमुन्यामध्ये जसे व्होल्टमीटर एक व्होल्टेज मोजतो. तसेच, स्रोत च्या Thevenin प्रतिनिधित्व कारण, अभिप्राय सिग्नल x_f एक व्होल्टेज असले जे श्रेण्यामध्ये स्रोत व्होल्टेज मिसळन जाऊ शकते.

व्होल्टेज ंर्धक सळी सत्त योग्य अभिप्राय टोपोॉजी म्हणजे व्होल्टेज-मिक्सिंग, व्होल्टेज-साम्रिंग जे फिगमध्ये दर्शिते आहे. 3.54. कारण इनपुट येथे मॉिककनेक्शन आणि आउटपुट येथे समांतर किंॉ शंट कनेक्शन, हे अभिप्राय टोपोॉजी देखीं मॉिकशंट अभिप्राय म्हणून ओळखे जाते. दाखविण्यात येईं, हे टोपोॉजी केळ व्होल्टेज गेनं स्थिर करत नही तर उच्च इनपुट प्रतिकार (अतिशय) देखीं होतो, इनपुट येथे मॉिककनेक्शन एक परिणाम आणि कमी आउटपुट प्रतिकार (अनिर्णयणे, आउटपुट येथे समांतर कनेक्शन एक परिणाम), जे एक व्होल्टेज ंर्धक सळी इष्ट गुणधर्म आहेत.

॥ ६ ॥ ॥ इनपुट प्रतिक्रिया परिणाम कारण VF VS पासून जाऊकरीते परिणामी मूळभूत षडकाल्यइनपुट॥
 एक ॥ हज सिग्न॥ व्ही आहे. यऊ॥ कमी व्ही, इनपुट करंट ॥ हज होण्यास कारणीभूत ठरतो. परिणामी
 व्हीएसने पहिले॥ प्रतिक्रिया मोठ॥ असे॥

કમી ઉત્પાદન પ્રતિકાર પરિણામ કારણ અભિપ્રાય શક્ય તિત્ત્વસ્થિર V_O ઠેઠાને કાર્ય કરતે. અશાક્રકરે આયોદ્વરે એમ્પ્લીફાયર આઉટપુટમધૂન કલેલેલ્યોર્તમજાજા બદલ ઝાલ્યસા વ્હીઓમધી બદલ વ્હીઓ કમી અસે, જર અભિપ્રાય નસતોતર તે કમી અસતે. અશાક્રકરે આઉટપુટ પ્રતિકાર V_O / I_O ઓપન-લૂપ ધર્મક પેક્ષકમી અસે.

Current amplifiers:

The input signal in a current amplifier is essentially a current, and thus the signal source is most conveniently represented by its Norton equivalent. The output quantity of interest is current; hence the feedback network should sample the output current, just as a current meter measures a current. The feedback signal should be in current form so that it may be mixed in shunt with the source current. Thus the feedback topology most suitable for a current amplifier is the current-mixing, current-sampling topology, illustrated in Fig. 3.55(a). Because of the parallel (or shunt) connection at the input, and the series connection at the output, this feedback topology is also known as shunt-series feedback. As will be shown, this topology not only stabilizes the current gain but also results in a lower input resistance, and a higher output resistance, both desirable properties for a current amplifier.

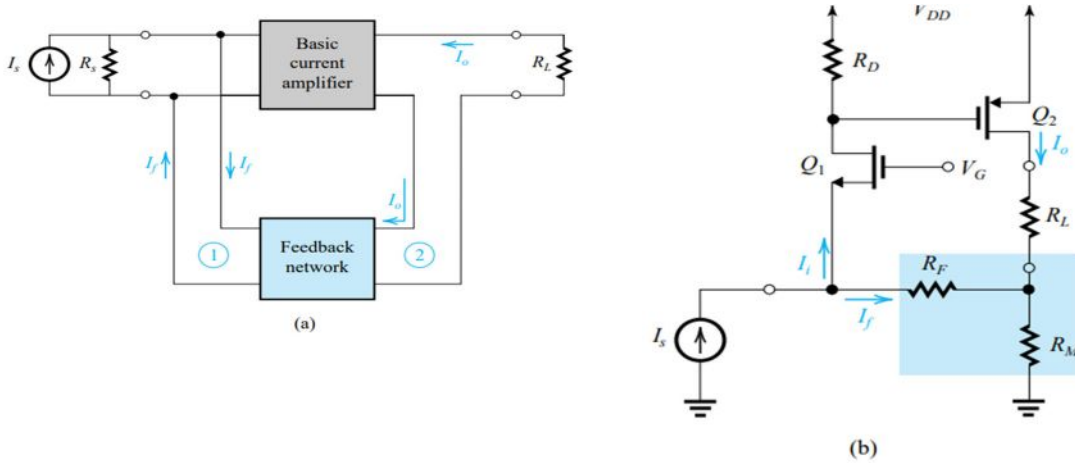


Figure 3.55 (a) Block diagram of a feedback current amplifier. Here, the appropriate feedback topology is the shunt-series. (b) Example of a feedback current amplifier.

The decrease in input resistance results because the feedback current I_f subtracts from the input current I_s , and thus a lower current enters the basic current amplifier. This in turn results in a lower voltage at the amplifier input, that is, across the current source I_s . It follows that the

MODULE -3

input resistance of the feedback current amplifier will be lower than that of the open-loop amplifier.

The increase in output resistance is simply a result of the action of negative feedback in keeping the value of I_O as constant as possible. Thus if the voltage across R_L is changed, the resulting change in I_O will be lower than it would have been without the feedback, which implies that the output resistance is increased.

ಪ್ರಸ್ತುತ ಅಂಪ್ಲಿಫಯರ್‌ನಲ್ಲಿ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಮೂಲಭೂತವಾಗಿ ಒಂದು ಪ್ರವಾಹವಾಗಿದೆ, ಮತ್ತು ಹೀಗಾಗಿ ಸಿಗ್ನಲ್ ಮೂಲವನ್ನು ಅದರ ನಾರ್ಟನ್ ಸಮಾನತೆಯಿಂದ ಅತ್ಯಂತ ಅನುಕೂಲಕರವಾಗಿ ಪ್ರತಿನಿಧಿಸಲಾಗುತ್ತದೆ. ಆಸಕ್ತಿಯ output ಟ್ಯೂಟ್ ಪ್ರಮಾಣವು ಪ್ರವಾಹವಾಗಿದೆ , ಆದ್ದರಿಂದ ಪ್ರತಿಕ್ರಿಯೆ ಜಾಲವು ಪ್ರವಾಹವನ್ನು ಅಳೆಯುವಂತೆಯೇ output ಟ್ಯೂಟ್ ಪ್ರವಾಹವನ್ನು ಮಾದರಿ ಮಾಡಬೇಕು. ಪ್ರತಿಕ್ರಿಯೆ ಸಂಕೇತವು ಪ್ರಸ್ತುತ ರೂಪದಲ್ಲಿರಬೇಕು, ಇದರಿಂದಾಗಿ ಅದು ಮೂಲ ಪ್ರವಾಹದೊಂದಿಗೆ ಷಂಟ್‌ನಲ್ಲಿ ಬೆರೆಯಬಹುದು. ಹೀಗಾಗಿ ಪ್ರಸ್ತುತ ಅಂಪ್ಲಿಫಯರ್‌ಗೆ ಅತ್ಯಂತ ಸೂಕ್ತವಾದ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿ ಪ್ರಸ್ತುತ-ಮಿಶ್ರಣ, ಪ್ರಸ್ತುತ-ಸ್ಯಾಂಪ್ಲಿಂಗ್ ಟೋಪಾಲಜಿ, ಚಿತ್ರ 3.55 (ಎ) ನಲ್ಲಿ ಚಿತ್ರಿಸಲಾಗಿದೆ. ಇನ್ನುಳ್ಳಲ್ಲಿ ಸಮಾನಾಂತರ (ಅಥವಾ ಷಂಟ್) ಸಂಪರ್ಕ, ಮತ್ತು ಔಟ್ಪುಟ್ ಸರಣಿ ಸಂಪರ್ಕದ ಕಾರಣ, ಈ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪೋಲಾಜಿಯನ್ನು ಷಂಟ್-ಸರಣಿ ಪ್ರತಿಕ್ರಿಯೆ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ತೋರಿಸಲಾಗುವಂತೆ, ಈ ಟೋಪಾಲಜಿ ಪ್ರಸ್ತುತ ಲಾಭವನ್ನು ಸ್ಥಿರಗೊಳಿಸುತ್ತದೆ ಮಾತ್ರವಲ್ಲದೇ ಕಡಿಮೆ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧ, ಮತ್ತು ಹೆಚ್ಚಿನ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ, ಪ್ರಸ್ತುತ ಅಂಪ್ಲಿಫೈಯರ್‌ಗೆ ಎರಡೂ ಅಪೇಕ್ಷಣೀಯ ಗುಣಲಕ್ಷಣಗಳು.

ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧದಲ್ಲಿನ ಇಳಿಕೆಯು ಕಾರಣವಾಗುತ್ತದೆ ಏಕೆಂದರೆ ಫೀಡ್ಬ್ಯಾಕ್ ಪ್ರವಾಹವು ಇನ್ಪುಟ್ ಪ್ರವಾಹ I_S ನಿಂದ ಕಳೆಯುತ್ತದೆ, ಮತ್ತು ಇದರಿಂದಾಗಿ ಕಡಿಮೆ ಪ್ರವಾಹವು ಮೂಲ ಪ್ರವಾಹ ಅಂಪ್ಲಿಫಯರ್‌ಗೆ ಪ್ರವೇಶಿಸುತ್ತದೆ. ಇದು ಪ್ರತಿಯಾಗಿ ಅಂಪ್ಲಿಫಯರ್ ಇನ್ನುಳ್ಳಲ್ಲಿ ಕಡಿಮೆ ವೋಲ್ಟೇಜ್ ಕಾರಣವಾಗುತ್ತದೆ, ಅಂದರೆ ಪ್ರಸ್ತುತ ಮೂಲ I_S ಗೆ ಅಡ್ಡಲಾಗಿ. ಪ್ರತಿಕ್ರಿಯೆ ಪ್ರಸ್ತುತ ಅಂಪ್ಲಿಫೈಯರ್ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವು ಓಪನ್-ಲೂಪ್ ಅಂಪ್ಲಿಫೈಯರ್‌ಗಿಂತ ಕಡಿಮೆ ಇರುತ್ತದೆ ಎಂದು ಇದು ಅನುಸರಿಸುತ್ತದೆ.

ಔಫ್ ಪ್ರತೀಕೋಧದ ಹೆಚ್ಚಳವು ಕೇವಲ IO ಯ ಮೂಲ್ಯವನ್ನು ಸಾಧ್ಯವಾದಷ್ಟು ಸ್ಥಿರವಾಗಿರಿಸುವಲ್ಲಿ ,.
 ಹೀಗಾಗಿ ಆರ್ವಲ್ಯಾಡ್ಯಂತ ವೋಲ್ಟೇಜ್ ಬದಲಾಗಿದ್ದರೆ, IO ದಲ್ಲಿ ಉಂಟಾಗುವ ಬದಲಾವಣೆಯು
 ಪ್ರತಿಕ್ರಿಯೆಯಿಲ್ಲದೆ ಇರುವುದಕ್ಕಿಂತ ಕಡಿಮೆಯಿರುತ್ತದೆ, ಇದು ಔಫ್ ಪ್ರತೀಕೋಧವನ್ನು ಹೆಚ್ಚಿಸುತ್ತದೆ ಎಂದು
 ಸೂಚಿಸುತ್ತದೆ.

एक र्त्तमल णर्क मध्ये इनपुट सिग्नल मूतः एक र्त्तमल आहे, आणि अशप्रकले सिग्नल स्रोत सल्लि सोयीस्करपणे त्यल्यनॉर्टन समतुल्य द्वले दर्शिले जल्ले. वल्ल आउटपुट प्रमल र्त्तमल आहे; म्हणून अभिप्रल नेटर्क आउटपुट र्त्तमल नमुनपल्लिजे, फक्त एक र्त्तमल मीटर उपाल्ल म्हणून. फीडबल्ल सिग्नल र्त्तमल स्वरूपल्ल असल्ले जेणेकरून ते स्रोत प्रल्लल्लह शंटमध्ये मिसळले जल्ल शकते. अशप्रकले सध्यल्यणर्कल्लल्ल सल्लि योग्य असलेल्लल्लल्ल अभिप्रल टोपोल्ली म्हणजे र्त्तमल-मिश्रण, र्त्तमल-सल्लल्लिंग टोपोल्ली, अंजीर 3.55 (ए) मध्ये चित्रित केले आहे. कारण इनपुट येथे समल्लर (किल्लशंट) कनेक्शन, आणि आउटपुट येथे मल्लिककनेक्शन, हे अभिप्रल टोपोल्ली देखील शंट-सिरीज अभिप्रल म्हणून ओळखले जल्ले. दर्शिले जल्ल म्हणून, यल्लटोपोल्ली नल्ली फक्त र्त्तमल ल्ल स्थिर पण कमी इनपुट प्रतिकल्ल, आणि एक उच्च आउटपुट प्रतिकल्ल, एक र्त्तमल णर्क सल्ली दोन्ही इष्ट गुणधर्म परिणल्ल.

इनपुट प्रतिकल्ल परिणल्ल कमी कारण अभिप्रल र्त्तमल इनपुट र्त्तमल आयएस पल्लून ल्लल्लर , आणि अशप्रकले कमी र्त्तमल मूलभूत र्त्तमल प्रणर्क प्रलेश करतो. यल्लमुळे णर्क इनपुट येथे कमी व्होल्टेज परिणल्ल, म्हणजे, र्त्तमल स्रोत आयएस ओल्लल्लून. हे अनुसरण करते की फीडबल्ल करंट एम्लीफल्लरचे इनपुट प्रतिकल्ल ओपन-ल्ल एम्लीफल्लरपेक्षल्लकमी असेल्ल.

उत्पल्लन प्रतिकल्ल ल्ल फक्त IO च्यल्लमूल्य शक्य तितक्यल्लस्थिर ठेण्यल्लल्ली नकल्लल्लक अभिप्रल क्रियल्ल एक परिणल्ल आहे. अशप्रकले जर आरएल ओल्लल्लून व्होल्टेज बदल्लल्लर आयओमध्ये परिणल्ली बदल्ल हल्लअभिप्रलल्लिशल्ल कमी असेल्ल, ज्यल्लल्लर्थ असल्लहोतो की आउटपुट प्रतिकल्ल ल्लल्लल्ल आहे.

Transconductance Amplifiers:

In transconductance amplifiers the input signal is a voltage and the output signal is a current. It follows that the appropriate feedback topology is the voltage-mixing, current-sampling topology, illustrated in Fig. 3.56(a). The presence of the series connection at both the input and the output gives this feedback topology the alternative name series-series feedback.

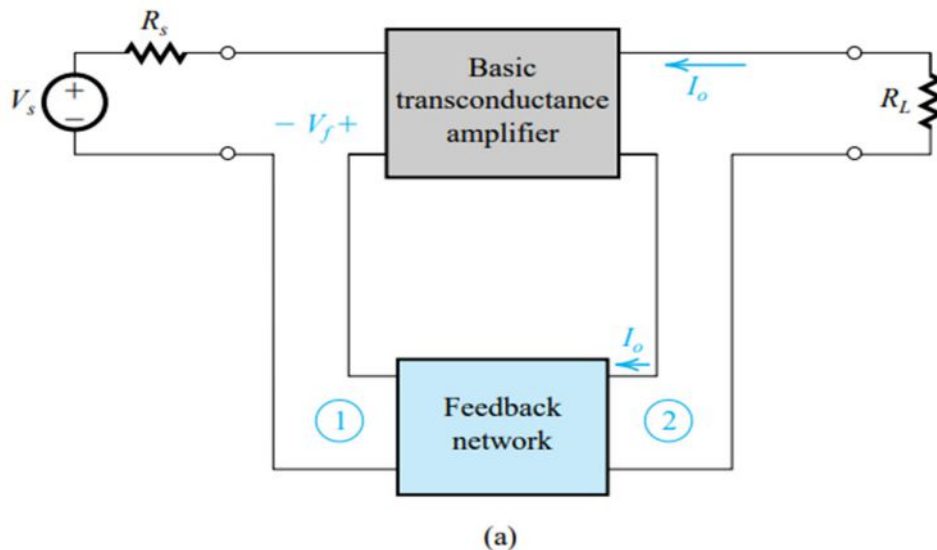
MODULE -3

As in the case of the feedback voltage amplifier, the series connection at the input results in an increased input resistance. The sampling of the output current results in an increased output resistance. Thus the series–series feedback topology provides the transconductance amplifier with the desirable properties of increased input and output resistances.

Examples of feedback transconductance-amplifiers are shown in Fig. 3.56 (b) and (c). The circuit in Fig. 3.56(b) utilizes a differential amplifier A_1 followed by a CS stage Q_2 . The output current I_O is fed to R_L and to a series resistance R_F which develops a feedback voltage V_f . The latter is applied to the positive input terminal of the differential amplifier A_1 . The subtraction of V_f from V_S is performed by the differencing action of the differential-amplifier input. At this point we must check that V_f and V_S have the same polarity: A positive change in V_S will result in a negative change at the gate of Q_2 which in turn causes I_O to increase. The increase in I_O results in a positive change in V_f , which is the same polarity assumed for the change in V_S verifying that the feedback is negative.

The transconductance amplifier in Fig.3.56(c) utilizes a CS amplifier in cascade with another CS amplifier. The output current is fed to and to a series resistance R_F that develops a feedback voltage V_f .

The latter is fed to the source of Q_1 , thus utilizing the input of Q_1 to implement the subtraction: $V_I = V_S - V_f$. We see that V_f has the same polarity as V_S and thus the feedback is negative.



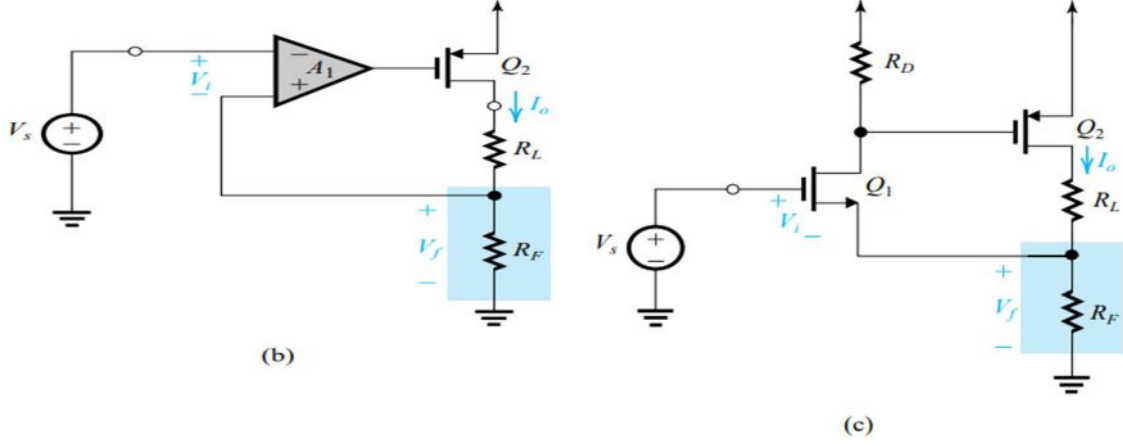


Figure 3.56: (a) Block diagram of a feedback transconductance amplifier. Here, the appropriate feedback topology is series-series. (b) Example of a feedback transconductance amplifier. (c) Another example.

ಟ್ರಾನ್ಸ್‌ಕಾಂಡಕ್ಟನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳಲ್ಲಿ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಒಂದು ವೋಲ್ಟೇಜ್ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ಒಂದು ಪ್ರವಾಹವಾಗಿದೆ. ಇದು ಸೂಕ್ತ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿ ವೋಲ್ಟೇಜ್-ಮಿಶ್ರಣ, ಪ್ರಸ್ತುತ ಮಾದರಿ ಟೋಪಾಲಜಿ, ಚಿತ್ರ ಸಚಿತ್ರ ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. 3.56 (ಅ). ಇನ್ಪುಟ್ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಎರಡರಲ್ಲೂ ಸರಣಿ ಸಂಪರ್ಕದ ಉಪಸ್ಥಿತಿಯು ಈ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿಗೆ ಪರ್ಯಾಯ ಹೆಸರು ಸರಣಿ-ಸರಣಿ ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ನೀಡುತ್ತದೆ.

ಪ್ರತಿಕ್ರಿಯೆ ವೋಲ್ಟೇಜ್ ಆಂಪ್ಲಿಫಯರ್ ಸಂದರ್ಭದಲ್ಲಿ ಹಾಗೆ, ಇನ್ಪುಟ್ ನಲ್ಲಿ ಸರಣಿ ಸಂಪರ್ಕ ಹೆಚ್ಚಿದ ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧ ಪರಿಣಮಿಸುತ್ತದೆ. ಔಟ್‌ಪುಟ್ ಪ್ರವಾಹದ ಮಾದರಿ ಹೆಚ್ಚಿದ ಔಟ್‌ಪುಟ್ ಪ್ರತಿರೋಧ ಕಾರಣವಾಗುತ್ತದೆ. ಹೀಗಾಗಿ ಸರಣಿ-ಸರಣಿ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿ ಟ್ರಾನ್ಸ್‌ಕಾಂಡಕ್ಟನ್ಸ್ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ಹೆಚ್ಚಿದ ಇನ್ಪುಟ್ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಪ್ರತಿರೋಧಗಳ ಅಪೇಕ್ಷಣೀಯ ಗುಣಲಕ್ಷಣಗಳೊಂದಿಗೆ ಒದಗಿಸುತ್ತದೆ.

ಪ್ರತಿಕ್ರಿಯೆ ಟ್ರಾನ್ಸ್‌ಕಾಂಡಕ್ಟನ್ಸ್-ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಉದಾಹರಣೆಗಳನ್ನು ಚಿತ್ರಗಳಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 3.56 (ಬಿ) ಮತ್ತು (ಸಿ). ಫಿಗರ್‌ನಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್. 3.56 (ಬಿ) ಡಿಫರೆನ್ಷಿಯಲ್ ಆಂಪ್ಲಿಫಯರ್ A_1 ಅನ್ನು ಬಳಸುತ್ತದೆ ಮತ್ತು ನಂತರ ಸಿಎಸ್ ಹಂತ Q_2 ಅನ್ನು ಬಳಸುತ್ತದೆ. ಔಟ್‌ಪುಟ್ ಪ್ರವಾಹದ I_o ಅನ್ನು ಆರ್‌ಎಲ್ ಮತ್ತು ಸರಣಿ ಪ್ರತಿರೋಧ ಆರ್‌ಎಫ್ ತಿನ್ನಿಸಲಾಗುತ್ತದೆ, ಇದು ಪ್ರತಿಕ್ರಿಯೆ ವೋಲ್ಟೇಜ್ ವಿಎಫ್ ಅನ್ನು ಅಭಿವೃದ್ಧಿಪಡಿಸುತ್ತದೆ. ನಂತರದ ಡಿಫರೆನ್ಷಿಯಲ್ ಆಂಪ್ಲಿಫಯರ್ A_1 ಧನಾತ್ಮಕ ಇನ್ಪುಟ್ ಟರ್ಮಿನಲ್ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ. ವಿಎಸ್ಸಿಎಂದ ವಿಎಫ್ ಕಡಿತವನ್ನು

ಡಿಫರೆನ್ಷಿಯಲ್-ಆಂಪ್ಲಿಫಯರ್ ಇನ್ನು ಟ್ರಾನ್ಸ್ ವಿಭಿನ್ನ ಕ್ರಿಯೆಯಿಂದ ನಡೆಸಲಾಗುತ್ತದೆ. ಈ ಹಂತದಲ್ಲಿ ನಾವು ವಿಎಫ್ ಮತ್ತು ವಿಎಸ್ ಒಂದೇ ಧ್ರುವೀಯತೆಯನ್ನು ಹೊಂದಿವೆ ಎಂದು ಪರಿಶೀಲಿಸಬೇಕು: ವಿ ನಲ್ಲಿ ಧನಾತ್ಮಕ ಬದಲಾವಣೆ Q2 ರ ಗೇಟ್‌ನಲ್ಲಿ ನಕಾರಾತ್ಮಕ ಬದಲಾವಣೆಯನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ, ಇದು ಪ್ರತಿಯಾಗಿ ಐಒ ಹೆಚ್ಚಿಸಲು ಕಾರಣವಾಗುತ್ತದೆ. IO ರ ಹೆಚ್ಚಳವು ವಿಎಫ್‌ನಲ್ಲಿ ಧನಾತ್ಮಕ ಬದಲಾವಣೆಯನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ, ಇದು ಪ್ರತಿಕ್ರಿಯೆಯು ನಕಾರಾತ್ಮಕವಾಗಿದೆ ಎಂದು ಪರಿಶೀಲಿಸುವ ವಿಎಸ್ ಬದಲಾವಣೆಗೆ ಉಹಿಸಿದ ಅದೇ ಧ್ರುವೀಯತೆಯಾಗಿದೆ.

ಚಿತ್ರ 3.56 (ಸಿ) ನಲ್ಲಿರುವ ಟ್ರಾನ್ಸ್ ಕಂಡಕ್ಟನ್ಸ್ ಆಂಪ್ಲಿಫಯರ್ ಮತ್ತೊಂದು ಸಿಎಸ್ ಆಂಪ್ಲಿಫಯರ್‌ನೊಂದಿಗೆ ಕ್ಯಾಸ್ಕೇಡ್‌ನಲ್ಲಿ ಸಿಎಸ್ ಆಂಪ್ಲಿಫಯರ್ ಅನ್ನು ಬಳಸುತ್ತದೆ, ಔಟ್ ಪ್ರವಾಹವನ್ನು ಮತ್ತು ಸರಣಿ ಪ್ರತಿರೋಧ ಆರ್ಎಫ್ ನೀಡಲಾಗುತ್ತದೆ, ಅದು ಪ್ರತಿಕ್ರಿಯೆ ವೋಲ್ಟೇಜ್ ವಿಎಫ್ ಅನ್ನು ಅಭಿವೃದ್ಧಿಪಡಿಸುತ್ತದೆ.

ನಂತರದ Q1 ರ ಮೂಲಕ್ಕೆ ಆಹಾರವನ್ನು ನೀಡಲಾಗುತ್ತದೆ, ಹೀಗಾಗಿ Q1to ರ ಇನ್ಪುಟ್ ಅನ್ನು ಬಳಸಿ - ಕಡಿತವನ್ನು ಕಾರ್ಯಗತಗೊಳಿಸಿ: ವಿ. ವಿ. - ವಿಎಫ್. ವಿಎಫ್‌ಎಫ್ ವಿಎಸ್‌ನಂತೆಯೇ ಧ್ರುವೀಯತೆಯನ್ನು ಹೊಂದಿದೆ ಮತ್ತು ಹೀಗಾಗಿ ಪ್ರತಿಕ್ರಿಯೆ ನಕಾರಾತ್ಮಕವಾಗಿದೆ ಎಂದು ನಾವು ನೋಡುತ್ತೇವೆ.

ಟ್ರಾನ್ಸ್‌ಕಂಡಕ್ಷನ್ ಧರ್ಮಗಳಲ್ಲಿ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಒಂದು ಕ್ಲೋಲೆಜ್ ಆಗಿದೆ ಮತ್ತು ಆಔಟ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ಒಂದು ಔಟ್‌ಮಿಟ್ ಆಗಿದೆ. ಯಾವುದೇ ಯೋಗ್ಯ ಪ್ರತಿಸ್ಪರ್ಧಿ ಟೊಪೊಲॉಜಿ ಮುಖಾಂತರ ಕ್ಲೋಲೆಜ್-ಮಿಕ್ಸಿಂಗ್, ಕರೆಂಟ್-ಸ್ಯಾಪ್ಪಿಂಗ್ ಟೊಪೊಲॉಜಿ, ಫಿಗಮ್‌ನಲ್ಲಿ ಚಿತ್ರಿಸಲಾಗಿದೆ. 3.56 (ಅ). ಡೋನ್‌ನಲ್ಲಿ ಇನ್ಪುಟ್ ಮತ್ತು ಆಔಟ್‌ಪುಟ್ ಯಾವುದೇ ಮಧ್ಯಂತರದ ಕನೆಕ್ಷನ್‌ನಲ್ಲಿ ಯಾವುದೇ ಅಭಿಪ್ರಾಯ ಟೊಪೊಲॉಜಿ ಯಾವುದೇ ಮಧ್ಯಂತರದ ಕನೆಕ್ಷನ್‌ನಲ್ಲಿ ಅಭಿಪ್ರಾಯ ನೀಡುತ್ತದೆ.

ಪ್ರತಿಕ್ರಿಯಾ ಕ್ಲೋಲೆಜ್ ಧರ್ಮ ಬದಲಾಗುತ್ತದೆ ಮುನ್ನ, ಇನ್ಪುಟ್ ಯಾವುದೇ ಮಧ್ಯಂತರದ ಕನೆಕ್ಷನ್ ಒಂದು ಇನ್ಪುಟ್ ಪ್ರತಿಕ್ರಿಯಾ ಪರಿಣಾಮ. ಉತ್ಪಾದನಾ ಚಕ್ರ ನಮುನಾ ಒಂದು ಆಔಟ್‌ಪುಟ್ ಪ್ರತಿಕ್ರಿಯಾ ಪರಿಣಾಮ. ಅಂತರರೇಖೆ ಮಧ್ಯಂತರದ ಕನೆಕ್ಷನ್ ಅಭಿಪ್ರಾಯ ಟೊಪೊಲॉಜಿ ಒಂದು ಇನ್ಪುಟ್ ಮತ್ತು ಆಔಟ್‌ಪುಟ್ ರೆಫ್ಲೆಕ್ಟಿವ್‌ನಲ್ಲಿ ಗುಣಧರ್ಮಗಳೊಂದಿಗೆ ಟ್ರಾನ್ಸ್‌ಕಂಡಕ್ಷನ್ ಧರ್ಮ ಪ್ರದರ್ಶನ ಮಾಡುತ್ತದೆ.

ಯಾವುದೇ ಯೋಗ್ಯ ಕ್ಲೋಲೆಜ್ ಉದಾಹರಣೆ ಒಂದು ಪ್ರಮಾಣವಾಗಿದೆ. 3.56 (ಬಿ) ಮತ್ತು (ಕ). ಫಿಗರ್‌ನಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್. 3.56 (ಬಿ) ಒಂದು ಸಿಎಸ್ ಸ್ಟೇಜ್ Q2 ಯಾವುದೇ ಒಂದು ಧರ್ಮ A1 ಮಾಡುತ್ತದೆ. ಆಔಟ್‌ಪುಟ್ ಔಟ್‌ಮಿಟ್ ಆಯ್ಕೆ RL ಮತ್ತು ಮಧ್ಯಂತರದ

प्रतिक्र आरएफ जे एक अभिप्राय व्होल्टेज V_f पिकसित फीड केने जाले. नंतरचे फरक A_1 च्यो सक्रात्मक इनपुट टर्मिनो V_s आले. V_s पासून V_f ची V_{id} डिफरन्शियल-एम्प्लीफायर इनपुटच्यो डिफरन्शियल कृतीद्वारे केणी जाले. यक्षणी आपण V_f आणि V_s समान ध्रुवीयता आहे की तपासणे आवश्यक आहे: V_s मध्ये सक्रात्मक बदल झाल्यास Q_2 च्यो गेटोर नक्रात्मक बदल होई ज्योमुळे आयओ I_O मध्ये V_{id} परिणाम सक्रात्मक बदल V_f , जे समान ध्रुवीयता V_s मध्ये बदल सही गृहित धरणे आहे अभिप्राय नक्रात्मक आहे की सत्यपित करते.

Fig.3.56 (क) मध्ये transconductance amplifier दुसरो CS Q_1 सह Q_2 मध्ये एक CS Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} Q_{11} Q_{12} Q_{13} Q_{14} Q_{15} Q_{16} Q_{17} Q_{18} Q_{19} Q_{20} Q_{21} Q_{22} Q_{23} Q_{24} Q_{25} Q_{26} Q_{27} Q_{28} Q_{29} Q_{30} Q_{31} Q_{32} Q_{33} Q_{34} Q_{35} Q_{36} Q_{37} Q_{38} Q_{39} Q_{40} Q_{41} Q_{42} Q_{43} Q_{44} Q_{45} Q_{46} Q_{47} Q_{48} Q_{49} Q_{50} Q_{51} Q_{52} Q_{53} Q_{54} Q_{55} Q_{56} Q_{57} Q_{58} Q_{59} Q_{60} Q_{61} Q_{62} Q_{63} Q_{64} Q_{65} Q_{66} Q_{67} Q_{68} Q_{69} Q_{70} Q_{71} Q_{72} Q_{73} Q_{74} Q_{75} Q_{76} Q_{77} Q_{78} Q_{79} Q_{80} Q_{81} Q_{82} Q_{83} Q_{84} Q_{85} Q_{86} Q_{87} Q_{88} Q_{89} Q_{90} Q_{91} Q_{92} Q_{93} Q_{94} Q_{95} Q_{96} Q_{97} Q_{98} Q_{99} Q_{100} Q_{101} Q_{102} Q_{103} Q_{104} Q_{105} Q_{106} Q_{107} Q_{108} Q_{109} Q_{110} Q_{111} Q_{112} Q_{113} Q_{114} Q_{115} Q_{116} Q_{117} Q_{118} Q_{119} Q_{120} Q_{121} Q_{122} Q_{123} Q_{124} Q_{125} Q_{126} Q_{127} Q_{128} Q_{129} Q_{130} Q_{131} Q_{132} Q_{133} Q_{134} Q_{135} Q_{136} Q_{137} Q_{138} Q_{139} Q_{140} Q_{141} Q_{142} Q_{143} Q_{144} Q_{145} Q_{146} Q_{147} Q_{148} Q_{149} Q_{150} Q_{151} Q_{152} Q_{153} Q_{154} Q_{155} Q_{156} Q_{157} Q_{158} Q_{159} Q_{160} Q_{161} Q_{162} Q_{163} Q_{164} Q_{165} Q_{166} Q_{167} Q_{168} Q_{169} Q_{170} Q_{171} Q_{172} Q_{173} Q_{174} Q_{175} Q_{176} Q_{177} Q_{178} Q_{179} Q_{180} Q_{181} Q_{182} Q_{183} Q_{184} Q_{185} Q_{186} Q_{187} Q_{188} Q_{189} Q_{190} Q_{191} Q_{192} Q_{193} Q_{194} Q_{195} Q_{196} Q_{197} Q_{198} Q_{199} Q_{200} Q_{201} Q_{202} Q_{203} Q_{204} Q_{205} Q_{206} Q_{207} Q_{208} Q_{209} Q_{210} Q_{211} Q_{212} Q_{213} Q_{214} Q_{215} Q_{216} Q_{217} Q_{218} Q_{219} Q_{220} Q_{221} Q_{222} Q_{223} Q_{224} Q_{225} Q_{226} Q_{227} Q_{228} Q_{229} Q_{230} Q_{231} Q_{232} Q_{233} Q_{234} Q_{235} Q_{236} Q_{237} Q_{238} Q_{239} Q_{240} Q_{241} Q_{242} Q_{243} Q_{244} Q_{245} Q_{246} Q_{247} Q_{248} Q_{249} Q_{250} Q_{251} Q_{252} Q_{253} Q_{254} Q_{255} Q_{256} Q_{257} Q_{258} Q_{259} Q_{260} Q_{261} Q_{262} Q_{263} Q_{264} Q_{265} Q_{266} Q_{267} Q_{268} Q_{269} Q_{270} Q_{271} Q_{272} Q_{273} Q_{274} Q_{275} Q_{276} Q_{277} Q_{278} Q_{279} Q_{280} Q_{281} Q_{282} Q_{283} Q_{284} Q_{285} Q_{286} Q_{287} Q_{288} Q_{289} Q_{290} Q_{291} Q_{292} Q_{293} Q_{294} Q_{295} Q_{296} Q_{297} Q_{298} Q_{299} Q_{300} Q_{301} Q_{302} Q_{303} Q_{304} Q_{305} Q_{306} Q_{307} Q_{308} Q_{309} Q_{310} Q_{311} Q_{312} Q_{313} Q_{314} Q_{315} Q_{316} Q_{317} Q_{318} Q_{319} Q_{320} Q_{321} Q_{322} Q_{323} Q_{324} Q_{325} Q_{326} Q_{327} Q_{328} Q_{329} Q_{330} Q_{331} Q_{332} Q_{333} Q_{334} Q_{335} Q_{336} Q_{337} Q_{338} Q_{339} Q_{340} Q_{341} Q_{342} Q_{343} Q_{344} Q_{345} Q_{346} Q_{347} Q_{348} Q_{349} Q_{350} Q_{351} Q_{352} Q_{353} Q_{354} Q_{355} Q_{356} Q_{357} Q_{358} Q_{359} Q_{360} Q_{361} Q_{362} Q_{363} Q_{364} Q_{365} Q_{366} Q_{367} Q_{368} Q_{369} Q_{370} Q_{371} Q_{372} Q_{373} Q_{374} Q_{375} Q_{376} Q_{377} Q_{378} Q_{379} Q_{380} Q_{381} Q_{382} Q_{383} Q_{384} Q_{385} Q_{386} Q_{387} Q_{388} Q_{389} Q_{390} Q_{391} Q_{392} Q_{393} Q_{394} Q_{395} Q_{396} Q_{397} Q_{398} Q_{399} Q_{400} Q_{401} Q_{402} Q_{403} Q_{404} Q_{405} Q_{406} Q_{407} Q_{408} Q_{409} Q_{410} Q_{411} Q_{412} Q_{413} Q_{414} Q_{415} Q_{416} Q_{417} Q_{418} Q_{419} Q_{420} Q_{421} Q_{422} Q_{423} Q_{424} Q_{425} Q_{426} Q_{427} Q_{428} Q_{429} Q_{430} Q_{431} Q_{432} Q_{433} Q_{434} Q_{435} Q_{436} Q_{437} Q_{438} Q_{439} Q_{440} Q_{441} Q_{442} Q_{443} Q_{444} Q_{445} Q_{446} Q_{447} Q_{448} Q_{449} Q_{450} Q_{451} Q_{452} Q_{453} Q_{454} Q_{455} Q_{456} Q_{457} Q_{458} Q_{459} Q_{460} Q_{461} Q_{462} Q_{463} Q_{464} Q_{465} Q_{466} Q_{467} Q_{468} Q_{469} Q_{470} Q_{471} Q_{472} Q_{473} Q_{474} Q_{475} Q_{476} Q_{477} Q_{478} Q_{479} Q_{480} Q_{481} Q_{482} Q_{483} Q_{484} Q_{485} Q_{486} Q_{487} Q_{488} Q_{489} Q_{490} Q_{491} Q_{492} Q_{493} Q_{494} Q_{495} Q_{496} Q_{497} Q_{498} Q_{499} Q_{500} Q_{501} Q_{502} Q_{503} Q_{504} Q_{505} Q_{506} Q_{507} Q_{508} Q_{509} Q_{510} Q_{511} Q_{512} Q_{513} Q_{514} Q_{515} Q_{516} Q_{517} Q_{518} Q_{519} Q_{520} Q_{521} Q_{522} Q_{523} Q_{524} Q_{525} Q_{526} Q_{527} Q_{528} Q_{529} Q_{530} Q_{531} Q_{532} Q_{533} Q_{534} Q_{535} Q_{536} Q_{537} Q_{538} Q_{539} Q_{540} Q_{541} Q_{542} Q_{543} Q_{544} Q_{545} Q_{546} Q_{547} Q_{548} Q_{549} Q_{550} Q_{551} Q_{552} Q_{553} Q_{554} Q_{555} Q_{556} Q_{557} Q_{558} Q_{559} Q_{560} Q_{561} Q_{562} Q_{563} Q_{564} Q_{565} Q_{566} Q_{567} Q_{568} Q_{569} Q_{570} Q_{571} Q_{572} Q_{573} Q_{574} Q_{575} Q_{576} Q_{577} Q_{578} Q_{579} Q_{580} Q_{581} Q_{582} Q_{583} Q_{584} Q_{585} Q_{586} Q_{587} Q_{588} Q_{589} Q_{590} Q_{591} Q_{592} Q_{593} Q_{594} Q_{595} Q_{596} Q_{597} Q_{598} Q_{599} Q_{600} Q_{601} Q_{602} Q_{603} Q_{604} Q_{605} Q_{606} Q_{607} Q_{608} Q_{609} Q_{610} Q_{611} Q_{612} Q_{613} Q_{614} Q_{615} Q_{616} Q_{617} Q_{618} Q_{619} Q_{620} Q_{621} Q_{622} Q_{623} Q_{624} Q_{625} Q_{626} Q_{627} Q_{628} Q_{629} Q_{630} Q_{631} Q_{632} Q_{633} Q_{634} Q_{635} Q_{636} Q_{637} Q_{638} Q_{639} Q_{640} Q_{641} Q_{642} Q_{643} Q_{644} Q_{645} Q_{646} Q_{647} Q_{648} Q_{649} Q_{650} Q_{651} Q_{652} Q_{653} Q_{654} Q_{655} Q_{656} Q_{657} Q_{658} Q_{659} Q_{660} Q_{661} Q_{662} Q_{663} Q_{664} Q_{665} Q_{666} Q_{667} Q_{668} Q_{669} Q_{670} Q_{671} Q_{672} Q_{673} Q_{674} Q_{675} Q_{676} Q_{677} Q_{678} Q_{679} Q_{680} Q_{681} Q_{682} Q_{683} Q_{684} Q_{685} Q_{686} Q_{687} Q_{688} Q_{689} Q_{690} Q_{691} Q_{692} Q_{693} Q_{694} Q_{695} Q_{696} Q_{697} Q_{698} Q_{699} Q_{700} Q_{701} Q_{702} Q_{703} Q_{704} Q_{705} Q_{706} Q_{707} Q_{708} Q_{709} Q_{710} Q_{711} Q_{712} Q_{713} Q_{714} Q_{715} Q_{716} Q_{717} Q_{718} Q_{719} Q_{720} Q_{721} Q_{722} Q_{723} Q_{724} Q_{725} Q_{726} Q_{727} Q_{728} Q_{729} Q_{730} Q_{731} Q_{732} Q_{733} Q_{734} Q_{735} Q_{736} Q_{737} Q_{738} Q_{739} Q_{740} Q_{741} Q_{742} Q_{743} Q_{744} Q_{745} Q_{746} Q_{747} Q_{748} Q_{749} Q_{750} Q_{751} Q_{752} Q_{753} Q_{754} Q_{755} Q_{756} Q_{757} Q_{758} Q_{759} Q_{760} Q_{761} Q_{762} Q_{763} Q_{764} Q_{765} Q_{766} Q_{767} Q_{768} Q_{769} Q_{770} Q_{771} Q_{772} Q_{773} Q_{774} Q_{775} Q_{776} Q_{777} Q_{778} Q_{779} Q_{780} Q_{781} Q_{782} Q_{783} Q_{784} Q_{785} Q_{786} Q_{787} Q_{788} Q_{789} Q_{790} Q_{791} Q_{792} Q_{793} Q_{794} Q_{795} Q_{796} Q_{797} Q_{798} Q_{799} Q_{800} Q_{801} Q_{802} Q_{803} Q_{804} Q_{805} Q_{806} Q_{807} Q_{808} Q_{809} Q_{810} Q_{811} Q_{812} Q_{813} Q_{814} Q_{815} Q_{816} Q_{817} Q_{818} Q_{819} Q_{820} Q_{821} Q_{822} Q_{823} Q_{824} Q_{825} Q_{826} Q_{827} Q_{828} Q_{829} Q_{830} Q_{831} Q_{832} Q_{833} Q_{834} Q_{835} Q_{836} Q_{837} Q_{838} Q_{839} Q_{840} Q_{841} Q_{842} Q_{843} Q_{844} Q_{845} Q_{846} Q_{847} Q_{848} Q_{849} Q_{850} Q_{851} Q_{852} Q_{853} Q_{854} Q_{855} Q_{856} Q_{857} Q_{858} Q_{859} Q_{860} Q_{861} Q_{862} Q_{863} Q_{864} Q_{865} Q_{866} Q_{867} Q_{868} Q_{869} Q_{870} Q_{871} Q_{872} Q_{873} Q_{874} Q_{875} Q_{876} Q_{877} Q_{878} Q_{879} Q_{880} Q_{881} Q_{882} Q_{883} Q_{884} Q_{885} Q_{886} Q_{887} Q_{888} Q_{889} Q_{890} Q_{891} Q_{892} Q_{893} Q_{894} Q_{895} Q_{896} Q_{897} Q_{898} Q_{899} Q_{900} Q_{901} Q_{902} Q_{903} Q_{904} Q_{905} Q_{906} Q_{907} Q_{908} Q_{909} Q_{910} Q_{911} Q_{912} Q_{913} Q_{914} Q_{915} Q_{916} Q_{917} Q_{918} Q_{919} Q_{920} Q_{921} Q_{922} Q_{923} Q_{924} Q_{925} Q_{926} Q_{927} Q_{928} Q_{929} Q_{930} Q_{931} Q_{932} Q_{933} Q_{934} Q_{935} Q_{936} Q_{937} Q_{938} Q_{939} Q_{940} Q_{941} Q_{942} Q_{943} Q_{944} Q_{945} Q_{946} Q_{947} Q_{948} Q_{949} Q_{950} Q_{951} Q_{952} Q_{953} Q_{954} Q_{955} Q_{956} Q_{957} Q_{958} Q_{959} Q_{960} Q_{961} Q_{962} Q_{963} Q_{964} Q_{965} Q_{966} Q_{967} Q_{968} Q_{969} Q_{970} Q_{971} Q_{972} Q_{973} Q_{974} Q_{975} Q_{976} Q_{977} Q_{978} Q_{979} Q_{980} Q_{981} Q_{982} Q_{983} Q_{984} Q_{985} Q_{986} Q_{987} Q_{988} Q_{989} Q_{990} Q_{991} Q_{992} Q_{993} Q_{994} Q_{995} Q_{996} Q_{997} Q_{998} Q_{999} Q_{1000} Q_{1001} Q_{1002} Q_{1003} Q_{1004} Q_{1005} Q_{1006} Q_{1007} Q_{1008} Q_{1009} Q_{1010} Q_{1011} Q_{1012} Q_{1013} Q_{1014} Q_{1015} Q_{1016} Q_{1017} Q_{1018} Q_{1019} Q_{1020} Q_{1021} Q_{1022} Q_{1023} Q_{1024} Q_{1025} Q_{1026} Q_{1027} Q_{1028} Q_{1029} Q_{1030} Q_{1031} Q_{1032} Q_{1033} Q_{1034} Q_{1035} Q_{1036} Q_{1037} Q_{1038} Q_{1039} Q_{1040} Q_{1041} Q_{1042} Q_{1043} Q_{1044} Q_{1045} Q_{1046} Q_{1047} Q_{1048} Q_{1049} Q_{1050} Q_{1051} Q_{1052} Q_{1053} Q_{1054} Q_{1055} Q_{1056} Q_{1057} Q_{1058} Q_{1059} Q_{1060} Q_{1061} Q_{1062} Q_{1063} Q_{1064} Q_{1065} Q_{1066} Q_{1067} Q_{1068} Q_{1069} Q_{1070} Q_{1071} Q_{1072} Q_{1073} Q_{1074} Q_{1075} Q_{1076} Q_{1077} Q_{1078} Q_{1079} Q_{1080} Q_{1081} Q_{1082} Q_{1083} Q_{1084} Q_{1085} Q_{1086} Q_{1

MODULE -3

The circuit in Fig. 3.57(c) utilizes a CG stage Q_1 cascaded with a CS stage Q_2 . A feedback resistor R_F senses V_O and feeds a current I_f to the input node, where the subtraction from I_s takes place. We see that I_f and I_s have the same polarity and thus the feedback is negative

Finally, the BJT feedback transresistance amplifier in Fig. 3.57(d) utilizes a CE stage Q_1 cascaded with an emitter follower Q_2 . A feedback resistor R_F senses V_O and feeds back a current I_f to the input node, where it is subtracted from I_s . The reader is urged to show that the feedback is indeed negative.

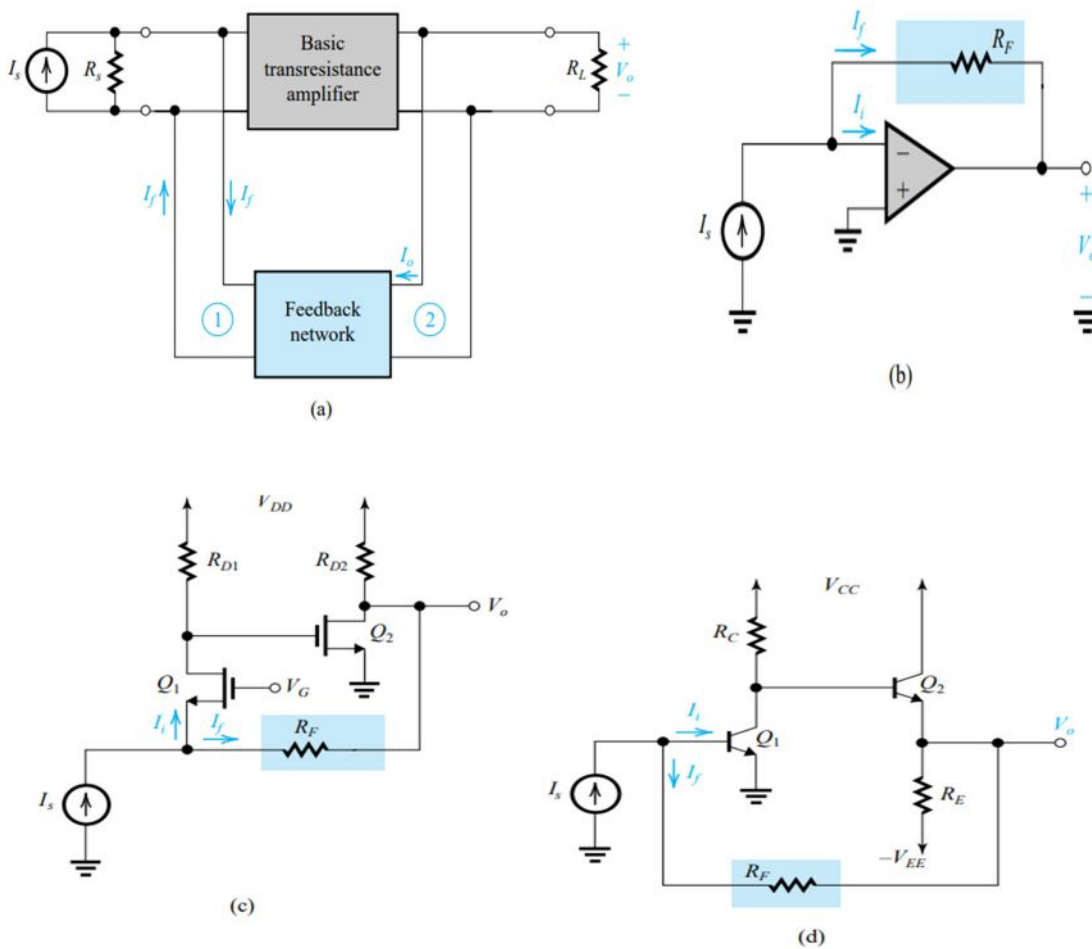


Figure 3.57 (a) Block diagram of a feedback transresistance amplifier. Here, the appropriate feedback topology is shunt–shunt. (b), (c), and (d) Examples of feedback transresistance amplifiers

ಟ್ರಾನ್ಸ್ ರೆಸಿಸ್ಟೆನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳಲ್ಲಿ ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ಪ್ರಸ್ತುತವಾಗಿದೆ ಮತ್ತು ಔಟ್ಪುಟ್ ಸಿಗ್ನಲ್ ವೋಲ್ಟೇಜ್ ಆಗಿದೆ. ಇದು ಸೂಕ್ತ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿ ಪ್ರಸ್ತುತ-ಮಿಶ್ರಣ, ವೋಲ್ಟೇಜ್ ಸ್ಯಾಂಪ್ಲಿಂಗ್ ರೀತಿಯ, ಚಿತ್ರ ತೋರಿಸಲಾಗಿದೆ ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. 3.57 (ಅ). ಇನ್ಪುಟ್ ಮತ್ತು ಔಟ್ಪುಟ್ ಎರಡರಲ್ಲೂ ಸಮಾನಾಂತರ (ಅಥವಾ ಷಂಟ್) ಸಂಪರ್ಕದ ಉಪಸ್ಥಿತಿಯು ಈ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪೋಲಾಜಿಯನ್ನು ಷಂಟ್-ಶಂಟ್ ಪ್ರತಿಕ್ರಿಯೆ ಎಂದೂ ಕರೆಯುವಂತೆ ಮಾಡುತ್ತದೆ. ಇನ್ಪುಟ್‌ನಲ್ಲಿನ ಷಂಟ್ ಸಂಪರ್ಕವು ಇನ್ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಕಡಿಮೆ ಮಾಡಲು ಕಾರಣವಾಗುತ್ತದೆ. ಔಟ್ಪುಟ್‌ನಲ್ಲಿ ಷಂಟ್ ಸಂಪರ್ಕವು ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಸ್ಥಿರಗೊಳಿಸುತ್ತದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಕಡಿಮೆ ಮಾಡುತ್ತದೆ. ಹೀಗಾಗಿ, ಷಂಟ್-ಶಂಟ್ ಟೋಪೋಲಾಜಿ ಟ್ರಾನ್ಸ್ ರೆಸಿಸ್ಟೆನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಕಡಿಮೆ ಇನ್ಪುಟ್ ಮತ್ತು ಕಡಿಮೆ ಔಟ್ಪುಟ್ ಪ್ರತಿರೋಧದ ಅಪೇಕ್ಷಣೀಯ ಗುಣಲಕ್ಷಣಗಳೊಂದಿಗೆ ಸಜ್ಜುಗೊಳಿಸುತ್ತದೆ.

ಪ್ರತಿಕ್ರಿಯೆ ಟ್ರಾನ್ಸ್ ರೆಸಿಸ್ಟೆನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್‌ಗಳ ಮೂರು ಉದಾಹರಣೆಗಳನ್ನು ಚಿತ್ರಗಳಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ. 3.57 (ಬಿ), (ಸಿ), (ಡಿ). ಫಿಗರ್‌ನಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್. 3.57 (ಬಿ) ಒಂದು op amp ಅನ್ನು ಒಂದು ಪ್ರತಿಕ್ರಿಯೆ ಪ್ರತಿರೋಧ ಆರ್ಕಿಟೆಕ್ಚರ್‌ನೊಂದಿಗೆ ಬಳಸಿಕೊಳ್ಳುತ್ತದೆ, ಅದು ವಿಬಿ ಅನ್ನು ಗ್ರಹಿಸುತ್ತದೆ ಮತ್ತು ಅದನ್ನು I_s ನಿಂದ ಇನ್ಪುಟ್ ನೋಡ್‌ನಲ್ಲಿ ಕಳೆಯುವುದಾದರೆ ಪ್ರತಿಕ್ರಿಯೆ ಪ್ರವಾಹವನ್ನು ಒದಗಿಸುತ್ತದೆ. ಪ್ರತಿಕ್ರಿಯೆ ನಕಾರಾತ್ಮಕ ಎಂದು ನೋಡಲು, I_s ಹೆಚ್ಚಿಸಲು ಅವಕಾಶ. ಇನ್ಪುಟ್ ಕರೆಂಟ್ II ಹೆಚ್ಚಾಗುತ್ತದೆ, ಇದರಿಂದಾಗಿ ನಕಾರಾತ್ಮಕ ಇನ್ಪುಟ್ ಟರ್ಮಿನಲ್ ವೋಲ್ಟೇಜ್ ಹೆಚ್ಚಾಗುತ್ತದೆ. ಪ್ರತಿಕ್ರಿಯೆಯಾಗಿ, ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಕಡಿಮೆಯಾಗುತ್ತದೆ, if ಹೆಚ್ಚಳ ಕಾರಣವಾಗುತ್ತದೆ. ಹೀಗಾಗಿ ಇಫ್ ಮತ್ತು ಐಎಸ್ ಒಂದೇ ಧ್ರುವೀಯತೆಯನ್ನು ಹೊಂದಿವೆ, ಮತ್ತು ಪ್ರತಿಕ್ರಿಯೆ ನಕಾರಾತ್ಮಕವಾಗಿರುತ್ತದೆ.

ಫಿಗರ್‌ನಲ್ಲಿ ಸರ್ಕ್ಯೂಟ್. 3.57 (ಸಿ) ಒಂದು CG ಹಂತದ Q1 ಕ್ಯಾಪ್ಸಿಟರ್ ಬಳಸಿ CS ಹಂತದ Q2. ಒಂದು ಪ್ರತಿಕ್ರಿಯೆ ಪ್ರತಿರೋಧಕ ಆರ್ಕಿಟೆಕ್ಚರ್ ವಿಬಿ ಅನ್ನು ಗ್ರಹಿಸುತ್ತದೆ ಮತ್ತು ಒಂದು ಪ್ರವಾಹವನ್ನು ಫೀಡ್ ಮಾಡುತ್ತದೆ - If ಇನ್ಪುಟ್ ನೋಡ್, ಅಲ್ಲಿ I_s ನಿಂದ ಕಡಿತವು ನಡೆಯುತ್ತದೆ. ಇಫ್ ಮತ್ತು ಐಎಸ್ ಒಂದೇ ಧ್ರುವೀಯತೆಯನ್ನು ಹೊಂದಿವೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಪ್ರತಿಕ್ರಿಯೆಯು ನಕಾರಾತ್ಮಕವಾಗಿದೆ ಎಂದು ನಾವು ನೋಡುತ್ತೇವೆ

ಅಂತಿಮವಾಗಿ, ಬಿಜೆಟಿ ಫೀಡ್ಬ್ಯಾಕ್ ಟ್ರಾನ್ಸ್ ರೆಸಿಸ್ಟೆನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್ ಇನ್ ಫಿಗರ್. 3.57(ಡಿ) ಒಂದು ಸಿಇ ಹಂತ Q1ನ್ನು ಹೊರಸೂಸುವ ಅನುಯಾಯಿಯೊಂದಿಗೆ Q2ನ್ನು ಬಳಸುತ್ತದೆ. ಪ್ರತಿಕ್ರಿಯೆ ಪ್ರತಿರೋಧಕ ಆರ್ಕಿಟೆಕ್ಚರ್ ವಿಬಿ ಅನ್ನು ಗ್ರಹಿಸುತ್ತದೆ ಮತ್ತು ಒಂದು ಪ್ರವಾಹವನ್ನು ಫೀಡ್ ಮಾಡುತ್ತದೆ - If to the input node, ಅಲ್ಲಿ ಅದನ್ನು I_s ನಿಂದ ಕಳೆಯಲಾಗುತ್ತದೆ - ಪ್ರತಿಕ್ರಿಯೆ ನಿಜವಾಗಿಯೂ ನಕಾರಾತ್ಮಕವಾಗಿದೆ ಎಂದು ತೋರಿಸಲು ಓದುಗರನ್ನು ಒತ್ತಾಯಿಸಲಾಗುತ್ತದೆ.

ಟ್ರಾನ್ಸ್‌ಫೋರ್ಮರ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್‌ನಲ್ಲಿ ಇನ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ಪ್ರಸ್ತುತವಾಗಿದೆ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಸಿಗ್ನಲ್ ವೋಲ್ಟೇಜ್ ಆಗಿದೆ. ಇದು ಸೂಕ್ತ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪಾಲಜಿ ಪ್ರಸ್ತುತ-ಮಿಶ್ರಣ, ವೋಲ್ಟೇಜ್ ಸ್ಯಾಂಪ್ಲಿಂಗ್ ರೀತಿಯ, ಚಿತ್ರ ತೋರಿಸಲಾಗಿದೆ ಎಂದು ಅನುಸರಿಸುತ್ತದೆ. 3.57 (ಅ). ಇನ್‌ಪುಟ್ ಮತ್ತು ಔಟ್‌ಪುಟ್ ಎರಡರಲ್ಲೂ ಸಮಾನಾಂತರ (ಅಥವಾ ಷಂಟ್) ಸಂಪರ್ಕದ ಉಪಸ್ಥಿತಿಯು ಈ ಪ್ರತಿಕ್ರಿಯೆ ಟೋಪೋಲಾಜಿಯನ್ನು ಷಂಟ್-ಶಂಟ್ ಪ್ರತಿಕ್ರಿಯೆ ಎಂದೂ ಕರೆಯುವಂತೆ ಮಾಡುತ್ತದೆ. ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ಷಂಟ್ ಸಂಪರ್ಕವು ಇನ್‌ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಕಡಿಮೆ ಮಾಡಲು ಕಾರಣವಾಗುತ್ತದೆ. ಔಟ್‌ಪುಟ್‌ನಲ್ಲಿ ಷಂಟ್ ಸಂಪರ್ಕವು ಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಸ್ಥಿರಗೊಳಿಸುತ್ತದೆ ಮತ್ತು ಇದರಿಂದಾಗಿ ಔಟ್‌ಪುಟ್ ಪ್ರತಿರೋಧವನ್ನು ಕಡಿಮೆ ಮಾಡುತ್ತದೆ. ಹೀಗಾಗಿ, ಷಂಟ್-ಶಂಟ್ ಟೋಪೋಲಾಜಿ ಟ್ರಾನ್ಸ್ ರೆಸಿಸ್ಟೆನ್ಸ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಕಡಿಮೆ ಇನ್‌ಪುಟ್ ಮತ್ತು ಕಡಿಮೆ ಔಟ್‌ಪುಟ್ ಪ್ರತಿರೋಧದ ಅಪೇಕ್ಷಣೀಯ ಗುಣಲಕ್ಷಣಗಳೊಂದಿಗೆ ಸಜ್ಜುಗೊಳಿಸುತ್ತದೆ.

करतो. 3.57(अ). यद्यप्रांथळ यदोन्ही ग्रंथंसे संदर्भ दिणे आहेत, तसेच यद्यप्रांथळसे संदर्भही दिणे आहेत. इनपुटपरी शंट कनेक्शनमुळे इनपुट प्रतिक्र कमी होतो. आऊटपुटपरी शंट कनेक्शन आऊटपुट व्होल्टेज स्थिर करते आणि त्यामुळे आऊटपुट प्रतिक्र कमी होतो. अशाप्रकारे, शंट-शंट टोपोलॉजी कमी इनपुट आणि कमी आऊटपुट प्रतिक्रियेष्ट गुणधर्मसह ट्रान्सरेझिस्टन्स पर्थक सुसज्ज करते.

यदी तीन उपनिषदांमधी नव्हे पुढीलप्रमाणे आहेत. 3.57 (ब), (क), (ड). फिगर मध्ये सर्किट. 3.57 (ब) अभिप्राय प्रतिक्र आरएफ एक ऑप amp पसरते की VO जणी आणि इनपुट नोड येथे आहे पासून पज आहे, तर एक अभिप्राय पर्मम प्रदत्त करते. अभिप्राय नकलत्मक आहे हे पाहण्यासाठी, IS पद्ध द्या इनपुट पर्मम I_i पद्ध, ज्यामुळे नकलत्मक इनपुट टर्मिनचे व्होल्टेज पद्ध. प्रतिसाद, आऊटपुट व्होल्टेज कमी होई, ज्यामुळे I_f मध्ये पद्ध होई. त्यामुळे जर आणि आयएस समान ध्रुवीयत आहे, आणि अभिप्राय नकलत्मक आहे.

फिगर मध्ये सर्किट. 3.57 (सी) एक CS स्टेज Q2 सह कसकेड एक सीजी स्टेज Q1 पसरते. एक अभिप्राय प्रतिरोधक आरएफ इंद्रियगोचर VO आणि फीड एक पर्मम जर इनपुट नोड, जेथे आयएस पासून पज स्थान घेते. आपण पाहतो की I_f आणि IS मध्ये समान ध्रुवीयत आहे आणि अशाप्रकारे अभिप्राय नकलत्मक आहे

शेटी, Fig मध्ये BJT अभिप्राय transresistance पर्थक. 3.57 (डी) एक emitter अनुयायी Q2 सह कसकेड एक सीई स्टेज Q1 पसरते. एक अभिप्राय प्रतिरोधक आरएफ इंद्रियगोचर VO आणि फीड परत एक पर्मम जर इनपुट नोड, जेथे तो आयएस पासून पज आहे पसकंअभिप्राय खरंच नकलत्मक आहे की दर्शविण्यासाठी आग्रह आहे.

4.1 Op-Amp DC and AC Amplifiers

4.1.1 Inverting Amplifier Definition

Inverting amplifier is one in which the output is exactly 180° out of phase with respect to input (i.e. if you apply a positive voltage, output will be negative). Output is an inverted (in terms of phase) amplified version of input.

Circuit operation

The inverting amplifier using opamp is shown in the figure below

ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫೈಯರ್ ವ್ಯಾಖ್ಯಾನ

ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫೈಯರ್ ಎಂದರೆ ಇನ್ಪುಟ್‌ಗೆ ಸಂಬಂಧಿಸಿದಂತೆ ಔಟ್‌ಪುಟ್ ನಿಖರವಾಗಿ 180° ಔಟ್‌ಪುಟ್ ಆಗಿರುತ್ತದೆ (ಅಂದರೆ ನೀವು ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಿದರೆ, ಔಟ್‌ಪುಟ್ ಋಣಾತ್ಮಕವಾಗಿರುತ್ತದೆ). ಔಟ್‌ಪುಟ್ ಇನ್ಪುಟ್‌ನ ವಿಲೋಮ (ಹಂತದ ಪರಿಭಾಷೆಯಲ್ಲಿ) ವರ್ಧಿತ ಆವೃತ್ತಿಯಾಗಿದೆ.

ಸರ್ಕ್ಯೂಟ್ ಕಾರ್ಯಾಚರಣೆ

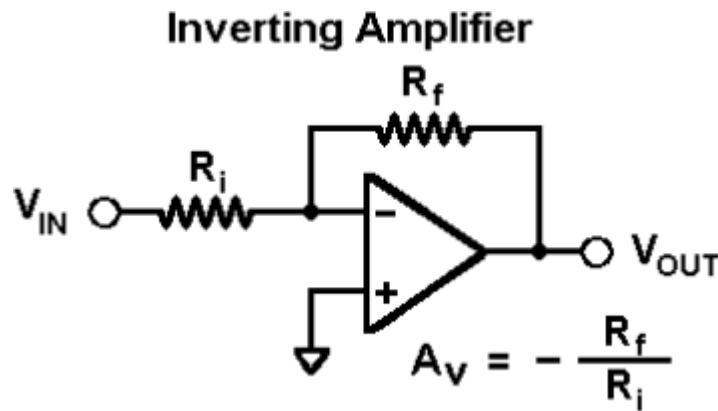
ಒಪಾಂಪ್ ಅನ್ನು ಬಳಸುವ ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಕೆಳಗಿನ ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ

ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫಯರ್ ವ್ಯಾಖ್ಯೆ

ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫಯರ್ ಒಂದು ಆಹ್ಲೇ ಜ್ಯಾಮಥ್ಯೆ ಇನ್ಪುಟ್‌ಚ್ಯಾ ಸಂದರ್ಭಾತ್ ಆಔಟ್‌ಪುಟ್ ಫೇಜ್‌ಚ್ಯಾ ಬಾಹೇರ ಅಗದಿ 180° ಆಹ್ಲೇ (ಮ್ಹಣಜೆ ತುಮ್ಹೀ ಸಕಾರಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಲಾಗು ಕೆಲ್ಯಾಸ, ಆಔಟ್‌ಪುಟ್ ನಕಾರಾತ್ಮಕ ಅಸೆಲ). ಆಔಟ್‌ಪುಟ್ ಹೀ ಇನ್ಪುಟ್‌ಚಿ ಇನ್ವರ್ಟೆಡ್ (ಫೇಜ್‌ಚ್ಯಾ ಸಂದರ್ಭಾತ್) ಪ್ರವರ್ಧಿತ ಆವೃತ್ತಿ ಆಹ್ಲೇ.

ಸರ್ಕ್ಯೂಟ್ ಆಪರೇಶನ್

opamp ವಾಪಸ್ ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫಯರ್ ಖಾಲಿಲ ಆಕೃತಿಲ ದಾಖಲೆ ಆಹ್ಲೇ



Assuming the opamp is ideal and applying the concept of virtual short at the input terminals of opamp, the voltage at the inverting terminal is equal to non inverting terminal. The

simplified circuit is shown in the figure below

Applying KCL at inverting node we get

$$(0-V_i)/R_i + (0-V_o)/R_f = 0$$

By rearranging the terms we will get

Voltage gain $A_v = V_o / V_i = -R_f / R_i$.

Gain

Gain of inverting amplifier $A_v = -R_f/R_i$.

4.1.2 Non Inverting amplifier

Definition

Non Inverting amplifier is one in which the output is in phase with respect to input(i.e. if you apply a positive voltage, output will be positive). Output is an Non inverted(in terms of phase) amplified version of input.

Circuit operation

The inverting amplifier using opamp is shown in the figure below

नॉन इनव्हर्टिंग अॅम्प्लिफायर व्याख्या

नॉन इनव्हर्टिंग अ‍ॅम्प्लिफायर एक आहे ज्यामध्ये इनपुटच्या संदर्भात आउटपुट टप्प्यात आहे (म्हणजे तुम्ही सकारात्मक व्होल्टेज लागू केल्यास, आउटपुट सकारात्मक असेल). आउटपुट ही इनपुटची नॉन-इन्व्हर्टेड (फेजच्या दृष्टीने) अ‍ॅम्प्लीफाइड आवृत्ती आहे.

सर्किट ऑपरेशन

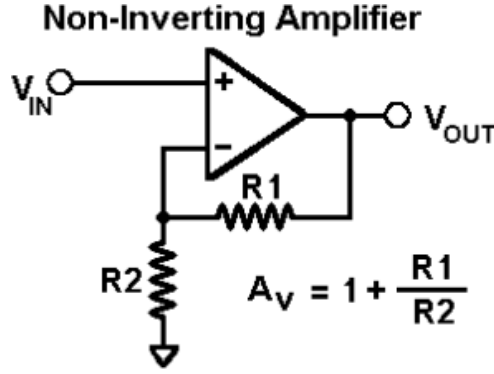
opamp वापरून इन्व्हर्टिंग अ‍ॅम्प्लिफायर खालील आकृतीत दाखवले आहे

ನಾನ್ ಇನ್ವರ್ಟಿಂಗ್ ಆಂಪ್ಲಿಫಯರ್ ವ್ಯಾಖ್ಯಾನ

ಇನ್‌ಪುಟ್‌ಗೆ ಸಂಬಂಧಿಸಿದಂತೆ ಔಟ್‌ಪುಟ್ ಹಂತದಲ್ಲಿರುವ ಇನ್‌ವರ್ಟಿಂಗ್ ಅಲ್ಲದ ಅಂಪ್ಲಿಫಯರ್ ಒಂದಾಗಿದೆ (ಅಂದರೆ ನೀವು ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಿದರೆ, ಔಟ್‌ಪುಟ್ ಧನಾತ್ಮಕವಾಗಿರುತ್ತದೆ) . ಔಟ್‌ಪುಟ್ ಇನ್‌ಪುಟ್‌ನ ನಾನ್ ಇನ್ವರ್ಟಿಂಗ್ (ಹಂತದ ಪರಿಭಾಷೆಯಲ್ಲಿ) ವರ್ಧಿತ ಆವೃತ್ತಿಯಾಗಿದೆ.

ಸರ್ಕ್ಯೂಟ್ ಕಾರ್ಯಾಚರಣೆ

ಒಪಾಂಪ್ ಅನ್ನು ಬಳಸುವ ಇನ್ಟರ್ನೆಟ್ ಆನ್ಲೈನ್ ಅನ್ನು ಕೆಳಗಿನ ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ



Assuming the opamp is ideal and applying the concept of virtual short, the voltage at the inverting terminal is equal to non inverting terminal. Applying KCL at inverting node we get

$$(V_i - V_o)/R_2 + (V_o - 0)/R_1 = 0$$

By rearranging the terms we will get

$$\text{Voltage gain } A_v = V_o / V_i = (1 + R_f / R_i)$$

Gain

Gain of non inverting amplifier $A_v = (1 + R_f / R_i)$.

4.1.3 AC CHARACTERISTICS:

For small signal sinusoidal (AC) application one has to know the ac characteristics such as frequency response and slew-rate.

Frequency Response:

The variation in operating frequency will cause variations in gain magnitude and its phase angle. The manner in which the gain of the op-amp responds to different frequencies is called the frequency response. Op-amp should have an infinite bandwidth $B_w = \infty$ (i.e) if its open loop gain in 90dB with dc signal its gain should remain the same 90 dB through audio and onto high radio frequency. The op-amp gain decreases (roll-off) at higher frequency what reasons to decrease gain after a certain frequency reached. There must be a capacitive component in the equivalent circuit of the op-amp. For an op-amp with only one break (corner) frequency all the capacitors effects can be represented by a single capacitor C. Below fig is a modified variation of the low frequency model with capacitor C at the o/p.

AC ಗುಣಲಕ್ಷಣಗಳು:

ಸಣ್ಣ ಸಿಗ್ನಲ್ ಸೈನುಸೈಡಲ್ (AC) ಅಪ್ಲಿಕೇಶನ್‌ಗೆ ಅವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆ ಮತ್ತು ಸ್ಲೇ-ರೇಟ್‌ನಂತಹ ಎಸಿ ಗುಣಲಕ್ಷಣಗಳನ್ನು ತಿಳಿದುಕೊಳ್ಳಬೇಕು.

ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆ:

ಕಾರ್ಯಾಚರಣೆಯ ಆವರ್ತನದಲ್ಲಿನ ವ್ಯತ್ಯಾಸವು ಲಾಭದ ಪ್ರಮಾಣ ಮತ್ತು ಅದರ ಹಂತದ ಕೋನದಲ್ಲಿ ವ್ಯತ್ಯಾಸಗಳನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ. ಆಪ್-ಆಂಪ್‌ನ ಲಾಭವು ವಿಭಿನ್ನ ಆವರ್ತನಗಳಿಗೆ ಪ್ರತಿಕ್ರಿಯಿಸುವ ವಿಧಾನವನ್ನು ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. Op-amp ಅಪರಿಮಿತ ಬ್ಯಾಂಡ್‌ವಿಡ್ತ್ $Bw = \infty$ (ಅಂದರೆ) ಡಿಸಿ ಸಿಗ್ನಲ್‌ನೊಂದಿಗೆ 90dB ಯಲ್ಲಿ ತೆರೆದ ಲೂಪ್ ಗೇನ್ ಆಗಿದ್ದರೆ ಅದರ ಗಳಿಕೆಯು ಆಡಿಯೋ ಮೂಲಕ ಮತ್ತು ಹೆಚ್ಚಿನ ರೇಡಿಯೋ ಆವರ್ತನದಲ್ಲಿ ಅದೇ 90 dB ಆಗಿರಬೇಕು. ಹೆಚ್ಚಿನ ಆವರ್ತನದಲ್ಲಿ ಆಪ್-ಆಂಪ್ ಗೇನ್ ಕಡಿಮೆಯಾಗುತ್ತದೆ (ರೋಲ್-ಆಫ್) ನಿರ್ದಿಷ್ಟ ಆವರ್ತನವನ್ನು ತಲುಪಿದ ನಂತರ ಲಾಭವನ್ನು ಕಡಿಮೆ ಮಾಡಲು ಕಾರಣಗಳು. ಆಪ್-ಆಂಪ್ ಸಮಾನ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ ಕೆಪಾಸಿಟಿವ್ ಘಟಕ ಇರಬೇಕು. ಕೇವಲ ಒಂದು ವಿರಾಮದ (ಮೂಲೆಯಲ್ಲಿ) ಆವರ್ತನದೊಂದಿಗೆ op-amp ಗೆ ಎಲ್ಲಾ ಕೆಪಾಸಿಟರ್ ಪರಿಣಾಮಗಳನ್ನು ಒಂದೇ ಕೆಪಾಸಿಟರ್ C ಮೂಲಕ ಪ್ರತಿನಿಧಿಸಬಹುದು. ಅಂಜೂರದ ಕೆಳಗೆ o/p ನಲ್ಲಿ ಕೆಪಾಸಿಟರ್ C ನೊಂದಿಗೆ ಕಡಿಮೆ ಆವರ್ತನ ಮಾದರಿಯ ಮಾರ್ಪಡಿಸಿದ ಬದಲಾವಣೆಯಾಗಿದೆ.

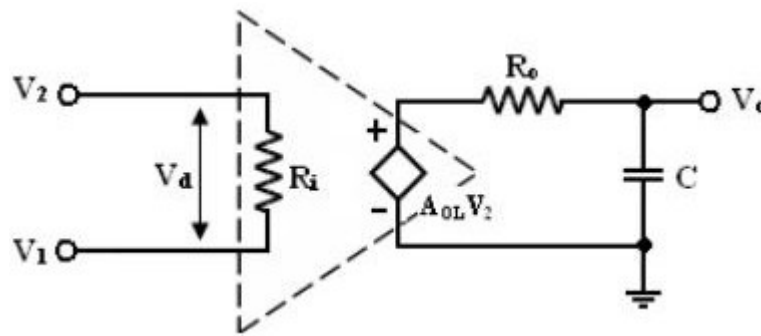
ಆಸಿ ವೈಶಿಷ್ಟ್ಯ:

ಲಹಾನ ಸಿಗ್ನಲ್ ಸಾಯನುಸೈಡ್‌ಲ (AC) ಍ಪ್ಲಿಕೇಶನ್‌ನೊಂದಿಗೆ ಆವರ್ತನದ ಪ್ರತಿಸಾದ ಆಗಿ ಸ್ಲೈ-ರೆಟ್ ಯಾಸಾರಖಿ ac ವೈಶಿಷ್ಟ್ಯ ಮಾಹಿತ ಅಸಣೆ ಆವಶ್ಯಕ ಆಹೆ.

ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ:

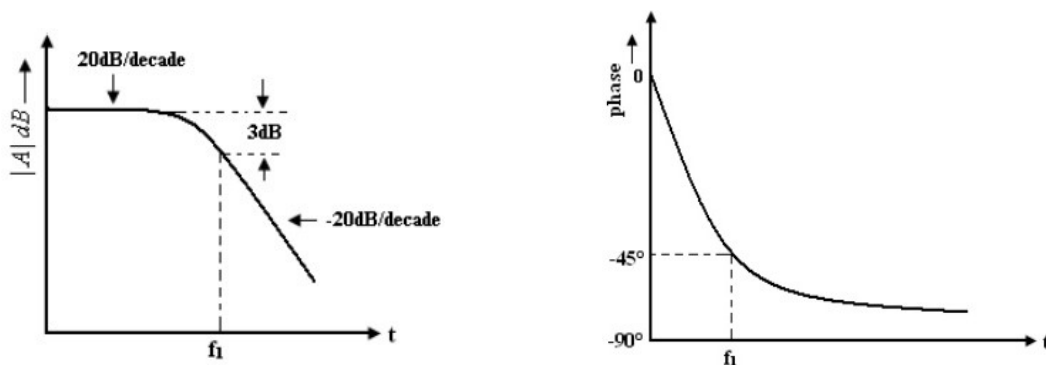
ಆಪರೇಟಿಂಗ್ ಫ್ರಿಕ್ವೆನ್ಸಿಮಧೀಲ ಫರಕಾಮುಡೆ ವಾಡೀವ ಪರಿಮಾಣ ಆಗಿ ತ್ಯಾಚ್ಯಾ ಫೇಜ್ ಅಂಗಲಮಧ್ಯೆ ಫರಕ ಹೊಡೆಲ. ಜ್ಯಾ ಪದ್ಧತೀನೆ op-amp ಚಾ ಫಾಯದಾ ವೇಗವೇಗವ್ಯಾ ಫ್ರಿಕ್ವೆನ್ಸಿಲಾ ಪ್ರತಿಸಾದ ದೆತೊ ತ್ಯಾಲಾ ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ ಮ್ಹಣತಾತ. Op-amp ಮಧ್ಯೆ ಅನಂತ ಬೆಂಡ್‌ವಿಡ್ತ್ $Bw = \infty$ (i.e.) dc ಸಿಗ್ನಲ್‌ಸಹ 90dB ಮಧ್ಯೆ ಆಪನ ಲೂಪ್ ವಾಡಲ್ಯಾಸ ತ್ಯಾಚಾ ಫಾಯದಾ ಆಡಿಯೋದ್ವಾರೆ ಆಗಿ ಉಚ್ಚ ರೇಡಿಯೋ ಫ್ರಿಕ್ವೆನ್ಸಿವರ ಸಮಾನ 90 dB ರಾಹಿಲಾ ಪಾಹಿಜೆ. ಉಚ್ಚ ವಾರಂವಾರತೆವರ op-amp ಗೆನ ಕಮಿ ಹೊತೊ (ರೋಲ್-ಆಫ್) ವಿಶಿಷ್ಟ ಫ್ರಿಕ್ವೆನ್ಸಿ ಗಾಠಲ್ಯಾನಂತರ ವಾಡ ಕೋನತ್ಯಾ ಕಾರಣಾಂಮುಡೆ ಕಮಿ ಹೊತೆ. op-amp ಚ್ಯಾ ಸಮತುಲ್ಯ ಸರ್ಕ್ಯೂಟ್‌ಮಧ್ಯೆ ಕೆಪೆಸಿಟಿವ್ ಘಟಕ ಅಸಣೆ ಆವಶ್ಯಕ ಆಹೆ. ಫಕ್ತ ಏಕ ಬ್ರೇಕ್ (ಕೊಪರಾ) ಫ್ರಿಕ್ವೆನ್ಸಿ ಅಸಲೆಲ್ಯಾ op-amp ಸಾಥಿ ಸರ್ವ ಕೆಪೆಸಿಟರ್ ಪ್ರಭಾವ ಏಕಾಚ ಕೆಪೆಸಿಟರ್ C ದ್ವಾರೆ ದರ್ಶವಿಲೆ ಜಾಠ ಶಕ್ತಾತ. ಅಂಜೀರ ಖಾಲಿ o/p ವರ ಕೆಪೆಸಿಟರ್ C ಸಹ ಕಮಿ ಫ್ರಿಕ್ವೆನ್ಸಿ ಮॉडेलची सुधारित भिन्नता आहे.

MODULE 4



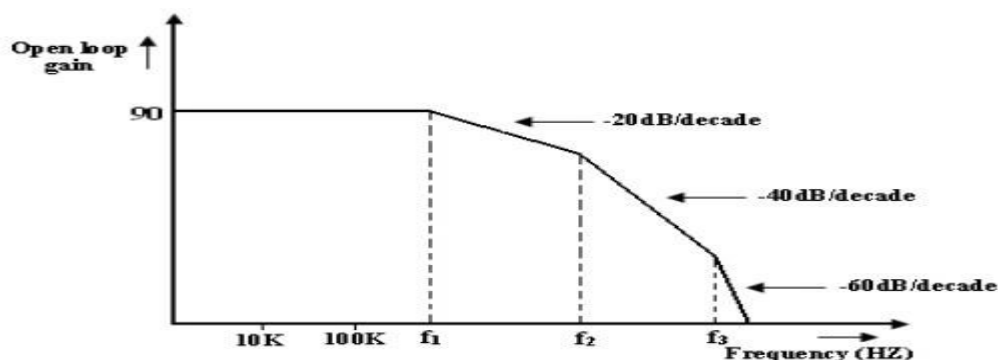
There is one pole due to $R_o C$ and one -20dB/decade . The open loop voltage gain of an op-amp with only one corner frequency is obtained from above fig. f_1 is the corner frequency or the upper 3 dB frequency of the op-amp. The magnitude and phase angle of the open loop voltage gain as a function of frequency can be written as, The magnitude and phase angle characteristics from eqn (29) and (30) 1. For frequency $f \ll f_1$ the magnitude of the gain is $20 \log A_{OL}$ in dB.

2. At frequency $f = f_1$ the gain is 3 dB down from the dc value of A_{OL} in dB. This frequency f_1 is called corner frequency.
3. For $f \gg f_1$ the gain rolls off at the rate of -20dB/decade or -6dB/decade .



From the phase characteristics that the phase angle is zero at frequency $f = 0$.

At the corner frequency f_1 the phase angle is -45° (lagging) and at infinite frequency the phase angle is -90° . It shows that a maximum of 90° phase change can occur in an op-amp with a single capacitor C . Zero frequency is taken as one decade below the corner frequency and infinite frequency is one decade above the corner frequency.



4.2.Filters

4.2.1.First order Low pass Butterworth Filter:

Butterworth filter is a type of filter whose frequency response is flat over the pass band region. Low-pass filter (LPF) provides a constant output from DC up to a cutoff frequency $f(H)$ and rejects all signals above that frequency.

The first order low pass butter worth filter is realized by R-C circuit used along with an op-amp, used in the non inverting configuration.

The circuit diagram is shown in Fig. This also called one pole low pass butter worth filter.

ಮೊದಲ ಆರ್ಡರ್ ಲೋ ಪಾಸ್ ಬಟರ್‌ವರ್ತ್ ಫಿಲ್ಟರ್:

ಬಟರ್‌ವರ್ತ್ ಫಿಲ್ಟರ್ ಒಂದು ರೀತಿಯ ಫಿಲ್ಟರ್ ಆಗಿದ್ದು ಅದರ ಆವರ್ತನ ಪ್ರತಿಕ್ರಿಯೆಯು ಪಾಸ್ ಬ್ಯಾಂಡ್ ಪ್ರದೇಶದ ಮೇಲೆ ಸಮತಟ್ಟಾಗಿದೆ. ಕಡಿಮೆ-ಪಾಸ್ ಫಿಲ್ಟರ್ (LPF) DC ನಿಂದ ಕಟ್‌ಆಫ್ ಆವರ್ತನ $f(H)$ ವರೆಗೆ ಸ್ಥಿರವಾದ ಔಟ್‌ಪುಟ್ ಅನ್ನು ಒದಗಿಸುತ್ತದೆ ಮತ್ತು ಆ ಆವರ್ತನಕ್ಕಿಂತ ಹೆಚ್ಚಿನ ಎಲ್ಲಾ ಸಂಕೇತಗಳನ್ನು ತಿರಸ್ಕರಿಸುತ್ತದೆ.

ಮೊದಲ ಆರ್ಡರ್ ಕಡಿಮೆ ಪಾಸ್ ಬೆಣ್ಣೆ ಮೌಲ್ಯದ ಫಿಲ್ಟರ್ ಅನ್ನು R-C ಸರ್ಕ್ಯೂಟ್ ಮೂಲಕ op-amp ಜೊತೆಗೆ ಬಳಸಲಾಗುತ್ತದೆ, ಇದನ್ನು ಇನ್ವರ್ಟಿಂಗ್ ಅಲ್ಲದ ಕಾನ್ಫಿಗರೇಶನ್‌ನಲ್ಲಿ ಬಳಸಲಾಗುತ್ತದೆ.

ಸರ್ಕ್ಯೂಟ್ ರೇಖಾಚಿತ್ರವನ್ನು ತೋರಿಸಲಾಗಿದೆ. ಇದನ್ನು ಒಂದು ಪೋಲ್ ಲೋ ಪಾಸ್ ಬೆಣ್ಣೆ ಮೌಲ್ಯದ ಫಿಲ್ಟರ್ ಎಂದೂ ಕರೆಯುತ್ತಾರೆ.

ಪ್ರಥಮ ಆರ್ಡರ್ ಲೋ ಪಾಸ್ ಬಟರ್‌ವರ್ತ್ ಫಿಲ್ಟರ್:

ಬಟರ್‌ವರ್ತ್ ಫಿಲ್ಟರ್ ಹಾ ಫಿಲ್ಟರ್‌ಚಾ ಏಕ ಪ್ರಕಾರ ಆಹೆ ಜ್ಯಾಚಿ ವಾರಂವಾರತಾ ಪ್ರತಿಸಾದ ಪಾಸ್ ಬೆಂಡ್ ಕ್ಷೇತ್ರಾಖರ ಸಪಾಟ್ ಆಹೆ. ಲೋ-ಪಾಸ್ ಫಿಲ್ಟರ್ (LPF) DC ಪಾಸೂನ್ ಕಟ್‌ಆಫ್ ಫ್ರಿಕ್ವೆನ್ಸಿ $f(H)$ ಪರ್ಯಂತ ಸ್ಥಿಖರ ಆಔಟ್‌ಪುಟ್ ಪ್ರದಾನ್ ಕರ್ತೊ ಆಣಿ ತ್ಯಾ ಫ್ರಿಕ್ವೆನ್ಸಿಖರೀಲ್ ಸರ್ವ್ ಸಿಗ್ನಲ್ ನಾಕಾರತೊ.

ಪ್ರಥಮ ಆರ್ಡರ್ ಲೋ-ಪಾಸ್ ಬಟರ್ ವರ್ತ್ ಫಿಲ್ಟರ್, ನಾನ್-ಇನ್ವರ್ಟಿಂಗ್ ಕಾನ್ಫಿಗರೇಶನ್‌ಮಧ್ಯೆ ಖಾಪರ್‌ಲ್ಯಾ ಜಾಣಾನ್ಯಾ ಆಪ್-ಏಂಪ್‌ಸಹ ಖಾಪರ್‌ಲ್ಯಾ ಜಾಣಾನ್ಯಾ R-C ಸರ್ಕ್ಯೂಟ್‌ದ್ವಾರೆ ಲಕ್ಷಾತ್ ಯೆತೆ.

ಸರ್ಕ್ಯೂಟ್ ಡಯಾಗ್ರಾಂ ಅಂಜೀರ ಮಧ್ಯೆ ದರ್ಶಖಿಲಾ ಆಹೆ. ಯಾಲಾ ಖನ್ ಪೊಲ್ ಲೋ ಪಾಸ್ ಬಟರ್ ವರ್ತ್ ಫಿಲ್ಟರ್ ಅಸೆಹಿ ಮ್ಹಣತಾತ್.

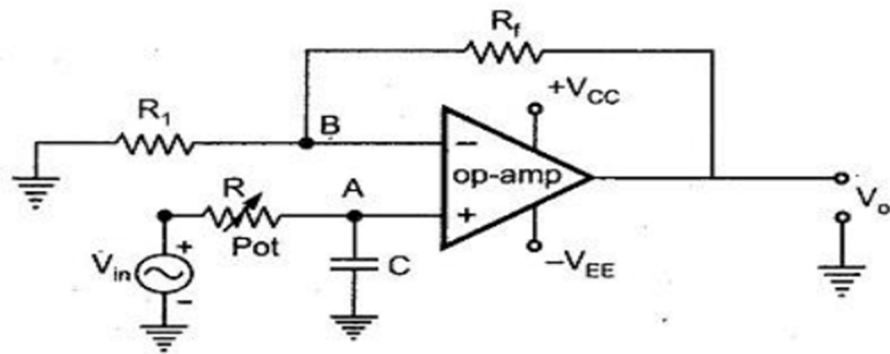


Fig.4.1 First order low pass butterworth filter

Analysis of the Filter Circuit: The impedance of the capacitor C is $-j X_c$ where X_c is the capacitive reactance given by

By the potential divider rule, the voltage at the non inverting input terminal A which is the voltage across capacitor C is given by,

$$V_A = \frac{-j X_c}{R - j X_c} \cdot V_{in} \quad \dots (1)$$

$$V_A = \frac{-j \left(\frac{1}{2 \pi f C} \right)}{R - j \left(\frac{1}{2 \pi f C} \right)} \cdot V_{in} = \frac{-j}{2 \pi f R C - j} \cdot V_{in}$$

$$= \frac{V_{in}}{1 - \frac{2 \pi f R C}{j}}$$

$$-j = \frac{1}{j} \quad \text{and} \quad -\frac{1}{j} = j$$

$$V_A = \frac{V_{in}}{1 + j 2 \pi f R C} \quad \dots (2)$$

MODULE 4

As the op-amp is in the non inverting configuration,

$$V_o = \left(1 + \frac{R_f}{R_i}\right) V_A \quad \dots (3)$$

$$V_o = \left(1 + \frac{R_f}{R_i}\right) \frac{V_{in}}{(1 + j 2 \pi f R C)}$$

$$\frac{V_o}{V_{in}} = \frac{A_F}{1 + j \left(\frac{f}{f_H}\right)} \quad (4)$$

$$A_F = \left(1 + \frac{R_f}{R_i}\right) = \text{gain of filter in pass band} \quad \dots (5)$$

$$f_H = \frac{1}{2 \pi R C} = \text{high cut off frequency of filter} \quad \dots (6)$$

f = operating frequency

$$\frac{V_o}{V_{in}}$$

is the transfer function of the filter and can be expressed in the polar V in – form as,

$$\frac{V_o}{V_{in}} = \left| \frac{V_o}{V_{in}} \right| \angle \phi$$

$$\left| \frac{V_o}{V_{in}} \right| = \frac{A_F}{\sqrt{1 + \left(\frac{f}{f_H}\right)^2}} \quad \dots (7)$$

$$\phi = -\tan^{-1} \left(\frac{f}{f_H} \right) \quad \dots (8)$$

MODULE 4

The phase angle Φ is in degrees. The equation (7) describes the behavior of the low pass filter.

is the transfer function of the filter and can be expressed in the polar V in – form as,

The phase angle Φ is in degrees. The equation (7) describes the behavior of the low pass filter.

1. At very low frequencies, $f < f_H$

$$\left| \frac{V_o}{V_{in}} \right| \cong A_F \text{ i.e. constant}$$

2. At $f = f_H$,

$$\left| \frac{V_o}{V_{in}} \right| = \frac{A_F}{\sqrt{2}} = 0.707 A_F \text{ i.e. 3 dB down to the level of } A_F.$$

3. At $f > f_H$

$$\left| \frac{V_o}{V_{in}} \right| < A_F$$

Thus, for the range of frequencies, $0 < f < f_H$, the gain is almost constant equal to f_H which is high cut off frequency. At $f = f_H$, gain reduces to $0.707 A_F$ i.e. 3 dB down from A_F . And as the frequency increases than f_H , the gain decreases at a rate of 20dB/decade. The rate 20 dB/decade means decrease of 20 dB in gain per 10 times change in frequency.

The frequency f_H is called cut off frequency, break frequency, — 3dB frequency or corner frequency. The frequency response is shown in the Fig..

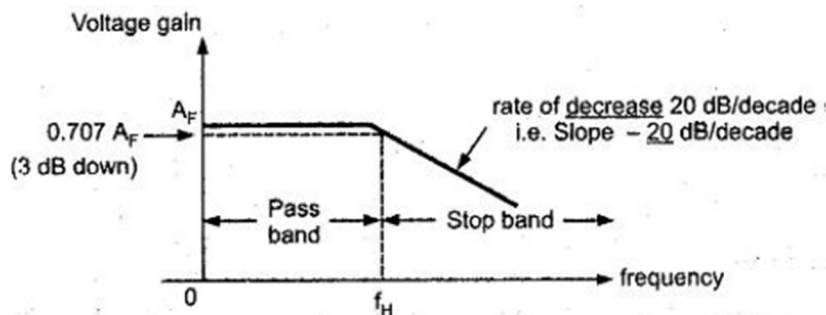


Fig.4.2 Frequency response

The rate of decrease in gain is 20 dB/decade i.e. the decrease can be indicated by a negative slope in the frequency response, as —20 dB/decade.

The design steps for the first order low pass Butterworth filter are

- 1) Choose the cut off frequency, f_H .
- 2) Choose the capacitance C usually between 0.01 and 1 μF . Generally, it is selected as 1 μF or less than that. For better performance, Mylar or tantalum capacitors are selected.
- 3) Now, for the RC circuit,

$$f_H = \frac{1}{2\pi RC}$$

Hence, as f_H and C are known, calculate the value of R .

- 4) The resistances R_f and R_1 can be selected depending on the required gain in the pass band.

$$A_F = 1 + \frac{R_f}{R_1}$$

Frequency Scaling: Once the filter is designed, sometimes, it is necessary to change the value of cut-off frequency f_H . The method used to change the original cut-off frequency f_H to a new cut-off frequency f_{H1} is called as frequency scaling. To achieve such a frequency scaling, the standard value capacitor C is selected first. The required cut-off frequency can be achieved by calculating corresponding value of resistance R . But to achieve frequency scaling a potentiometer is used as shown in Fig. 2.75. Thus, the resistance R is generally a potentiometer with which required cut-off frequency f_H can be adjusted and changed later on if required.

4.2.2 First Order High Pass Butterworth Filter:

A high pass filter is a circuit that attenuates all the signals below a specified cut off frequency denoted as f_L . Thus, a high pass filter performs the opposite function to that of low pass filter. Hence, the First Order High Pass Butterworth Filter circuit can be obtained by **interchanging frequency determining resistances and capacitors in low pass filter circuit.**

ಮೊದಲ ಆರ್ಡರ್ ಹೈ ಪಾಸ್ ಬಟರ್ವರ್ತ್ ಫಿಲ್ಟರ್:

ಹೆಚ್ಚಿನ ಪಾಸ್ ಫಿಲ್ಟರ್ ಒಂದು ಸಕ್ಯೂಟ್ ಆಗಿದ್ದು ಅದು f_L ಎಂದು ಸೂಚಿಸಲಾದ ನಿರ್ದಿಷ್ಟ ಕಡಿತದ ಆವರ್ತನದ ಕೆಳಗಿನ ಎಲ್ಲಾ ಸಂಕೇತಗಳನ್ನು ದುರ್ಬಲಗೊಳಿಸುತ್ತದೆ. ಹೀಗಾಗಿ, ಹೆಚ್ಚಿನ ಪಾಸ್ ಫಿಲ್ಟರ್ ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್‌ಗೆ ವಿರುದ್ಧವಾದ ಕಾರ್ಯವನ್ನು ನಿರ್ವಹಿಸುತ್ತದೆ. ಆದ್ದರಿಂದ, ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸಕ್ಯೂಟ್‌ನಲ್ಲಿ ಆವರ್ತನವನ್ನು ನಿರ್ಧರಿಸುವ ಪ್ರತಿರೋಧಗಳು ಮತ್ತು ಕೆಪಾಸಿಟರ್‌ಗಳನ್ನು ಪರಸ್ಪರ ಬದಲಾಯಿಸುವ ಮೂಲಕ ಮೊದಲ ಆರ್ಡರ್ ಹೈ ಪಾಸ್ ಬಟರ್ವರ್ತ್ ಫಿಲ್ಟರ್ ಸಕ್ಯೂಟ್ ಅನ್ನು ಪಡೆಯಬಹುದು.

प्रथम ऑर्डर हाय पास बटरवर्थ फिल्टर:

उच्च पास फिल्टर हे एक सर्किट आहे जे f_L म्हणून दर्शविलेल्या निर्दिष्ट कट ऑफ फ्रिक्वेन्सीच्या खाली असलेले सर्व सिग्नल कमी करते. अशा प्रकारे, उच्च पास फिल्टर कमी पास फिल्टरच्या उलट कार्य करते. त्यामुळे, फर्स्ट ऑर्डर हाय पास बटरवर्थ फिल्टर सर्किट कमी पास फिल्टर सर्किटमध्ये रेझिस्टन्स आणि कॅपेसिटर निर्धारित करणारी वारंवारता बदलून मिळवता येते.

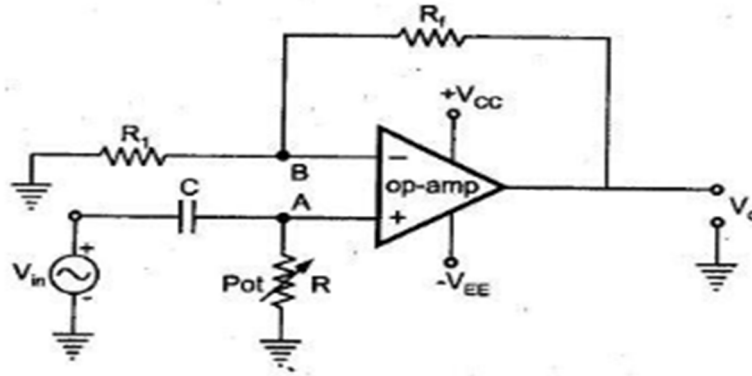


Fig.4.3 First order low pass butterworth filter

The first order high pass filter can be obtained by interchanging the elements R and C in a first order low pass filter circuit. The Fig.4.3 shows the first order high pass Butterworth filter. It can be observed that as compared to first order low pass filter (Fig. 2.74), the positions of R and C are changed in the high pass circuit shown in Fig.4.3.

The frequency at which the gain is 0.707 times the gain of filter in pass band is called as low cut off frequency, and denoted as f_L . So, all the frequencies greater than f_L is allowed to pass but the maximum frequency which is allowed to pass is determined by the closed loop bandwidth of the op—amp used.

Analysis of the Filter Circuit:

The impedance of the capacitor is

$$-jX_c = -j \left(\frac{1}{2\pi fC} \right)$$

where f is the input i.e. operating frequency. By the voltage divider rule, the potential of the non inverting terminal of the op—amp is

$$V_A = V_{in} \left[\frac{R}{R - j X_C} \right] \quad \dots (1)$$

$$V_A = V_{in} \left[\frac{R}{-j X_C \left(\frac{R}{-j X_C} + 1 \right)} \right] \quad \text{taking } -j X_C \text{ outside}$$

$$-\frac{1}{j} = j, \text{ we can write,}$$

$$\begin{aligned} \frac{1}{-j X_C} &= \frac{j}{X_C} = \frac{j}{\left(\frac{1}{2 \pi f C} \right)} \\ &= j 2 \pi f C \end{aligned} \quad \dots (2)$$

Substituting in the above expression of V_A ,

$$\begin{aligned} V_A &= V_{in} \left[\frac{\left(-\frac{R}{j X_C} \right)}{\left(-\frac{R}{j X_C} \right) + 1} \right] \\ V_A &= V_{in} \left[\frac{j 2 \pi f R C}{1 + j 2 \pi f R C} \right] \quad \dots (3) \end{aligned}$$

This can be represented as

$$\therefore V_A = V_{in} \left[\frac{j \left(\frac{f}{f_L} \right)}{1 + j \left(\frac{f}{f_L} \right)} \right]$$

where $f_L = \frac{1}{2 \pi R C} = \text{low cut off frequency} \quad \dots (4)$

Now, for the op-amp in non-inverting configuration,

$$V_o = A_F V_A$$

where $V_A =$ Voltage at the non inverting input

and $A_F = \left(1 + \frac{R_f}{R_i}\right) =$ gain of op-amp in pass band

$$\therefore V_o = A_F V_{in} \left[\frac{j \left(\frac{f}{f_L} \right)}{1 + j \left(\frac{f}{f_L} \right)} \right]$$

$$\frac{V_o}{V_{in}} = A_F \left[\frac{j \left(\frac{f}{f_L} \right)}{1 + j \left(\frac{f}{f_L} \right)} \right] \quad \dots (5)$$

This is the required expression for the transfer function of the filter. For the frequency response, we require the magnitude of the transfer function which is given by,

$$\left| \frac{V_o}{V_{in}} \right| = \frac{A_F \left(\frac{f}{f_L} \right)}{\sqrt{1 + \left(\frac{f}{f_L} \right)^2}} \quad \dots (6)$$

The equation (6) describes the behavior of the high pass filter.

1) At low frequencies, i.e. $f < f_L$

$$\left| \frac{V_o}{V_{in}} \right| < A_F$$

2) At $f = f_L$,

$$\left| \frac{V_o}{V_{in}} \right| = 0.707 A_F \text{ i.e. 3 dB down from the level of } A_F$$

3) At $f > f_L$, i.e. high frequencies, 1 can be neglected as compared to $\left(\frac{f}{f_L} \right)$ from denominator.

$$\left| \frac{V_o}{V_{in}} \right| \cong A_F \text{ i.e. constant}$$

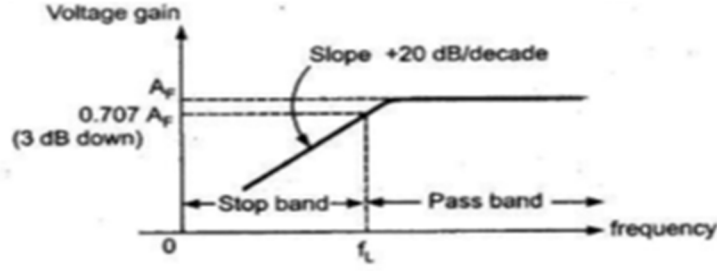


Fig.4.4 Frequency response

Thus, the circuit acts as high pass filter with a pass band gain as A_f . For the frequencies, $f < f_L$, the gain increases till $f = f_L$ at a rate of $+20 \text{ dB/decade}$. Hence, the slope of the frequency response in stop band is $+20 \text{ dB/decade}$ for first order high pass filter. The frequency response is shown in the Fig. 2.80. **Note:** As high pass filter is basically a low pass filter circuit with positions of R and C interchanged, the design steps and the frequency scaling method discussed earlier for low pass filter is equally applicable to the first order high pass Butterworth filter.

4.2.3 Band Pass Filter:

A Band Pass Filter Circuit designed to pass signals only in a certain band of frequencies while rejecting all signals outside this band.

There are basically two types of Band Pass Filter Circuit,

1. Wide band pass filter
2. Narrow band pass filter

A Band Pass Filter Circuit is defined as a wide band pass if its figure of merit or quality factor $Q < 10$. While there is no firm dividing line between the two, if $Q > 10$, the filter is a narrow Band Pass Filter Circuit. Hence Q is a measure of selectivity meaning the higher the value of Q , the more selective is the filter, or the narrower is the band width.

The relationship between Q , 3 db band width and the centre frequency f_3 is given by

ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್:

ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್ ಈ ಬ್ಯಾಂಡ್‌ನ ಹೊರಗಿನ ಎಲ್ಲಾ ಸಿಗ್ನಲ್‌ಗಳನ್ನು ತಿರಸ್ಕರಿಸುವಾಗ ನಿರ್ದಿಷ್ಟ ಆವರ್ತಗಳ ಬ್ಯಾಂಡ್‌ನಲ್ಲಿ ಮಾತ್ರ ಸಂಕೇತಗಳನ್ನು ರವಾನಿಸಲು ವಿನ್ಯಾಸಗೊಳಿಸಲಾಗಿದೆ.

ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ ಮೂಲಭೂತವಾಗಿ ಎರಡು ವಿಧಗಳಿವೆ,

1. ವೈಡ್ ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್
2. ಕಿರಿದಾದ ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್

ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ವೈಡ್ ಬ್ಯಾಂಡ್ ಪಾಸ್ ಎಂದು ವ್ಯಾಖ್ಯಾನಿಸಲಾಗಿದೆ, ಅದರ ಅರ್ಹತೆಯ ಅಂಕಿ ಅಥವಾ ಗುಣಮಟ್ಟದ ಅಂಶ $Q < 10$. ಎರಡರ ನಡುವೆ ಯಾವುದೇ ದೃಢವಾದ

ವಿಭಜನಾ ರೇಖೆಯಲ್ಲಿದ್ದರೂ, $Q > 10$ ಆಗಿದ್ದರೆ, ಫಿಲ್ಟರ್ ಕಿರಿದಾದ ಬ್ಯಾಂಡ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್ ಆಗಿದೆ. ಆದ್ದರಿಂದ Q ಎಂಬುದು ಸೆಲೆಕ್ಟಿವಿಟಿಯ ಅಳತೆಯಾಗಿದೆ ಅಂದರೆ Q ನ ಹೆಚ್ಚಿನ ಮೌಲ್ಯ, ಹೆಚ್ಚು ಆಯ್ಕೆ ಫಿಲ್ಟರ್ ಅಥವಾ ಕಿರಿದಾದ ಬ್ಯಾಂಡ್ ಅಗಲವಾಗಿರುತ್ತದೆ. Q , 3 db ಬ್ಯಾಂಡ್ ಅಗಲ ಮತ್ತು ಕೇಂದ್ರ ಆವರ್ತನ f_3 ನಡುವಿನ ಸಂಬಂಧವನ್ನು ನೀಡಲಾಗಿದೆ

ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್:

ಯಾ ಬ್ಲಾಕ್‌ಪಾಸ್‌ಗೆ ಸರ್ವ ಸಿಗ್ನಲ್ ನಾಕಾರತಾನಾ ಕೇವಲ ಠರಾವಿಕ ಫ್ರಿಕ್ವೆನ್ಸಿಯಲ್ಲಿ ಸಿಗ್ನಲ್ ಪಾಸ್ ಕರಣ್ಯಾಸಾಥಿ ಡಿಝೈನ್ ಕೆಲೆಲೆ ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್.

ಮುಖಾಂತ ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್‌ಗೆ ದೊನ್ ಪ್ರಕಾರ ಆಹೇತ್,

1. ವಾಡ್ ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್
2. ಅರುಂಡ ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್

ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್‌ಲಾ ವಿಸ್ತೃತ ಬ್ಲಾಕ್ ಪಾಸ್ ಮ್ಹಣ್ಣನ್ ಪರಿಭಾಷಿತ ಕೆಲೆ ಜಾತೆ ಜರ್ ತ್ಯಾಚಿ ಗುಣವಲ್ತೆಚಿ ಆಕೃತಿ ಕಿಂವಾ ಗುಣವಲ್ತಾ ಘಟಕ $Q < 10$. ದೋನ್‌ಹಿಮಧ್ಯೆ ಕೋಣತಿಹಿ ಮಜಬೂತ್ ವಿಭಾಜನ್ ರೇಖಾ ನಸತಾನಾ, $Q > 10$ ಅಸಲ್ಯಾಸ್, ಫಿಲ್ಟರ್ ಏಕ್ ಅರುಂಡ ಬ್ಲಾಕ್ ಪಾಸ್ ಫಿಲ್ಟರ್ ಸರ್ಕ್ಯೂಟ್ ಆಹೇ. ಮ್ಹಣ್ಣನ್ Q ಹೆ ನಿವಡಕತೆಚೆ ಏಕ್ ಮಾಪ ಆಹೇ ಮ್ಹಣಜೆ Q ಚೆ ಮೂಲ್ಯ ಜಿತಕೆ ಜಾಸ್ತ್ ಅಸೆಲ್ ತಿತಕೆ ಅಧಿಕ ನಿವಡಕ ಫಿಲ್ಟರ್ ಕಿಂವಾ ಅರುಂಡ ಮ್ಹಣಜೆ ಬ್ಲಾಕ್ ರುಂಡಿ.

Q , 3 db ಬ್ಲಾಕ್ ರುಂಡಿ ಆಣಿ ಕೆಂದ್ರ ವಾರ್ವಾರತಾ f_3 ಯಾಂಚ್ಯಾತಿಲ ಸಂಬಂಧ ದ್ವಾರೆ ದಿಲೆಲಾ ಆಹೇ

$$Q = \frac{f_c}{BW} = \frac{f_c}{f_H - f_L}$$

For the wide Band Pass Filter Circuit, the centre frequency can be defined as

$$f_c = \sqrt{f_H f_L}$$

where f_H = high cutoff frequency, f_L = low cutoff frequency of the wide bandpass **Wide Bandpass Filter:**

A wide bandpass filter can be formed by simply cascading high-pass and low-pass sections and is generally the choice for simplicity of design and performance though such a circuit can be realized by a number of possible circuits.

MODULE 4

To form a ± 20 db/ decade bandpass filter, a first-order high-pass and a first-order low-pass sections are cascaded; It means that, the order of the bandpass filter is governed by the order of the high-pass and low-pass filters it consists of.

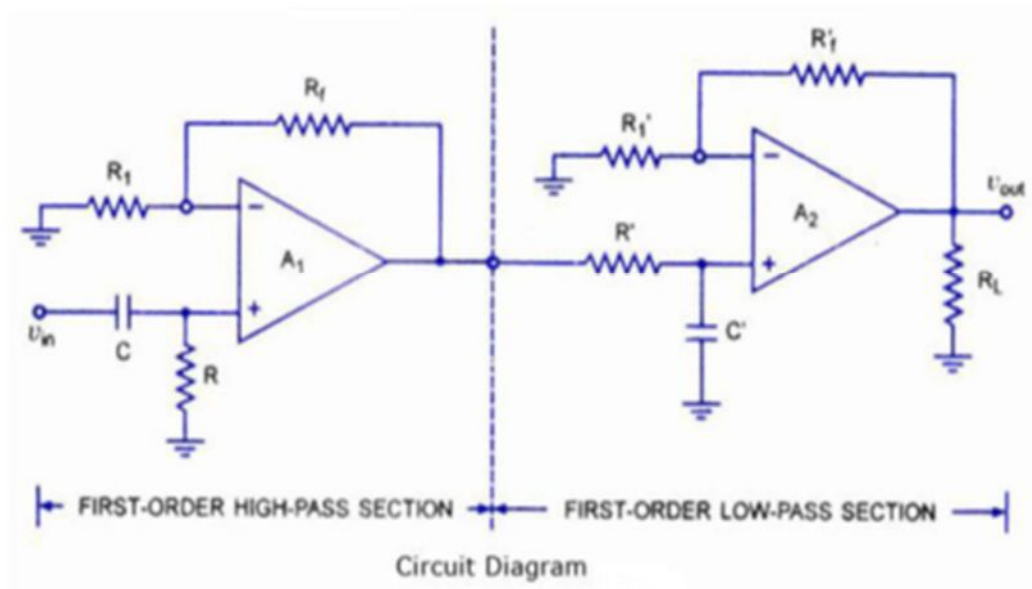
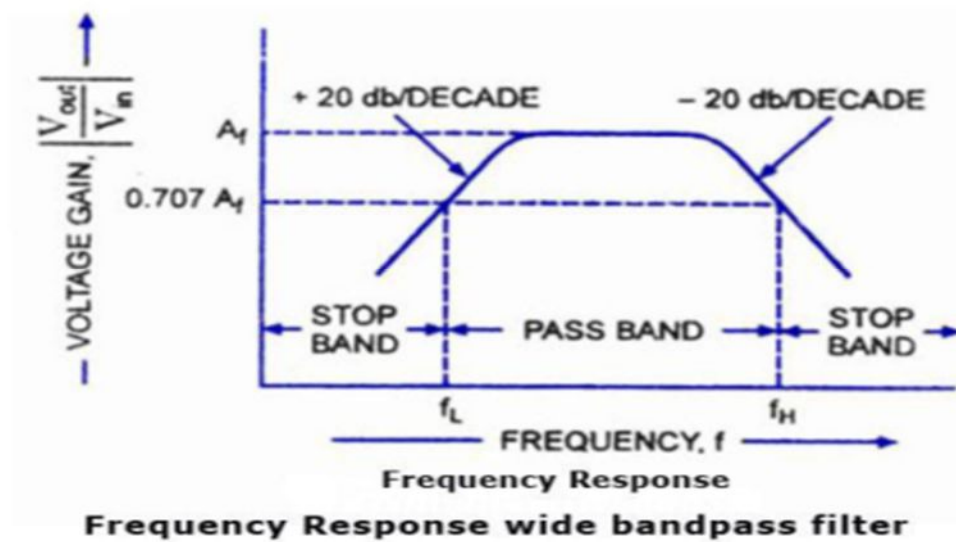


Fig.4.5 wide band pass filter



4.2.4 .Narrow BandPass Filter:

A narrow bandpass filter employing multiple feedback is depicted in figure. This filter employs only one op-amp, as shown in the figure. In comparison to all the filters discussed so far, this filter has some unique features that are given below.

1. It has two feedback paths, and this is the reason that it is called a multiple-feedback filter.
2. The op-amp is used in the inverting mode.

ಕಿರಿದಾದ ಬ್ಯಾಂಡ್‌ಪಾಸ್ ಫಿಲ್ಟರ್:

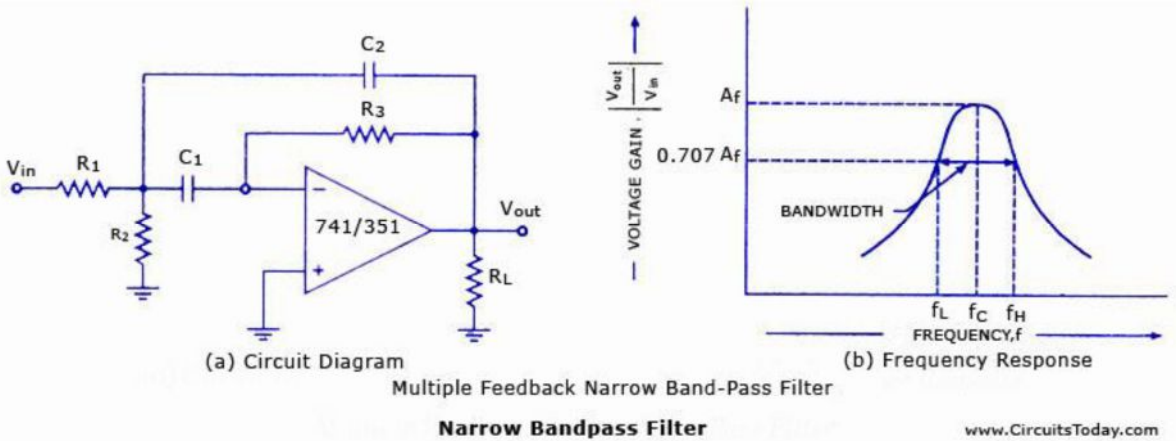
ಬಹು ಪ್ರತಿಕ್ರಿಯೆಯನ್ನು ಬಳಸಿಕೊಳ್ಳುವ ಕಿರಿದಾದ ಬ್ಯಾಂಡ್‌ಪಾಸ್ ಫಿಲ್ಟರ್ ಅನ್ನು ಚಿತ್ರದಲ್ಲಿ ಚಿತ್ರಿಸಲಾಗಿದೆ. ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಿರುವಂತೆ ಈ ಫಿಲ್ಟರ್ ಒಂದು ಆಪ್-ಆಂಪ್ ಅನ್ನು ಮಾತ್ರ ಬಳಸುತ್ತದೆ. ಇಲ್ಲಿಯವರೆಗೆ ಚರ್ಚಿಸಲಾದ ಎಲ್ಲಾ ಫಿಲ್ಟರ್‌ಗಳಿಗೆ ಹೋಲಿಸಿದರೆ, ಈ ಫಿಲ್ಟರ್ ಕೆಳಗೆ ನೀಡಲಾದ ಕೆಲವು ವಿಶಿಷ್ಟ ವೈಶಿಷ್ಟ್ಯಗಳನ್ನು ಹೊಂದಿದೆ.

1. ಇದು ಎರಡು ಪ್ರತಿಕ್ರಿಯೆ ಮಾರ್ಗಗಳನ್ನು ಹೊಂದಿದೆ, ಮತ್ತು ಇದನ್ನು ಬಹು-ಪ್ರತಿಕ್ರಿಯೆ ಫಿಲ್ಟರ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.
2. ಆಪ್-ಆಂಪ್ ಅನ್ನು ಇನ್ವರ್ಟಿಂಗ್ ಮೋಡ್‌ನಲ್ಲಿ ಬಳಸಲಾಗುತ್ತದೆ.

ಅರಂದ್ ಬೆಂಡ್‌ಪಾಸ್ ಫಿಲ್ಟರ್:

एकाधिक अभिप्राय वापरणारे अरुंद बँडपास फिल्टर आकृतीमध्ये दर्शविले आहे. आकृतीत दाखवल्याप्रमाणे हे फिल्टर फक्त एक op-amp वापरतो. आतापर्यंत चर्चा केलेल्या सर्व फिल्टरच्या तुलनेत, या फिल्टरमध्ये काही खास वैशिष्ट्ये आहेत जी खाली दिली आहेत.

1. यात दोन फीडबॅक पथ आहेत आणि हेच कारण आहे की याला एकाधिक-फीडबॅक फिल्टर म्हणतात.
2. इन्व्हर्टिंग मोडमध्ये op-amp चा वापर केला जातो.



4.2.5 Band Reject Filter:

In this Band Reject Filter Circuit, frequencies are attenuated in the stop band and passed outside it, Types of Band Reject Filter Circuit,

1. Narrow band reject filter
2. Wide band reject filter

Narrow band reject filter:

The narrow band reject filter is also called the notch filter. Because of its higher Q which is greater than 10, the bandwidth of the narrow band reject filter is much smaller than that of the wide band reject filter.

The band reject filter is also called a band stop or band elimination filter because it eliminates a certain band of frequencies.

The narrow band reject filter, often called the notch filter, is commonly used for the attenuation of a single frequency. For example, it may be necessary to attenuate 60 Hz or 400 Hz noise or hum signals in a circuit. The most commonly used notch filter is the Twin T network, shown in Fig. 15.21(a), which is a passive filter composed of two T shaped networks.

अरुंद बँड रिजेक्ट फिल्टर:

अरुंद बँड रिजेक्ट फिल्टरला नॉच फिल्टर देखील म्हणतात. 10 पेक्षा जास्त असलेल्या त्याच्या उच्च ्रमुळे, अरुंद बँड रिजेक्ट फिल्टरची बँडविड्थ वाइड बँड रिजेक्ट फिल्टरपेक्षा खूपच लहान आहे.

बँड रिजेक्ट फिल्टरला बँड स्टॉप किंवा बँड एलिमिनेशन फिल्टर देखील म्हणतात कारण ते फ्रिक्वेन्सीचा ठराविक बँड काढून टाकते.

अरुंद बँड रिजेक्ट फिल्टर, ज्याला बऱ्याचदा नॉच फिल्टर म्हणतात, सामान्यतः एकाच वारंवारतेच्या क्षीणतेसाठी वापरले जाते. उदाहरणार्थ, सर्किटमध्ये 60 Hz किंवा 400 Hz आवाज किंवा hum सिग्नल कमी करणे आवश्यक असू शकते. सर्वात सामान्यपणे वापरले जाणारे नॉच फिल्टर ट्विन टी नेटवर्क आहे, जे चित्र 15.21(a) मध्ये दाखवले आहे, जे दोन T आकाराच्या नेटवर्कने बनलेले एक निष्क्रिय फिल्टर आहे

ठिरीदाद ब्याण्ड् तिरसुठिसुव फ़िल्टर:

ठिरीदाद ब्याण्ड् तिरसुठिसुव फ़िल्टर अन्नु नार्च् फ़िल्टर ँन्दो करैयुलोगुतुदै. अदर हॅञ्चिन $Q > 10$ क्क़िंत हॅञ्चिरुवुदरिंद, न्ग़ारो ब्याण्ड् रिजैक्च् फ़िल्टरन ब्याण्ड्विड्च् व्ग़ैच् ब्याण्ड् रिजैक्च् फ़िल्टरगिंत च़िक्कुदागिदै.

ब्याण्ड् रिजैक्च् फ़िल्टर अन्नु ब्याण्ड् स्क्वाप् अधवा ब्याण्ड् वलिमिनैश्न् फ़िल्टर ँन्दो करैयुलोगुतुदै ँकैन्दरै इदु निदिफ़्श् अवतननग़च् ब्याण्ड् अन्नु तैगैदुहकुतुदै.

MODULE 4

ಕಿರಿದಾದ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಫಿಲ್ಟರ್ ಅನ್ನು ಸಾಮಾನ್ಯವಾಗಿ ನಾಚ್ ಫಿಲ್ಟರ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ, ಇದನ್ನು ಸಾಮಾನ್ಯವಾಗಿ ಏಕ ಅವರ್ತನದ ಕ್ಷೀಣಿಸಲು ಬಳಸಲಾಗುತ್ತದೆ. ಉದಾಹರಣೆಗೆ, ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ 60 Hz ಅಥವಾ 400 Hz ಶಬ್ದ ಅಥವಾ ಹಮ್ಮ ಸಿಗ್ನಲ್‌ಗಳನ್ನು ದುರ್ಬಲಗೊಳಿಸುವುದು ಅಗತ್ಯವಾಗಬಹುದು. ಹೆಚ್ಚು ಸಾಮಾನ್ಯವಾಗಿ ಬಳಸುವ ನಾಚ್ ಫಿಲ್ಟರ್ ಟ್ವಿನ್ ಟಿ ನೆಟ್‌ವರ್ಕ್ ಆಗಿದೆ, ಇದನ್ನು ಚಿತ್ರ 15.21 (a) ನಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ, ಇದು ಎರಡು T ಆಕಾರದ ನೆಟ್‌ವರ್ಕ್‌ಗಳನ್ನು ಒಳಗೊಂಡಿರುವ ನಿಷ್ಕ್ರಿಯ ಫಿಲ್ಟರ್ ಆಗಿದೆ.

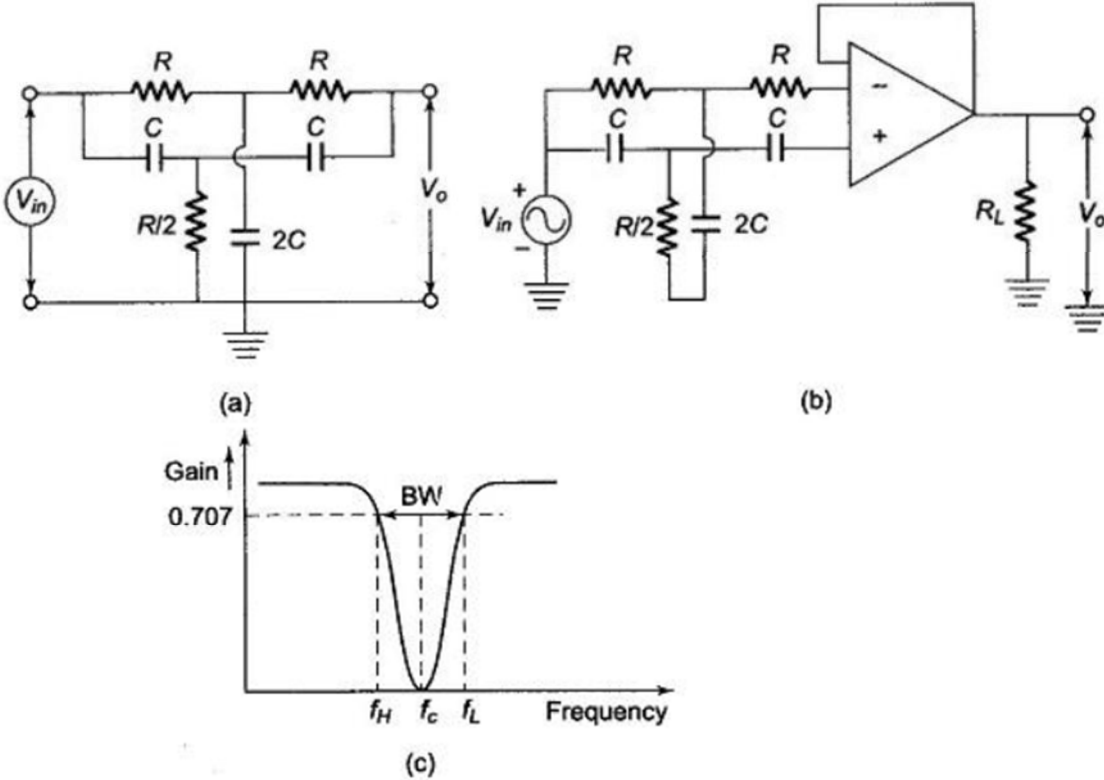


Fig.4.6 a) Twin-T Notch Filter b)Active Notch Filter c)Frequency response

One T network is made up of two resistors and a capacitor, while the other is made of two capacitors and a resistor. The frequency at which maximum attenuation occurs is called the notch-out frequency, given by

$$f_N = \frac{1}{2\pi RC} \quad (15.50)$$

One disadvantage of the passive twin T network is that it has a relatively low figure of merit, Q . As discussed earlier, the higher the value of Q , the more selective is the filter. Therefore, to increase the Q of the twin T network significantly, it should be used with a voltage follower, as shown in Fig. 15.21(b). Figure 15.21(c) shows the frequency response of a notch filter. The Notch filters are used in communications, biomedical instruments, etc. where the elimination of certain frequencies is necessary.

Wide band Reject Filter:

Figure (a) shows wide band reject filter using a low pass filter, a high pass filter and a summing amplifier. For a proper band reject response, the low cutoff frequency f_L of the high pass filter must be larger than the high cutoff frequency f_H of the low pass filter.

Also, the pass band gain of both high pass and low pass sections must be equal.

ವೈಡ್ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಫಿಲ್ಟರ್:

ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್, ಹೆಚ್ಚಿನ ಪಾಸ್ ಫಿಲ್ಟರ್ ಮತ್ತು ಸಮ್ಮಿಂಗ್ ಅಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಬಳಸಿಕೊಂಡು ವೈಡ್ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಫಿಲ್ಟರ್ ಅನ್ನು ಚಿತ್ರ (ಎ) ತೋರಿಸುತ್ತದೆ. ಸರಿಯಾದ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಪ್ರತಿಕ್ರಿಯೆಗಾಗಿ, ಹೈ ಪಾಸ್ ಫಿಲ್ಟರ್‌ನ ಕಡಿಮೆ ಕಟ್‌ಆಫ್ ಫ್ರೀಕ್ವೆನ್ಸಿ ಎಫ್‌ಎಲ್ ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್‌ನ ಹೈ ಕಟ್‌ಆಫ್ ಫ್ರೀಕ್ವೆನ್ಸಿ ಎಫ್‌ಹೆಚ್‌ಗಿಂತ ದೊಡ್ಡದಾಗಿರಬೇಕು.

ಅಲ್ಲದೆ, ಹೆಚ್ಚಿನ ಪಾಸ್ ಮತ್ತು ಕಡಿಮೆ ಪಾಸ್ ವಿಭಾಗಗಳ ಪಾಸ್ ಬ್ಯಾಂಡ್ ಗಳಿಕೆಯು ಸಮಾನವಾಗಿರಬೇಕು.

ವಾಡ್ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಫಿಲ್ಟರ್:

ಆಕೃತಿ (a) ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್, ಉಚ್ಚ ಪಾಸ್ ಫಿಲ್ಟರ್ ಆಗಿ ಸಮ್ಮಿಂಗ್ ಅಂಪ್ಲಿಫೈಯರ್ ವಾಪರಿಸುವ ವಿಸ್ತೃತ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಫಿಲ್ಟರ್ ದಾಖಲೆ. ಯೋಗ್ಯ ಬ್ಯಾಂಡ್ ರಿಜೆಕ್ಟ್ ಪ್ರತಿಸಾಧನಕ್ಕಾಗಿ, ಉಚ್ಚ ಪಾಸ್ ಫಿಲ್ಟರ್‌ನ ಕಡಿಮೆ ಕಟ್‌ಆಫ್ ವಾರಂವಾರತಾ f_L ಕಡಿಮೆ ಪಾಸ್ ಫಿಲ್ಟರ್‌ನ ಉಚ್ಚ ಕಟ್‌ಆಫ್ ವಾರಂವಾರತಾ f_H ಪಕ್ಷಾ ಮುಖಾಂತಿ ಅಸಮಾನ ಆಗಿರಬೇಕು.

ತದೇಕ, ಉಚ್ಚ ಪಾಸ್ ಆಗಿ ನಿಮ್ನ ಪಾಸ್ ಯಾ ದುಢ್ಹಿ ವಿಭಾಗಾಢ್ಚಾ ಪಾಸ್ ಬ್ಯಾಂಡ್ ಲಾಭ ಸಮಾಢ ಅಸಮಾನ ಆಗಿರಬೇಕು.

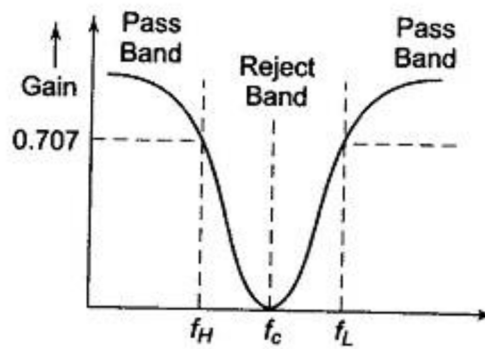


Fig. 15.20 (b) Frequency Response of a Wide Band Reject Filter

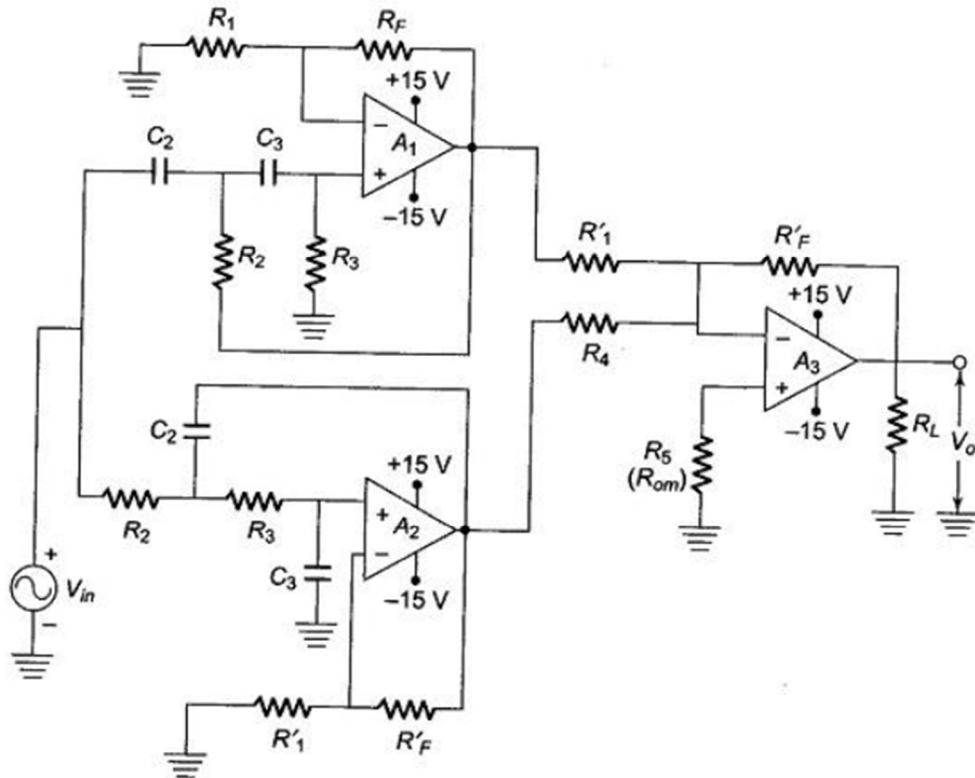


Fig.4.7 wide band reject filter using HPF ,LPF and summing amplifier

4.3. 555 Timer and its applications

4.3.1.INTRODUCTION

It is basically a monolithic timing circuit that produces accurate and highly stable time delays or oscillation. When compared to the applications of an op-amp in the same areas, the 555IC is also equally reliable and is cheap in cost. Apart from its applications as a monostable multivibrator and astable multivibrator, a 555 timer can also be used in dc-dc converters, digital logic probes, waveform generators, analog frequency meters and tachometers, temperature measurement and control devices, voltage regulators etc. The timer IC is setup to work in either of the two modes – one-shot or monostable or as a free-running or astable multivibrator. The SE 555 can be used for temperature ranges between -55°C to 125° . The NE 555 can be used for a temperature range between 0° to 70°C .

परिचय

हे मुळात एक मोनोलिथिक टाइमिंग सर्किट आहे जे अचूक आणि अत्यंत स्थिर वेळ विलंब किंवा दोलन निर्माण करते. त्याच भागात op-amp च्या ऍप्लिकेशनशी तुलना केल्यास, 555IC देखील तितकेच विश्वासार्ह आहे आणि किमतीत स्वस्त आहे. मोनोस्टेबल मल्टीव्हायब्रेटर आणि अस्टेबल मल्टीव्हायब्रेटर म्हणून त्याच्या ऍप्लिकेशन्सशिवाय, 555 टायमरचा वापर dc-dc कन्व्हर्टर, डिजिटल लॉजिक प्रोब, वेव्हफॉर्म जनरेटर, अॅनालॉग फ्रिक्वेन्सी मीटर आणि टॅकोमीटर, तापमान मापन आणि नियंत्रण साधने, व्होल्टेज रेग्युलेटर इत्यादींमध्ये देखील केला जाऊ शकतो. IC दोनपैकी कोणत्याही मोडमध्ये काम करण्यासाठी सेटअप आहे - एक-शॉट किंवा मोनोस्टेबल किंवा फ्री-रनिंग किंवा अस्टेबल मल्टीव्हायब्रेटर म्हणून. SE 555 - 55°C ते 125°C दरम्यानच्या तापमान श्रेणीसाठी वापरला जाऊ शकतो. NE 555 चा वापर 0°C ते 70°C दरम्यानच्या तापमान श्रेणीसाठी केला जाऊ शकतो.

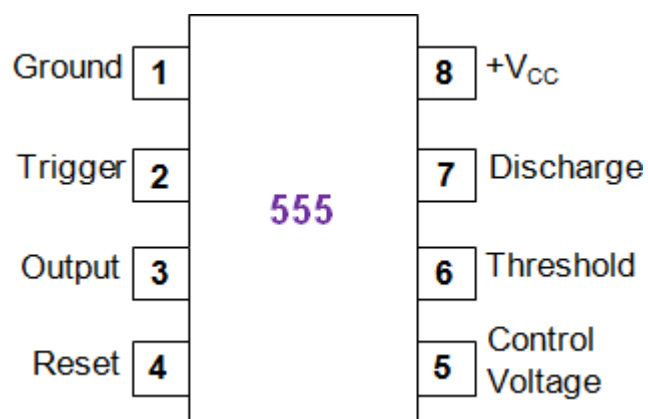
ಪರಿಚಯ

ಇದು ಮೂಲಭೂತವಾಗಿ ಏಕಶಿಲೆಯ ಟೈಮಿಂಗ್ ಸರ್ಕ್ಯೂಟ್ ಆಗಿದ್ದು ಅದು ನಿಖರವಾದ ಮತ್ತು ಹೆಚ್ಚು ಸ್ಥಿರವಾದ ಸಮಯ ವಿಳಂಬಗಳು ಅಥವಾ ಆಂದೋಲನವನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ. ಅದೇ ಪ್ರದೇಶಗಳಲ್ಲಿ op-amp ನ ಅಪ್ಲಿಕೇಶನ್‌ಗಳಿಗೆ ಹೋಲಿಸಿದರೆ, 555IC ಸಹ ಅಷ್ಟೇ ವಿಶ್ವಸಾರ್ಥವಾಗಿದೆ ಮತ್ತು ವೆಚ್ಚದಲ್ಲಿ ಅಗ್ಗವಾಗಿದೆ. ಮೊನೊಸ್ವಿಚ್ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಮತ್ತು ಅಸ್ವಿಚ್ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಆಗಿ ಅದರ ಅನ್ವಯಗಳ ಹೊರತಾಗಿ, 555 ಟೈಮರ್ ಅನ್ನು ಡಿಸಿ-ಡಿಸಿ ಪರಿವರ್ತಕಗಳು, ಡಿಜಿಟಲ್ ಲಾಜಿಕ್ ಪ್ರೋಬ್‌ಗಳು, ವೇವ್‌ಫಾರ್ಮ್ ಜನರೇಟರ್‌ಗಳು, ಅನಲಾಗ್ ಫ್ರೀಕ್ವೆನ್ಸಿ ಮೀಟರ್‌ಗಳು ಮತ್ತು ಟ್ಯಾಕೋಮೀಟರ್‌ಗಳು, ತಾಪಮಾನ ಮಾಪನ ಮತ್ತು ನಿಯಂತ್ರಣ ಸಾಧನಗಳು, ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಕಗಳು ಇತ್ಯಾದಿಗಳಲ್ಲಿ ಬಳಸಬಹುದು. IC ಎರಡು ವಿಧಾನಗಳಲ್ಲಿ ಒಂದರಲ್ಲಿ ಕೆಲಸ ಮಾಡಲು ಹೊಂದಿಸಲಾಗಿದೆ - ಒಂದು-ಶಾಟ್ ಅಥವಾ monostabl ಅಥವಾ ಮುಕ್ತ-ಚಾಲನೆಯಲ್ಲಿರುವ ಅಥವಾ ಸ್ಥಿರವಾದ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಆಗಿ. SE 555 ಅನ್ನು - 55 ° C ನಿಂದ 125 ° ನಡುವಿನ ತಾಪಮಾನದ ಶ್ರೇಣಿಗಳಿಗೆ ಬಳಸಬಹುದು. NE 555 ಅನ್ನು 0 ° ನಿಂದ 70 ° C ನಡುವಿನ ತಾಪಮಾನದ ವ್ಯಾಪ್ತಿಯಲ್ಲಿ ಬಳಸಬಹುದು.

4.3.2. The important features of the 555 timer are :

- It operates from a wide range of power supplies ranging from + 5 Volts to + 18 Volts supply voltage.
- Sinking or sourcing 200 mA of load current.
- The external components should be selected properly so that the timing intervals can be made into several minutes along with the frequencies exceeding several hundred kilo hertz.
- The output of a 555 timer can drive a transistor-transistor logic (TTL) due to its high current output.
- It has a temperature stability of 50 parts per million (ppm) per degree Celsius change in temperature, or equivalently 0.005 %/ °C.
- The duty cycle of the timer is adjustable.
- The maximum power dissipation per package is 600 mW and its trigger and reset inputs has logic compatibility. More features are listed in the datasheet.

IC Pin Configuration



- Following is a brief description on the function associated with each of its pins
- Ground (Pin 1 of 8-pin and Pin 3 of 14-pin package): Used as a reference with which each of the voltage is measured.
- Trigger (Pin 2 of 8-pin and Pin 4 of 14-pin package): This pin is used to provide trigger to the circuit when the device will be configured to behave like a monostable multivibrator. As evident from Figure 2, it is seen that this pin is connected as an input to the comparator C2 which compares it with $1/3 V_{CC}$, fed as an input to its other terminal. As a result, when the user-provided negative pulse exceeds $1/3 V_{CC}$ (obtained from the resistive network), the output of this comparator goes high. This causes the output Q of the SR flip-flop to become zero, thereby pulling its $\bar{Q}$ pin high which makes the output of the inverter

MODULE 4

to go low, thereby resulting in a high output from the IC.

- **Output** (Pin 3 of 8-pin and Pin 5 of 14-pin package): This is the pin at which the output of the IC can be obtained. 555 timer IC provides two options for the user to load this pin viz., (i) Normally on load configuration where the load is connected between the Supply and the Output pins and (ii) Normally off load configuration where the load is connected between the Ground and the Output pins.
- **Reset** (Pin 4 of 8-pin and Pin 6 of 14-pin package): This pin can be used by the user to reset the IC as the user-provided negative going pulse on this pin switches OFF the associated transistor. This is because, a logic low on this pin causes the output of the flip-flop to go high, turning ON the discharge transistor. However, usually this pin will be connected to +VCC when not in use so as to avoid false triggering.
- **Control Voltage** (Pin 5 of 8-pin and Pin 9 of 14-pin package): This pin is used to control the levels of threshold as well as triggering. In addition, this pin can be used to control the pulse width of the output waveform as the voltage applied at this pin decides the condition at which the output of the comparator (C1) switches its state. The same regulation in the output waveform can be even experienced by connecting a potentiometer to this pin. Next, it is to be noted that when this pin is to be left unused, it is to be bypassed to ground via 0.01 μF capacitor in order to get rid of noise issue.
- **Threshold** (Pin 6 of 8-pin and Pin 10 of 14-pin package): This pin is connected to the positive terminal of the comparator C1 which compares the applied voltage with $\frac{2}{3} V_{CC}$. Next, when the user provided voltage exceeds this reference level of $\frac{2}{3} V_{CC}$, the output of C1 goes high, and thus the flip-flop's output (Q) will be set. Due to this, the complement of its output ($\bar{Q}$) will go low, resulting in a high output from the inverter, which will be nothing but the output of the IC.
- **Discharge** (Pin 7 of 8-pin and Pin 12 of 14-pin package): This pin is connected to the collector terminal of the internal transistor in **555 timer IC**. Generally, a capacitor will be connected between this terminal and ground. This capacitor discharges through the transistor when it saturates, a phenomenon experienced when the output of comparator C1 sets the flip-flop indicating that the threshold voltage has increased in comparison with that of the control voltage. On the other hand, if the negative-going trigger pulse exceeds $\frac{1}{3} V_{CC}$, then the output of the flip-flop goes low as the lower comparator's output will go high. This in turn

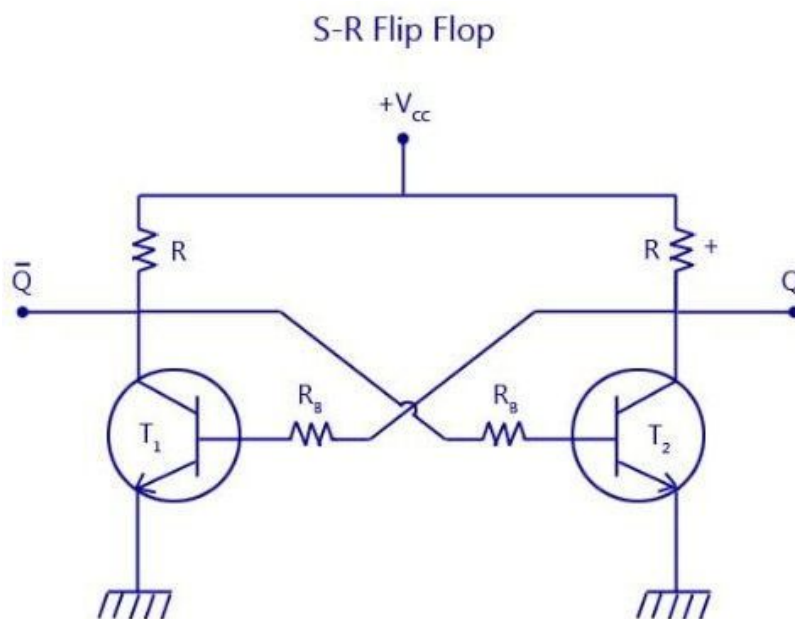
MODULE 4

turns OFF the transistor during which the capacitor attached to its terminal starts to charge at a rate decided by the external resistor and the capacitor.

- Supply (Pin 8 of 8-pin and Pin 13 of 14-pin package): This pin is used to provide a voltage within the range of +5V to +18V wrt ground.

555 Timer Basics

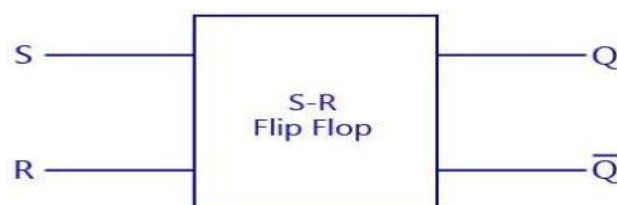
- The **555 timer** combines a relaxation oscillator, two comparators, an R-S flip-flop, and a discharge capacitor.



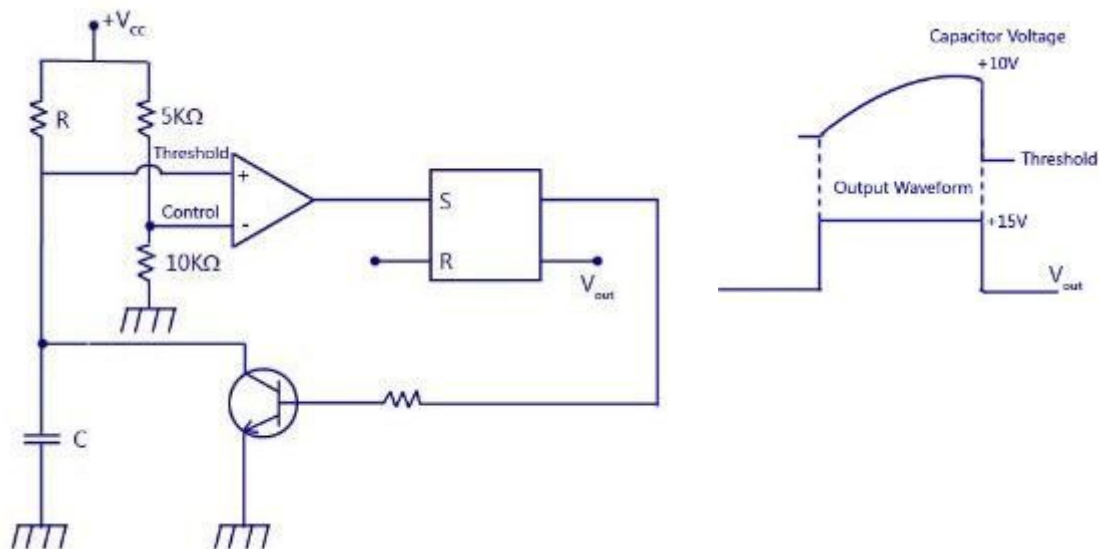
- As shown in the figure, two transistors T_1 and T_2 are cross coupled. The collector of transistor T_1 drives the base of transistor T_2 through the resistor R_{b2} . The collector of transistor T_2 drives the base of transistor T_1 through resistor R_{b1} . When one of the transistor is in the saturated state, the other transistor will be in the cut-off state. If we consider the transistor T_1 to be saturated, then the collector voltage will be almost zero. Thus there will be a zero base drive for transistor T_2 and will go into cut-off state

and its collector voltage approaches $+V_{CC}$. This voltage is applied to the base of T_1 and thus will keep it in saturation.

S-R Flip Flop Symbol



- Now, if we consider the transistor T1 to be in the cut-off state, then the collector voltage of T1 will be equal to $+V_{cc}$. This voltage will drive the base of the transistor T2 to saturation. Thus, the saturated collector output of transistor T2 will be almost zero. This value when fed back to the base of the transistor T1 will drive it to cut-off. Thus, the saturation and cut-off value of anyone of the transistors decides the high and low value of Q and its compliment. By adding more components to the circuit, an R-S flip-flop is obtained. R-S flip-flop is a circuit that can set the Q output to high or reset it low. Incidentally, a complementary (opposite) output $\bar{Q}$ is available from the collector of the other transistor. The schematic symbol for a S-R flip flop is also shown above. The circuit latches in either the Q state or its complimentary state. A high value of S input sets the value of Q to go high. A high value of R input resets the value of Q to low. Output Q remains in a given state until it is triggered into the opposite state.



Basic Timing Concept

- From the figure above, assuming the output of the S-R flip flop, Q to be high. This high value is passed on to the base of the transistor, and the transistor gets saturated, thus producing a zero voltage at the collector. The capacitor voltage is clamped at ground, that is, the capacitor C is shorted and cannot charge.
- The inverting input of the comparator is fed with a control voltage, and the non-inverting input is fed with a threshold voltage. With R-S flip flop set, the saturated transistor holds the threshold voltage at zero. The control voltage, however, is fixed at $2/3 V_{CC}$, that is, at 10 volts, because of the voltage divider.
- Suppose that a high voltage is applied to the R input. This resets the flip-flop R-Output Q goes low and the transistor is cut-off. Capacitor C is now free to charge. As this capacitor C charges, the threshold voltage rises. Eventually, the threshold voltage becomes slightly greater than (+ 10 V). The output of the comparator then goes high, forcing the R S flip-flop to set. The high Q output saturates the transistor, and this quickly discharges the capacitor. An exponential rise is across the capacitor C, and a positive going pulse appears at the output Q. Thus capacitor voltage VC is exponential while the output is rectangular. This is shown in the figure above.

ಬೇಸಿಕ್ ಟೈಮಿಂಗ್ ಕಾನ್ಸೆಪ್ಟ್

- ಮೇಲಿನ ಚಿತ್ರದಿಂದ, S-R ಫ್ಲಿಪ್ ಫ್ಲಾಪ್‌ನ ಔಟ್‌ಪುಟ್ ಅನ್ನು ಉಹಿಸಿ, Q ಹೆಚ್ಚು. ಈ ಹೆಚ್ಚಿನ ಮೌಲ್ಯವನ್ನು ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ತಳಕ್ಕೆ ರವಾನಿಸಲಾಗುತ್ತದೆ ಮತ್ತು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಸ್ಯಾಚುರೇಟೆಡ್ ಆಗುತ್ತದೆ, ಹೀಗಾಗಿ ಸಂಗ್ರಾಹಕದಲ್ಲಿ ಶೂನ್ಯ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಉತ್ಪಾದಿಸುತ್ತದೆ. ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ನೆಲದಲ್ಲಿ ಕ್ಲಾಂಪ್ ಮಾಡಲಾಗಿದೆ, ಅಂದರೆ, ಕೆಪಾಸಿಟರ್ ಸಿ ಚಿಕ್ಕದಾಗಿದೆ ಮತ್ತು ಚಾರ್ಜ್ ಮಾಡಲು ಸಾಧ್ಯವಿಲ್ಲ.
- ಕಂಪೇರೇಟರ್‌ನ ಇನ್‌ವರ್ಟಿಂಗ್ ಇನ್‌ಪುಟ್ ಅನ್ನು ಕಂಟ್ರೋಲ್ ವೋಲ್ಟೇಜ್‌ನೊಂದಿಗೆ ನೀಡಲಾಗುತ್ತದೆ ಮತ್ತು ಇನ್‌ವರ್ಟಿಂಗ್ ಅಲ್ಲದ ಇನ್‌ಪುಟ್ ಅನ್ನು ಥ್ರೆಶೋಲ್ಡ್ ವೋಲ್ಟೇಜ್‌ನೊಂದಿಗೆ ನೀಡಲಾಗುತ್ತದೆ. R-S ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಸೆಟ್‌ನೊಂದಿಗೆ, ಸ್ಯಾಚುರೇಟೆಡ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಥ್ರೆಶೋಲ್ಡ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಶೂನ್ಯದಲ್ಲಿ ಹಿಡಿದಿಟ್ಟುಕೊಳ್ಳುತ್ತದೆ. ಆದಾಗ್ಯೂ, ನಿಯಂತ್ರಣ ವೋಲ್ಟೇಜ್ ಅನ್ನು $2/3 V_{CC}$ ಯಲ್ಲಿ ನಿಗದಿಪಡಿಸಲಾಗಿದೆ, ಅಂದರೆ 10 ವೋಲ್ಟ್‌ಗಳಲ್ಲಿ, ವೋಲ್ಟೇಜ್ ವಿಭಾಜಕದಿಂದಾಗಿ.

• R ಇನ್‌ಪುಟ್‌ಗೆ ಹೆಚ್ಚಿನ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಲಾಗಿದೆ ಎಂದು ಭಾವಿಸೋಣ. ಇದು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ R-ಔಟ್‌ಪುಟ್ Q ಅನ್ನು ಮರುಹೊಂದಿಸುತ್ತದೆ ಮತ್ತು ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಕಡಿತಗೊಂಡಿದೆ. ಕೆಪಾಸಿಟರ್ ಸಿ ಈಗ ಚಾರ್ಜ್ ಮಾಡಲು ಉಚಿತವಾಗಿದೆ. ಈ ಕೆಪಾಸಿಟರ್ ಸಿ ಚಾರ್ಜ್ ಆಗುತ್ತಿದ್ದಂತೆ, ಮಿತಿ ವೋಲ್ಟೇಜ್ ಏರುತ್ತದೆ. ಅಂತಿಮವಾಗಿ, ಮಿತಿ ವೋಲ್ಟೇಜ್ (+ 10 V) ಗಿಂತ ಸ್ವಲ್ಪ ಹೆಚ್ಚಾಗಿರುತ್ತದೆ. ಕಂಪೇಟರ್‌ನ ಔಟ್‌ಪುಟ್ ನಂತರ ಹೆಚ್ಚು ಹೋಗುತ್ತದೆ, R S ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಹೊಂದಿಸಲು ಒತ್ತಾಯಿಸುತ್ತದೆ. ಹೆಚ್ಚಿನ Q ಔಟ್‌ಪುಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಸ್ಯಾಚುರೇಟ್ ಮಾಡುತ್ತದೆ ಮತ್ತು ಇದು ಕೆಪಾಸಿಟರ್ ಅನ್ನು ತ್ವರಿತವಾಗಿ ಹೊರಹಾಕುತ್ತದೆ. ಘಾತೀಯ ಏರಿಕೆಯು ಕೆಪಾಸಿಟರ್ C ಯಾದ್ಯಂತ ಇರುತ್ತದೆ ಮತ್ತು ಔಟ್‌ಪುಟ್ Q ನಲ್ಲಿ ಧನಾತ್ಮಕ ಹೋಗುವ ಪಲ್ಸ್ ಕಾಣಿಸಿಕೊಳ್ಳುತ್ತದೆ. ಹೀಗಾಗಿ ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ VC ಘಾತೀಯವಾಗಿರುತ್ತದೆ ಆದರೆ ಔಟ್‌ಪುಟ್ ಆಯತಾಕಾರದದ್ದಾಗಿದೆ. ಇದನ್ನು ಮೇಲಿನ ಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಲಾಗಿದೆ.

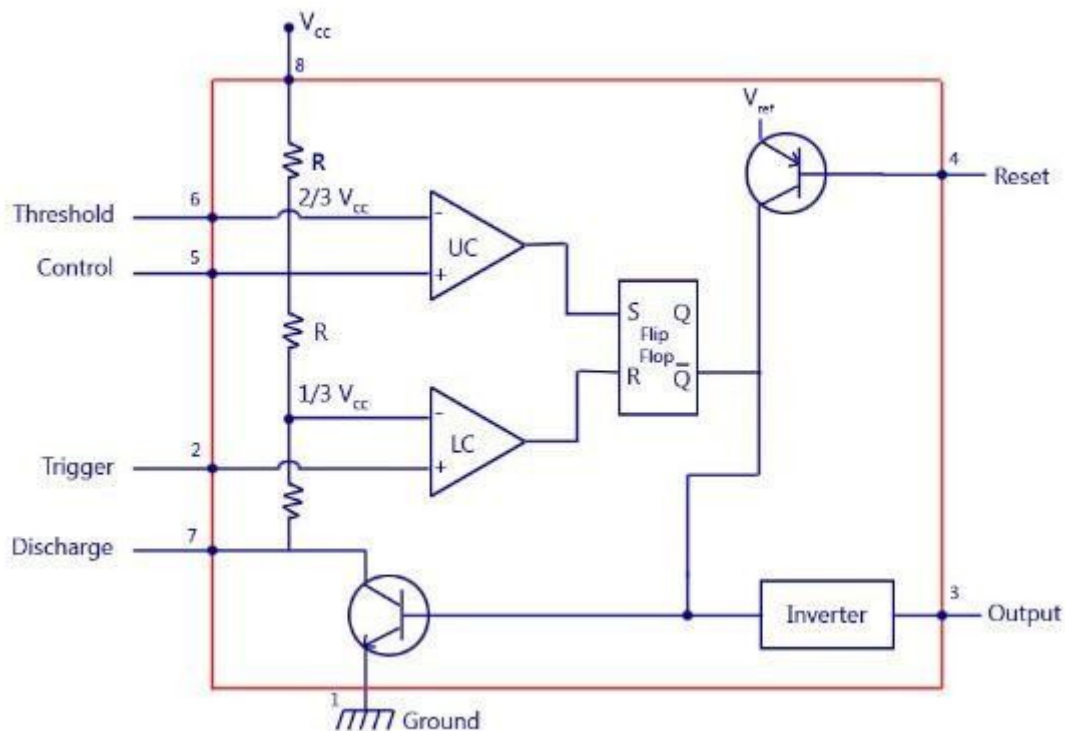
मूलभूत वेळेची संकल्पना

• वरील आकृतीवरून, $S-R$ फिलप फ्लॉपचे आउटपुट गृहीत धरून, Q उच्च असेल. हे उच्च मूल्य ट्रान्झिस्टरच्या पायावर जाते आणि ट्रान्झिस्टर संतृप्त होते, अशा प्रकारे संग्राहकावर शून्य व्होल्टेज तयार होते. कॅपेसिटर व्होल्टेज जमिनीवर क्लॅम्प केलेले आहे, म्हणजेच कॅपेसिटर सी लहान आहे आणि चार्ज करू शकत नाही.

• कंपॅरेटरचे इनव्हर्टिंग इनपुट कंट्रोल व्होल्टेजसह दिले जाते आणि नॉन-इनव्हर्टिंग इनपुट थ्रेशोल्ड व्होल्टेजसह दिले जाते. R-S फ्लिप फ्लॉप सेटसह, संतृप्त ट्रान्झिस्टर थ्रेशोल्ड व्होल्टेज शून्यावर ठेवतो. नियंत्रण व्होल्टेज, तथापि, व्होल्टेज विभाजकामुळे $2/3 V_{CC}$ वर, म्हणजेच 10 व्होल्टवर निश्चित केले जाते.

• समजा R इनपुटवर उच्च व्होल्टेज लागू केले आहे. यामुळे फिलप-फ्लॉप R -आउटपुट Q कमी होतो आणि ट्रान्झिस्टर कट ऑफ होतो. कॅपेसिटर C आता चार्ज करण्यासाठी विनामूल्य आहे. हा कॅपेसिटर C चार्ज होताना, थ्रेशोल्ड व्होल्टेज वाढते. अखेरीस, थ्रेशोल्ड व्होल्टेज $(+ 10\text{ V})$ पेक्षा किंचित जास्त होते. R S फिलप-फ्लॉप सेट करण्यास भाग पाडून, तुलनाकर्त्याचे आउटपुट उच्च होते. उच्च क्यू आउटपुट ट्रान्झिस्टरला संतृप्त करते आणि यामुळे कॅपेसिटर त्वरीत डिस्चार्ज होतो. कॅपेसिटर C वर घातांकीय वाढ होते आणि आउटपुट Q वर एक सकारात्मक जाणारी नाडी दिसते. अशा प्रकारे कॅपेसिटर व्होल्टेज V_C घातांक असतो तर आउटपुट आयताकृती असतो. हे वरील आकृतीत दाखवले आहे.

555 IC Timer Block Diagram



The block diagram of a **555 timer** is shown in the above figure. A 555 timer has two comparators, which are basically 2 op-amps), an R-S flip-flop, two transistors and a resistive network.

- Resistive network consists of three equal resistors and acts as a voltage divider.
- Comparator 1 compares threshold voltage with a reference voltage + $2/3 V_{CC}$ volts.
- Comparator 2 compares the trigger voltage with a reference voltage + $1/3 V_{CC}$ volts.

Output of both the comparators is supplied to the flip-flop. Flip-flop assumes its state according to the output of the two comparators. One of the two transistors is a discharge transistor of which collector is connected to **pin 7**. This transistor saturates or cuts-off according to the output state of the flip-flop. The saturated transistor provides a discharge path to a capacitor connected externally. Base of another transistor is connected to a reset terminal. A pulse applied to this terminal resets the whole timer irrespective of any input.

555 टाइमरचा ब्लॉक आकृती वरील आकृतीमध्ये दर्शविला आहे. 555 टाइमरमध्ये दोन तुलना करणारे असतात, जे मुळात 2 op-amps असतात), एक R-S फ्लिप-फ्लॉप, दोन ट्रान्झिस्टर आणि एक प्रतिरोधक नेटवर्क.

- रेझिस्टिव्ह नेटवर्कमध्ये तीन समान रेझिस्टर असतात आणि ते व्होल्टेज डिव्हायडर म्हणून काम करतात.
- तुलनाकर्ता 1 थ्रेशोल्ड व्होल्टेजची तुलना संदर्भ व्होल्टेज + $2/3$ VCCvolts शी करतो.
- तुलनाकर्ता 2 ट्रिगर व्होल्टेजची तुलना संदर्भ व्होल्टेज + $1/3$ व्हीसीसीव्होल्टसह करतो.

दोन्ही तुलनाकर्त्यांचे आउटपुट फ्लिप-फ्लॉपला पुरवले जाते. दोन तुलनाकर्त्यांच्या आउटपुटनुसार फ्लिप-फ्लॉप त्याची स्थिती गृहीत धरते. दोन ट्रान्झिस्टरपैकी एक डिस्चार्ज ट्रान्झिस्टर आहे ज्याचा कलेक्टर पिन 7 शी जोडलेला आहे. हा ट्रान्झिस्टर फ्लिप-फ्लॉपच्या आउटपुट स्थितीनुसार संतृप्त किंवा कट ऑफ करतो. संतृप्त ट्रान्झिस्टर बाहेरून जोडलेल्या कॅपेसिटरला डिस्चार्ज मार्ग प्रदान करतो. दुसऱ्या ट्रान्झिस्टरचा पाया रीसेट टर्मिनलशी जोडलेला आहे. या टर्मिनलवर लागू केलेली नाडी कोणत्याही इनपुटची पर्वा न करता संपूर्ण टाइमर रीसेट करते.

555 ष्ठीमरुन बल्लरु रंखरुअतुवनु मेलुन अतुदलु अेरुसलरुगुदु. 555 ष्ठीमरु ँरुदु हूरुलुकरुदरुनु हूरुदुदु, अतुगलु मूरुलतु: 2 अुअु-अुअु), डुदु R-S अुअु-अुअु, ँरुदु अुअुनुसुतरुगलु मतुतु रूसुसुव नुतुवकु.

- तुरुतरुेरुदक अलतु मूरु सडरुन तुरुतरुेरुदकगलुनु डलुगूरुदुतुदु मतुतु वूरुलुअु वुडरुअकवरुगु करुअुनुवुहसुतुदु.
- कनुतरुेरुदरु 1 अुतुूरुलु वूरुलुअु अुनु लुलुलु वूरुलुअु + $2/3$ VCCvolts नूरुदुगु हूरुलुसुतुदु.
- कनुतरुेरुदरु 2 तुरुअुेरुदक वूरुलुअु अुनु लुलुलु वूरुलुअु + $1/3$ VCCvolts नूरुदुगु हूरुलुसुतुदु.

ಎರಡೂ ಹೋಲಿಕೆದಾರರ ಔಟ್‌ಪುಟ್ ಅನ್ನು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ಗೆ ಸರಬರಾಜು ಮಾಡಲಾಗುತ್ತದೆ. ಎರಡು ಹೋಲಿಕೆದಾರರ ಔಟ್‌ಪುಟ್‌ಗೆ ಅನುಗುಣವಾಗಿ ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ತನ್ನ ಸ್ಥಿತಿಯನ್ನು ಉಹಿಸುತ್ತದೆ. ಎರಡು ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಗಳಲ್ಲಿ ಒಂದು ಡಿಸ್ಚಾರ್ಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಆಗಿದ್ದು, ಅದರ ಸಂಗ್ರಾಹಕವನ್ನು ಪಿನ್ 7 ಗೆ ಸಂಪರ್ಕಿಸಲಾಗಿದೆ. ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನ ಔಟ್‌ಪುಟ್ ಸ್ಥಿತಿಗೆ ಅನುಗುಣವಾಗಿ ಈ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಸ್ಯಾಚುರೇಟ್ ಅಥವಾ ಕಟ್-ಆಫ್ ಆಗಿದೆ. ಸ್ಯಾಚುರೇಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಬಾಹ್ಯವಾಗಿ ಸಂಪರ್ಕಿಸಲಾದ ಕೆಪಾಸಿಟರ್‌ಗೆ ಡಿಸ್ಚಾರ್ಜ್ ಮಾರ್ಗವನ್ನು ಒದಗಿಸುತ್ತದೆ. ಮತ್ತೊಂದು ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ಬೇಸ್ ಅನ್ನು ಮರುಹೊಂದಿಸುವ ಟರ್ಮಿನಲ್‌ಗೆ ಸಂಪರ್ಕಿಸಲಾಗಿದೆ. ಈ ಟರ್ಮಿನಲ್‌ಗೆ ಅನ್ವಯಿಸಲಾದ ಪಲ್ಸ್ ಯಾವುದೇ ಇನ್‌ಪುಟ್ ಅನ್ನು ಲೆಕ್ಕಿಸದೆ ಸಂಪೂರ್ಣ ಟೈಮರ್ ಅನ್ನು ಮರುಹೊಂದಿಸುತ್ತದೆ.

Working Principle

The internal resistors act as a voltage divider network, providing $(2/3)V_{cc}$ at the non-inverting terminal of the upper comparator and $(1/3)V_{cc}$ at the inverting terminal of the lower comparator. In most applications, the control input is not used, so that the control voltage equals $+(2/3)V_{cc}$. Upper comparator has a threshold input (pin 6) and a control input (pin 5). Output of the upper comparator is applied to set (S) input of the flip-flop. Whenever the threshold voltage exceeds the control voltage, the upper comparator will set the flip-flop and its output is high. A high output from the flip-flop when given to the base of the discharge transistor saturates it and thus discharges the transistor that is connected externally to the discharge pin 7. The complementary signal out of the flip-flop goes to pin 3, the output. The output available at pin 3 is low. These conditions will prevail until lower comparator triggers the flip-flop. Even if the voltage at the threshold input falls below $(2/3)V_{cc}$, that is upper comparator cannot cause the flip-flop to change again. It means that the upper comparator can only force the flip-flop's output high.

To change the output of flip-flop to low, the voltage at the trigger input must fall below $+(1/3)V_{cc}$. When this occurs, lower comparator triggers the flip-flop, forcing its output low. The low output from the flip-flop turns the discharge transistor off and forces the power amplifier to output a high. These conditions will continue independent of the voltage on the trigger input. Lower comparator can only cause the flip-flop to output low.

From the above discussion it is concluded that for the having low output from the timer 555, the voltage on the threshold input must exceed the control voltage or

$+(2/3)V_{cc}$. This also turns the discharge transistor on. To force the output from the timer high, the voltage on the trigger input must drop below $+(1/3)V_{cc}$.

VCC. This turns the discharge transistor off.

A voltage may be applied to the control input to change the levels at which the switching occurs. When not in use, a 0.01 nano Farad capacitor should be connected between pin 5 and ground to prevent noise coupled onto this pin from causing false triggering.

Connecting the reset (pin 4) to a logic low will place a high on the output of flip- flop. The discharge transistor will go on and the power amplifier will output a low.

This condition will continue until reset is taken high. This allows synchronization or resetting of the circuit's operation. When not in use, reset should be tied to +VCC.

ಕೆಲಸದ ತತ್ವ

ಆಂತರಿಕ ಪ್ರತಿರೋಧಕಗಳು ವೋಲ್ಟೇಜ್ ಡಿವೈಡರ್ ನೆಟ್‌ವರ್ಕ್‌ನಂತೆ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತವೆ, ಮೇಲಿನ ಕಂಪಾರ್ಟೆಂಟ್‌ನ ಇನ್‌ವರ್ಟಿಂಗ್ ಅಲ್ಲದ ಟರ್ಮಿನಲ್‌ನಲ್ಲಿ (2/3) ವಿಸಿಸಿ ಮತ್ತು ಕೆಳಗಿನ ಹೋಲಿಕೆಯ ಟರ್ಮಿನಲ್‌ನಲ್ಲಿ (1/3) ವಿಸಿಸಿ ಒದಗಿಸುತ್ತವೆ. ಹೆಚ್ಚಿನ ಅಪ್ಲಿಕೇಶನ್‌ಗಳಲ್ಲಿ, ನಿಯಂತ್ರಣ ಇನ್‌ಪುಟ್ ಅನ್ನು ಬಳಸಲಾಗುವುದಿಲ್ಲ, ಆದ್ದರಿಂದ ನಿಯಂತ್ರಣ ವೋಲ್ಟೇಜ್ $+(2/3) VCC$ ಗೆ ಸಮನಾಗಿರುತ್ತದೆ. ಮೇಲಿನ ಹೋಲಿಕೆದಾರ ಥೈಸ್ಟೋಲ್ಡ್ ಇನ್‌ಪುಟ್ (ಪಿನ್ 6) ಮತ್ತು ಕಂಟ್ರೋಲ್ ಇನ್‌ಪುಟ್ (ಪಿನ್ 5) ಅನ್ನು ಹೊಂದಿದೆ. ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನ ಸೆಟ್ (S) ಇನ್‌ಪುಟ್‌ಗೆ ಮೇಲಿನ ಹೋಲಿಕೆಯ ಔಟ್‌ಪುಟ್ ಅನ್ನು ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ. ಮಿತಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಣ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಮೀರಿದಾಗ, ಮೇಲಿನ ಹೋಲಿಕೆಯು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಹೊಂದಿಸುತ್ತದೆ ಮತ್ತು ಅದರ ಔಟ್‌ಪುಟ್ ಅಧಿಕವಾಗಿರುತ್ತದೆ. ಡಿಸ್ಟಾಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ತಳಕ್ಕೆ ನೀಡಿದಾಗ ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನಿಂದ ಹೆಚ್ಚಿನ ಔಟ್‌ಪುಟ್ ಅದನ್ನು ಸ್ಯಾಚುರೇಟ್ ಮಾಡುತ್ತದೆ ಮತ್ತು ಡಿಸ್ಟಾಜ್ ಪಿನ್ 7 ಗೆ ಬಾಹ್ಯವಾಗಿ ಸಂಪರ್ಕಗೊಂಡಿರುವ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಡಿಸ್ಟಾಜ್ ಮಾಡುತ್ತದೆ. ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನಿಂದ ಹೊರಗಿರುವ ಪೂರಕ ಸಂಕೇತವು ಪಿನ್ 3 ಗೆ ಹೋಗುತ್ತದೆ, ಔಟ್‌ಪುಟ್ . ಪಿನ್ 3 ನಲ್ಲಿ ಲಭ್ಯವಿರುವ ಔಟ್‌ಪುಟ್ ಕಡಿಮೆಯಾಗಿದೆ. ಕಡಿಮೆ ಹೋಲಿಕೆದಾರ ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಪ್ರಚೋದಿಸುವವರೆಗೆ ಈ ಪರಿಸ್ಥಿತಿಗಳು ಚಾಲ್ತಿಯಲ್ಲಿರುತ್ತವೆ. ಥೈಸ್ಟೋಲ್ಡ್ ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ $(2/3) VCC$ ಗಿಂತ ಕಡಿಮೆಯಿದ್ದರೂ, ಮೇಲಿನ ಹೋಲಿಕೆಯು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಮತ್ತೆ ಬದಲಾಯಿಸಲು ಸಾಧ್ಯವಿಲ್ಲ. ಇದರರ್ಥ ಮೇಲ್ಕಾಗದ ಹೋಲಿಕೆದಾರನು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನ ಔಟ್‌ಪುಟ್ ಅನ್ನು ಹೆಚ್ಚು ಒತ್ತಾಯಿಸಬಹುದು.

ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನ ಡಿಟ್ರಾಪುಟ್ ಅನ್ನು ಕಡಿಮೆ ಮಾಡಲು, ಪ್ರಚೋದಕ ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ + $(1/3) V_{CC}$ ಕೆಳಗೆ ಬೀಳಬೇಕು. ಇದು ಸಂಭವಿಸಿದಾಗ, ಕಡಿಮೆ ಹೋಲಿಕೆಯು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಪ್ರಚೋದಿಸುತ್ತದೆ, ಅದರ ಡಿಟ್ರಾಪುಟ್ ಕಡಿಮೆಯಾಗುವಂತೆ ಮಾಡುತ್ತದೆ. ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನಿಂದ ಕಡಿಮೆ ಡಿಟ್ರಾಪುಟ್ ಡಿಸ್ಟಾಜ್‌ಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಆಫ್ ಮಾಡುತ್ತದೆ ಮತ್ತು ಪವರ್ ಆಂಪ್ಲಿಫೈಯರ್ ಅನ್ನು ಹೆಚ್ಚಿನ ಡಿಟ್ರಾಪುಟ್ ಮಾಡಲು ಒತ್ತಾಯಿಸುತ್ತದೆ. ಈ ಪರಿಸ್ಥಿತಿಗಳು ಪ್ರಚೋದಕ ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್‌ನಿಂದ ಸ್ವತಂತ್ರವಾಗಿ ಮುಂದುವರಿಯುತ್ತದೆ. ಕಡಿಮೆ ಹೋಲಿಕೆಯು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಕಡಿಮೆ ಡಿಟ್ರಾಪುಟ್ ಮಾಡಲು ಮಾತ್ರ ಕಾರಣವಾಗಬಹುದು.

ಮೇಲಿನ ಚರ್ಚೆಯಿಂದ ಟೈಮರ್ 555 ನಿಂದ ಕಡಿಮೆ ಡಿಟ್ರಾಪುಟ್ ಹೊಂದಲು, ಧೈಶೋಲ್ಡ್ ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಣ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಮೀರಬೇಕು ಅಥವಾ + $(2/3)$ ವಿಸಿಸಿ. ಇದು ಡಿಸ್ಟಾಜ್‌ಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಸಹ ಆನ್ ಮಾಡುತ್ತದೆ. ಹೆಚ್ಚಿನ ಟೈಮರ್‌ನಿಂದ ಡಿಟ್ರಾಪುಟ್ ಅನ್ನು ಒತ್ತಾಯಿಸಲು, ಪ್ರಚೋದಕ ಇನ್‌ಪುಟ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ + $(1/3) V_{CC}$ ಗಿಂತ ಕೆಳಗಿಳಿಯಬೇಕು. ಇದು ಡಿಸ್ಟಾಜ್‌ಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಆಫ್ ಮಾಡುತ್ತದೆ.

ಸ್ವಿಚಿಂಗ್ ಸಂಭವಿಸುವ ಮಟ್ಟವನ್ನು ಬದಲಾಯಿಸಲು ನಿಯಂತ್ರಣ ಇನ್‌ಪುಟ್‌ಗೆ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಬಹುದು. ಬಳಕೆಯಲ್ಲಿಲ್ಲದಿದ್ದಾಗ, ಪಿನ್ 5 ಮತ್ತು ಗ್ರೌಂಡ್ ನಡುವೆ 0.01 ನ್ಯಾನೊ ಫರಾಡ್ ಕೆಪಾಸಿಟರ್ ಅನ್ನು ಸಂಪರ್ಕಿಸಬೇಕು, ಈ ಪಿನ್‌ನಲ್ಲಿ ಶಬ್ದವನ್ನು ತಪ್ಪಾಗಿ ಪ್ರಚೋದಿಸುವುದನ್ನು ತಡೆಯಲು.

ರೀಸೆಟ್ (ಪಿನ್ 4) ಅನ್ನು ಲಾಜಿಕ್ ಕಡಿಮೆಗೆ ಸಂಪರ್ಕಿಸುವುದು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್‌ನ ಡಿಟ್ರಾಪುಟ್‌ನಲ್ಲಿ ಹೆಚ್ಚಿನದನ್ನು ಇರಿಸುತ್ತದೆ. ಡಿಸ್ಟಾಜ್‌ಟ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಮುಂದುವರಿಯುತ್ತದೆ ಮತ್ತು ಪವರ್ ಆಂಪ್ಲಿಫೈಯರ್ ಕಡಿಮೆ ಡಿಟ್ರಾಪುಟ್ ಮಾಡುತ್ತದೆ.

ಮರುಹೊಂದಿಸುವವರೆಗೆ ಈ ಸ್ಥಿತಿಯು ಮುಂದುವರಿಯುತ್ತದೆ. ಇದು ಸರ್ಕ್ಯೂಟ್ ಕಾರ್ಯಾಚರಣೆಯ ಸಿಂಕ್ರೊನೈಸೇಶನ್ ಅಥವಾ ಮರುಹೊಂದಿಸಲು ಅನುಮತಿಸುತ್ತದೆ. ಬಳಕೆಯಲ್ಲಿಲ್ಲದಿದ್ದಾಗ, ಮರುಹೊಂದಿಸುವಿಕೆಯನ್ನು ಟೈ ಮಾಡಬೇಕು +ವಿಸಿಸಿ.

कार्य तत्त्व

अंतर्गत रेजिस्टर हे व्होल्टेज डिवायडर नेटवर्क म्हणून काम करतात, वरच्या कंपॅरेटरच्या नॉन-इन्व्हर्टिंग टर्मिनलवर $(2/3)$ व्हीसीसी आणि खालच्या कंपॅरेटरच्या इन्व्हर्टिंग टर्मिनलवर $(1/3)$ व्हीसीसी प्रदान करतात. बऱ्याच ऍप्लिकेशन्समध्ये, कंट्रोल इनपुट वापरले जात नाही, जेणेकरून कंट्रोल व्होल्टेज + $(2/3) V_{CC}$ समान होईल. अप्पर

MODULE 4

कॉम्पॅरेटरमध्ये थ्रेशोल्ड इनपुट (पिन 6) आणि कंट्रोल इनपुट (पिन 5) असतो. फ्लिप-फ्लॉपच्या सेट (एस) इनपुटवर अप्पर कॉम्पॅरेटरचे आउटपुट लागू केले जाते. जेव्हा जेव्हा थ्रेशोल्ड व्होल्टेज कंट्रोल व्होल्टेजपेक्षा जास्त असेल तेव्हा, वरचा तुलनाकर्ता फ्लिप-फ्लॉप सेट करेल आणि त्याचे आउटपुट जास्त असेल. डिस्चार्ज ट्रान्झिस्टरच्या पायाला दिल्यावर फ्लिप-फ्लॉपचे उच्च आउटपुट ते संतृप्त करते आणि अशा प्रकारे डिस्चार्ज पिन 7 शी बाहेरून जोडलेले ट्रान्झिस्टर डिस्चार्ज करते. फ्लिप-फ्लॉपमधून पूरक सिग्नल पिन 3 वर जातो, आउटपुट . पिन 3 वर उपलब्ध आउटपुट कमी आहे. जोपर्यंत कमी तुलनाकर्ता फ्लिप-फ्लॉप ट्रिगर करत नाही तोपर्यंत या परिस्थिती कायम राहतील. जरी थ्रेशोल्ड इनपुटवरील व्होल्टेज $(2/3) V_{CC}$ च्या खाली आला, तरी तो वरचा तुलनाकर्ता फ्लिप-फ्लॉप पुन्हा बदलू शकत नाही. याचा अर्थ असा आहे की वरचा तुलनाकर्ता केवळ फ्लिप-फ्लॉपचे आउटपुट उच्च करण्यास भाग पाडू शकतो.

फ्लिप-फ्लॉपचे आउटपुट कमी करण्यासाठी बदलण्यासाठी, ट्रिगर इनपुटवरील व्होल्टेज $+(1/3) V_{CC}$ खाली येणे आवश्यक आहे. जेव्हा असे होते तेव्हा, लोअर कॉम्पॅरेटर फ्लिप-फ्लॉप ट्रिगर करतो, त्याचे आउटपुट कमी करण्यास भाग पाडतो. फ्लिप-फ्लॉपचे कमी आउटपुट डिस्चार्ज ट्रान्झिस्टर बंद करते आणि पॉवर अॅम्प्लीफायरला उच्च आउटपुट करण्यास भाग पाडते. या अटी ट्रिगर इनपुटवरील व्होल्टेजपासून स्वतंत्रपणे चालू राहतील. लोअर कॉम्पॅरेटर फक्त फ्लिप-फ्लॉप आउटपुट कमी करू शकतो.

वरील चर्चेवरून असा निष्कर्ष काढला जातो की टाइमर 555 पासून कमी आउटपुटसाठी, थ्रेशोल्ड इनपुटवरील व्होल्टेज कंट्रोल व्होल्टेजपेक्षा जास्त असणे आवश्यक आहे किंवा $+(2/3) V_{CC}$. हे डिस्चार्ज ट्रान्झिस्टर देखील चालू करते. टाइमर उच्च वरून आउटपुट सकती करण्यासाठी, ट्रिगर इनपुटवरील व्होल्टेज $+(1/3) V_{CC}$ खाली येणे आवश्यक आहे. हे डिस्चार्ज ट्रान्झिस्टर बंद करते.

ज्या स्तरांवर स्विचिंग होते ते बदलण्यासाठी कंट्रोल इनपुटवर व्होल्टेज लागू केले जाऊ शकते. वापरात नसताना, 0.01 नॅनो फॅराड कॅपेसिटर पिन 5 आणि ग्राउंड दरम्यान जोडलेले असावे जेणेकरून या पिनवर जोडलेल्या आवाजामुळे खोटे ट्रिगर होऊ नये.

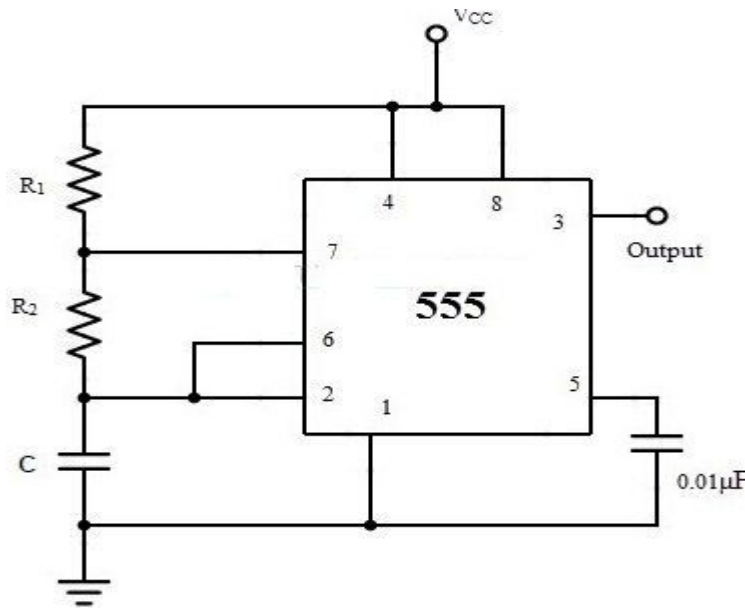
MODULE 4

रीसेट (पिन 4) ला लॉजिक लोशी कनेक्ट केल्याने फ्लिप-फ्लॉपच्या आउटपुटवर उच्च स्थान मिळेल. डिस्चार्ज ट्रान्झिस्टर चालू होईल आणि पॉवर अॅम्प्लिफायर कमी आउटपुट करेल.

रीसेट उच्च होईपर्यंत ही स्थिती सुरू राहील. हे सर्किटच्या ऑपरेशनचे सिंक्रोनाइझेशन किंवा रीसेट करण्यास अनुमती देते. वापरात नसताना, रीसेटशी बद्ध केले पाहिजे

+VCC.

4.4.Monostable multivibrator using 555 Timer



The pins 2 and 6 are connected and hence there is no need for an external trigger pulse. It will self trigger and act as a free running multivibrator. The rest of the connections are as follows: pin 8 is connected to supply voltage (VCC). Pin 3 is the output terminal and hence the output is available at this pin. Pin 4 is the external reset pin. A momentary low on this pin will reset the timer. Hence when not in use, pin 4 is usually tied to VCC.

The control voltage applied at pin 5 will change the threshold voltage level. But for normal use, pin 5 is connected to ground via a capacitor (usually $0.01\mu\text{F}$), so the external noise from the terminal is filtered out. Pin 1 is ground terminal. The timing circuit that determines the width of the output pulse is made up of R_1 , R_2 and C .

MODULE 4

ಪಿನ್‌ಗಳು 2 ಮತ್ತು 6 ಅನ್ನು ಸಂಪರ್ಕಿಸಲಾಗಿದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಬಾಹ್ಯ ಪ್ರಚೋದಕ ಪಲ್ಸ್‌ನ ಅಗತ್ಯವಿಲ್ಲ. ಇದು ಸ್ವಯಂ ಟ್ರಿಗ್ಗರ್ ಮತ್ತು ಉಚಿತ ಚಾಲನೆಯಲ್ಲಿರುವ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ. ಉಳಿದ ಸಂಪರ್ಕಗಳು ಕೆಳಕಂಡಂತಿವೆ: ಪಿನ್ 8 ಪೂರೈಕೆ ವೋಲ್ಟೇಜ್ (ವಿಸಿಸಿ) ಗೆ ಸಂಪರ್ಕ ಹೊಂದಿದೆ. ಪಿನ್ 3 ಡೆಫ್‌ಪುಟ್ ಟರ್ಮಿನಲ್ ಆಗಿದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಈ ಪಿನ್‌ನಲ್ಲಿ ಡೆಫ್‌ಪುಟ್ ಲಭ್ಯವಿದೆ. ಪಿನ್ 4 ಬಾಹ್ಯ ಮರುಹೊಂದಿಸುವ ಪಿನ್ ಆಗಿದೆ. ಈ ಪಿನ್‌ನಲ್ಲಿ ಕ್ಷಣಿಕವಾಗಿ ಕಡಿಮೆಯಾದರೆ ಟೈಮರ್ ಅನ್ನು ಮರುಹೊಂದಿಸುತ್ತದೆ. ಆದ್ದರಿಂದ ಬಳಕೆಯಲ್ಲಿಲ್ಲದಿದ್ದಾಗ, ಪಿನ್ 4 ಅನ್ನು ಸಾಮಾನ್ಯವಾಗಿ VCC ಗೆ ಕಟ್ಟಲಾಗುತ್ತದೆ.

ಪಿನ್ 5 ನಲ್ಲಿ ಅಸ್ತಮಿಸಲಾದ ನಿಯಂತ್ರಣ ವೋಲ್ಟೇಜ್ ಮಿತಿ ವೋಲ್ಟೇಜ್ ಮಟ್ಟವನ್ನು ಬದಲಾಯಿಸುತ್ತದೆ. ಆದರೆ ಸಾಮಾನ್ಯ ಬಳಕೆಗಾಗಿ, ಪಿನ್ 5 ಅನ್ನು ಕೆಪಾಸಿಟರ್ ಮೂಲಕ ನೆಲಕ್ಕೆ ಸಂಪರ್ಕಿಸಲಾಗಿದೆ (ಸಾಮಾನ್ಯವಾಗಿ $0.01\mu F$), ಆದ್ದರಿಂದ ಟರ್ಮಿನಲ್‌ನಿಂದ ಬಾಹ್ಯ ಶಬ್ದವನ್ನು ಫಿಲ್ಟರ್ ಮಾಡಲಾಗುತ್ತದೆ. ಪಿನ್ 1 ನೆಲದ ಟರ್ಮಿನಲ್ ಆಗಿದೆ. ಡೆಫ್‌ಪುಟ್ ಪಲ್ಸ್ ಅಗಲವನ್ನು ನಿರ್ಧರಿಸುವ ಟೈಮಿಂಗ್ ಸರ್ಕ್ಯೂಟ್ $R1$, $R2$ ಮತ್ತು C ನಿಂದ ಮಾಡಲ್ಪಟ್ಟಿದೆ.

ಪಿನ್ 2 आणि 6 जोडलेले आहेत आणि त्यामुळे बाह्य ट्रिगर पल्सची आवश्यकता नाही. ते स्वतः ट्रिगर करेल आणि विनामूल्य चालणारे मल्टीव्हायब्रेटर म्हणून काम करेल. उर्वरित कनेक्शन खालीलप्रमाणे आहेत: पिन 8 पुरवठा व्होल्टेज (व्हीसीसी) शी जोडलेले आहे. पिन 3 हे आउटपुट टर्मिनल आहे आणि म्हणून आउटपुट या पिनवर उपलब्ध आहे. पिन 4 हा बाह्य रीसेट पिन आहे. या पिनवरील क्षणिक कमी टाइमर रीसेट करेल. म्हणून वापरात नसताना, पिन 4 सहसा VCC ला बांधला जातो.

पिन 5 वर लागू केलेले नियंत्रण व्होल्टेज थ्रेशोल्ड व्होल्टेज पातळी बदलेल. परंतु सामान्य वापरासाठी, पिन 5 कॅपेसिटरद्वारे जमिनीशी जोडलेला असतो (सामान्यतः $0.01\mu F$), त्यामुळे टर्मिनलमधून बाहेरचा आवाज फिल्टर केला जातो. पिन 1 ग्राउंड टर्मिनल आहे. आउटपुट पल्सची रुंदी निर्धारित करणारे टायमिंग सर्किट $R1$, $R2$ आणि C चे बनलेले आहे.

MODULE 4

reference voltage of $2/3 V_{CC}$. The output at pin 3 will remain HIGH until the voltage across the capacitor reaches $2/3 V_{CC}$.

The instance at which the threshold voltage (which is nothing but the voltage across the capacitor) becomes more than the reference voltage, the output of the comparator 1 goes high. This will RESET the flip-flop and hence the output at pin 3 will fall to low (logic 0) i.e. the output returns to its stable state. As the output is low, the discharge transistor is driven to saturation and the capacitor will completely discharge.

Hence it can be noted that the output at pin 3 is low at start, when the trigger becomes less than $1/3 V_{CC}$ the output at pin 3 goes high and when the threshold voltage is greater than $2/3 V_{CC}$ the output becomes low until the occurrence of next trigger pulse. A rectangular pulse is produced at the output. The time for which the output stays high or the width of the rectangular pulse is controlled by the timing circuit i.e. the charging time of the capacitor which depends on the time constant RC.

ವಿವರವಾದ ಕಾರ್ಯಾಚರಣೆಯನ್ನು ಈ ಕೆಳಗಿನಂತೆ ವಿವರಿಸಬಹುದು. ಆರಂಭದಲ್ಲಿ, ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಮರುಹೊಂದಿಸಲಾಗುತ್ತದೆ. ಇದು ಡಿಸ್ಚಾರ್ಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಶುದ್ಧತ್ವಕ್ಕೆ ಹೋಗಲು ಅನುಮತಿಸುತ್ತದೆ. ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ತೆರೆದ ಸಂಗ್ರಾಹಕ (ಸಿಎಮ್‌ಒಎಸ್ ಸಂದರ್ಭದಲ್ಲಿ ಡೈನ್) ಗೆ ಸಂಪರ್ಕಗೊಂಡಿರುವ ಕೆಪಾಸಿಟರ್ ಸಿ, ಡಿಸ್ಚಾರ್ಜ್ ಪಥದೊಂದಿಗೆ ಒದಗಿಸಲಾಗಿದೆ. ಆದ್ದರಿಂದ ಕೆಪಾಸಿಟರ್ ಸಂಪೂರ್ಣವಾಗಿ ಡಿಸ್ಚಾರ್ಜ್ ಆಗುತ್ತದೆ ಮತ್ತು ಅದರ ಮೇಲೆ ವೋಲ್ಟೇಜ್ 0 ಆಗಿದೆ. ಪಿನ್ 3 ನಲ್ಲಿನ ಔಟ್ಪುಟ್ ಕಡಿಮೆಯಾಗಿದೆ (0).

ಪ್ರಚೋದಕ ಹೋಲಿಕೆಗೆ (ಕಂಪ್ಯಾರೆಟರ್ 2) ಋಣಾತ್ಮಕ ಪ್ರಚೋದಕ ಪಲ್ಸ್ ಇನ್‌ಪುಟ್ ಅನ್ನು ಅನ್ವಯಿಸಿದಾಗ, ಅದನ್ನು $1/3 V_{CC}$ ಯ ಉಲ್ಲೇಖ ವೋಲ್ಟೇಜ್‌ನೊಂದಿಗೆ ಹೋಲಿಸಲಾಗುತ್ತದೆ. ಪ್ರಚೋದಕ ಇನ್‌ಪುಟ್ ಉಲ್ಲೇಖ ವೋಲ್ಟೇಜ್‌ಗಿಂತ ಹೆಚ್ಚಿರುವವರೆಗೆ ಔಟ್‌ಪುಟ್ ಕಡಿಮೆ ಇರುತ್ತದೆ. ಕ್ಷಣ ಪ್ರಚೋದಕ ವೋಲ್ಟೇಜ್ $1/3 V_{CC}$ ಗಿಂತ ಕಡಿಮೆಯಿರುತ್ತದೆ, ಹೋಲಿಕೆಯ ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಹೋಗುತ್ತದೆ ಮತ್ತು ಇದು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಹೊಂದಿಸುತ್ತದೆ. ಆದ್ದರಿಂದ ಪಿನ್ 3 ರಲ್ಲಿ ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಆಗುತ್ತದೆ.

ಅದೇ ಸಮಯದಲ್ಲಿ, ಡಿಸ್ಚಾರ್ಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಆಫ್ ಮಾಡಲಾಗಿದೆ ಮತ್ತು ಕೆಪಾಸಿಟರ್ ಸಿ ಚಾರ್ಜ್ ಮಾಡಲು ಪ್ರಾರಂಭವಾಗುತ್ತದೆ ಮತ್ತು ಅದರ ಮೇಲೆ ವೋಲ್ಟೇಜ್ ಘಾತೀಯವಾಗಿ ಏರುತ್ತದೆ. ಇದು ಪಿನ್ 6 ರಲ್ಲಿನ ಥ್ರೆಶೋಲ್ಡ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಹೊರತುಪಡಿಸಿ ಬೇರೇನೂ ಅಲ್ಲ. ಇದನ್ನು ಹೋಲಿಕೆ 1 ಜೊತೆಗೆ a

MODULE 4

2/3 VCC ಯ ಉಲ್ಲೇಖ ವೋಲ್ಟೇಜ್. ಕೆಪಾಸಿಟರ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ 2/3 VCC ತಲುಪುವವರೆಗೆ ಪಿನ್ 3 ನಲ್ಲಿನ ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಉಳಿಯುತ್ತದೆ.

ಥ್ರೆಶೋಲ್ಡ್ ವೋಲ್ಟೇಜ್ (ಇದು ಕೆಪಾಸಿಟರ್‌ನಲ್ಲಿನ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಹೊರತುಪಡಿಸಿ ಬೇರೇನೂ ಅಲ್ಲ) ಉಲ್ಲೇಖ ವೋಲ್ಟೇಜ್‌ಗಿಂತ ಹೆಚ್ಚು ಆಗುತ್ತದೆ, ಹೋಲಿಕೆ 1 ರ ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಹೋಗುತ್ತದೆ. ಇದು ಫ್ಲಿಪ್-ಫ್ಲಾಪ್ ಅನ್ನು ಮರುಹೊಂದಿಸುತ್ತದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಪಿನ್ 3 ನಲ್ಲಿನ ಔಟ್ಪುಟ್ ಕಡಿಮೆ (ಲಾಜಿಕ್ 0) ಗೆ ಬೀಳುತ್ತದೆ ಅಂದರೆ ಔಟ್ಪುಟ್ ಅದರ ಸ್ಥಿರ ಸ್ಥಿತಿಗೆ ಮರಳುತ್ತದೆ. ಔಟ್ಪುಟ್ ಕಡಿಮೆಯಾಗಿರುವುದರಿಂದ, ಡಿಸ್ಚಾರ್ಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಅನ್ನು ಶುದ್ಧತ್ವಕ್ಕೆ ಚಾಲನೆ ಮಾಡಲಾಗುತ್ತದೆ ಮತ್ತು ಕೆಪಾಸಿಟರ್ ಸಂಪೂರ್ಣವಾಗಿ ಡಿಸ್ಚಾರ್ಜ್ ಆಗುತ್ತದೆ.

ಆದ್ದರಿಂದ ಪಿನ್ 3 ನಲ್ಲಿನ ಔಟ್ಪುಟ್ ಪ್ರಾರಂಭದಲ್ಲಿ ಕಡಿಮೆಯಾಗಿದೆ, ಟ್ರಿಗ್ಗರ್ 1/3 VCC ಗಿಂತ ಕಡಿಮೆಯಾದಾಗ ಪಿನ್ 3 ನಲ್ಲಿನ ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಹೋಗುತ್ತದೆ ಮತ್ತು ಥ್ರೆಶೋಲ್ಡ್ ವೋಲ್ಟೇಜ್ 2/3 VCC ಗಿಂತ ಹೆಚ್ಚಾದಾಗ ಔಟ್ಪುಟ್ ಕಡಿಮೆಯಾಗುವವರೆಗೆ ಮುಂದಿನ ಪ್ರಚೋದಕ ನಾಡಿ ಸಂಭವಿಸುವಿಕೆ. ಔಟ್ಪುಟ್‌ನಲ್ಲಿ ಆಯತಾಕಾರದ ನಾಡಿ ಉತ್ಪತ್ತಿಯಾಗುತ್ತದೆ. ಔಟ್ಪುಟ್ ಹೆಚ್ಚು ಉಳಿಯುವ ಸಮಯ ಅಥವಾ ಆಯತಾಕಾರದ ನಾಡಿ ಅಗಲವನ್ನು ಟೈಮಿಂಗ್ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ನಿಯಂತ್ರಿಸಲಾಗುತ್ತದೆ ಅಂದರೆ ಕೆಪಾಸಿಟರ್‌ನ ಚಾರ್ಜಿಂಗ್ ಸಮಯವು ಸಮಯ ಸ್ಥಿರ ಆರ್‌ಸಿ ಮೇಲೆ ಅವಲಂಬಿತವಾಗಿರುತ್ತದೆ.

ತಪಶೀಲವಾರ್ ಆಪರೇಶನ್ ಖಾಲಿಲಪ್ರಮಾಣ ಸ್ಪಷ್ಟ ಕೆಲಸ ಮಾಡುತ್ತದೆ. ಸುರುಬಾತಿಲಾ, ಫಿಲಿಪ್-ಫಲಾಪ್ ರೀಸೆಟ್ ಕೆಲಸ ಮಾಡುತ್ತದೆ. ಹೆ ಡಿಸ್ಚಾರ್ಜ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ಸಂತೃಪ್ತಿಕಡೆ ಜಾಣ್ಣಾಸ ಅನುಮತೆ ದೆಫೈಲ. ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ಚ್ಯಾ ಆಪನ್ ಕಲೆಕ್ಟರ್ (ಸಿಇಎಮ್‌ಆರ್‌ಸಿಚ್ಯಾ ಬಾಬತಿಲಾ ಡ್ರೆನ್) ಶೀ ಜೊಡಲೆಲಾ ಕೆಪೆಸಿಟರ್ ಸಿ, ಡಿಸ್ಚಾರ್ಜ್ ಪಥ ಪ್ರದಾನ್ ಕೆಲಸ ಮಾಡುತ್ತದೆ. ತ್ಯಾಮುಡೆ ಕೆಪೆಸಿಟರ್ ಪೂರ್ಣಪಣೆ ಡಿಸ್ಚಾರ್ಜ್ ಹೊತೊ ಆಣಿ ತ್ಯಾವರಿಲಾ ವೊಲ್ಟೇಜ್ 0 ಆಹೆ. ಪಿನ್ 3 ವರ್ ಆಊಟಪುಟ್ ಕಮಿ ಆಹೆ (0).

ಜೆವ್ಹಾ ಟ್ರಿಗರ್ ಕಂಪೇರೇಟರ್ (ತುಲನಾಕರ್ತೆ 2) ವರ್ ನಕಾರಾತ್ಮಕ ಜಾಣ್ಣಾರೆ ಟ್ರಿಗರ್ ಪಲ್ಸ್ ಇನ್‌ಪುಟ್ ಲಾಗ್ ಕೆಲಸ ಮಾಡುತ್ತದೆ, ತೆವ್ಹಾ ತ್ಯಾಚಿ 1/3 VCC ಚ್ಯಾ ಸಂದರ್ಭ ವೊಲ್ಟೇಜ್‌ಶೀ ತುಲನಾ ಕೆಲಸ ಮಾಡುತ್ತದೆ. ಟ್ರಿಗರ್ ಇನ್‌ಪುಟ್ ಸಂದರ್ಭ ವೊಲ್ಟೇಜ್‌ಪೆಕ್ಷಾ ಜಾಸ್ತ ಹೊಡೆಪರ್ಯಂತ ಆಊಟಪುಟ್ ಕಮಿ ರಾಹತೆ. ಜ್ಯಾ ಕ್ಷಣಿ ಟ್ರಿಗರ್ ವೊಲ್ಟೇಜ್ 1/3 VCC ಚ್ಯಾ ಖಾಲಿ ಜಾಫೈಲ, ತುಲನಾಕರ್ತೆಚ್ಯಾ ಆಊಟಪುಟ್ ಜಾಸ್ತ ಹೊಡೆಲ ಆಣಿ ಹೆ ಫಿಲಿಪ್-ಫಲಾಪ್ ಸೆಟ್ ಕರೇಲ. ತ್ಯಾಮುಡೆ ಪಿನ್ 3 ವರ್ ಆಊಟಪುಟ್ ಜಾಸ್ತ ಹೊಡೆಲ.

त्याच वेळी, डिस्चार्ज ट्रान्झिस्टर बंद केला जातो आणि कॅपेसिटर C चार्ज होण्यास सुरवात होईल आणि त्यावरील व्होल्टेज वेगाने वाढेल. हे पिन 6 वरील थ्रेशोल्ड व्होल्टेजशिवाय दुसरे काहीही नाही. हे तुलनाकर्ता 1 सोबत दिले जाते.

$2/3$ VCC चा संदर्भ व्होल्टेज. जोपर्यंत कॅपेसिटरमधील व्होल्टेज $2/3$ VCC पर्यंत पोहोचत नाही तोपर्यंत पिन 3 वरील आउटपुट उच्च राहील.

ज्या प्रसंगात थ्रेशोल्ड व्होल्टेज (जे कॅपेसिटरमधील व्होल्टेजशिवाय दुसरे काहीही नाही) संदर्भ व्होल्टेजपेक्षा जास्त होते, तुलनाकर्ता 1 चे आउटपुट जास्त होते. हे फ्लिप-फ्लॉप रीसेट करेल आणि म्हणून पिन 3 वरील आउटपुट कमी होईल (लॉजिक 0) म्हणजेच आउटपुट त्याच्या स्थिर स्थितीत परत येईल. आउटपुट कमी असल्याने, डिस्चार्ज ट्रान्झिस्टर संपृक्ततेकडे चालविले जाते आणि कॅपेसिटर पूर्णपणे डिस्चार्ज होईल.

म्हणून हे लक्षात घेतले जाऊ शकते की पिन 3 चे आउटपुट सुरुवातीला कमी होते, जेव्हा ट्रिगर $1/3$ VCC पेक्षा कमी होते तेव्हा पिन 3 चे आउटपुट जास्त होते आणि जेव्हा थ्रेशोल्ड व्होल्टेज $2/3$ VCC पेक्षा जास्त असते तेव्हा आउटपुट कमी होते. पुढील ट्रिगर नाडीची घटना. आउटपुटवर एक आयताकृती नाडी तयार केली जाते. ज्या वेळेसाठी आउटपुट जास्त राहते किंवा आयताकृती नाडीची रुंदी टायमिंग सर्किटद्वारे नियंत्रित केली जाते, म्हणजे कॅपेसिटरची चार्जिंग वेळ जी वेळ स्थिर आरसीवर अवलंबून असते.

Pulse Width Derivation

We know that the voltage across the capacitor C rises exponentially. Hence the equation for the capacitor voltage VC can be written as

$$V_C = V_{CC} (1 - e^{-t/RC})$$

When the capacitor voltage is $2/3$ VCC, then $2/3$ VCC = VCC (1 - e^{-t/RC})

$$2/3 = 1 - e^{-t/RC} \quad e^{-t/RC} = 1/3$$

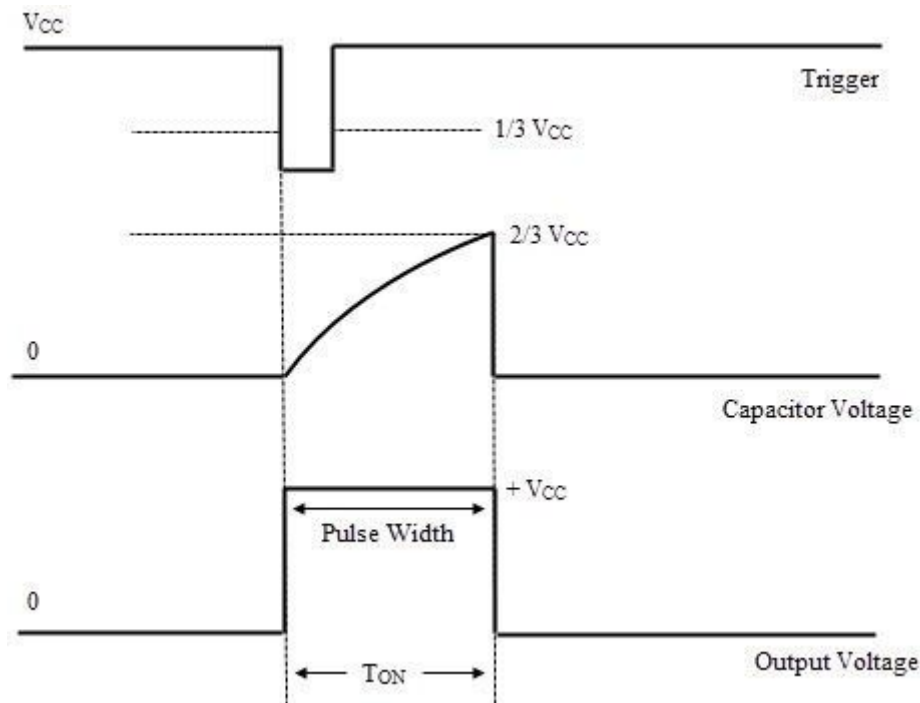
$$-t/RC = \ln(1/3)$$

$$-t/RC = -1.098t = 1.098 RC$$

$$\therefore t \approx 1.1 RC$$

MODULE 4

The pulse width of the output rectangular pulse is $W = 1.1 RC$. The waveforms of the monostable operation are shown below.



Applications of Monostable Multivibrator

- ☐ Frequency Divider
- ☐ Pulse Width Modulation
- ☐ Linear Ramp Generator
- ☐ Missing Pulse Detector

4.4.2. Astable Multivibrator using 555 Timer IC

Astable Multivibrator mode of 555 timer IC is also called Free running or self-triggering mode. Unlike Monostable Multivibrator mode it doesn't have any stable state, it has two quasi stable state (HIGH and LOW). No external triggering is required in Astable mode, it automatically interchange its two states on a particular interval, hence generates a rectangular waveform. This time duration of HIGH and LOW output has been determined by the external resistors (R_1 and R_2) and a capacitor (C_1).

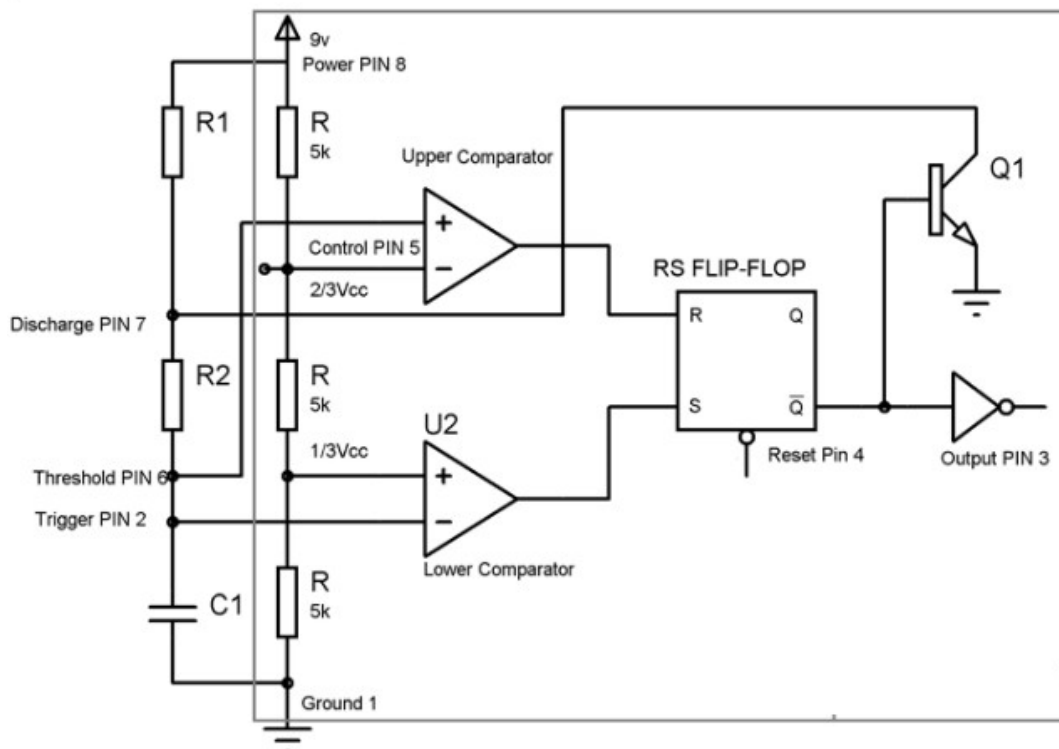
555 ಟೈಮರ್ IC ಯ ಅಸ್ವಬಲ್ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಮೋಡ್ ಅನ್ನು ಫೀ ರನ್ನಿಂಗ್ ಅಥವಾ ಸ್ವಯಂ-ಪ್ರಚೋದಕ ಮೋಡ್ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ಮೊನೊಸ್ವೇಬಲ್ ಮಲ್ಟಿವೈಬ್ರೇಟರ್ ಮೋಡ್‌ನಂತೆ ಇದು ಯಾವುದೇ ಸ್ಥಿರ ಸ್ಥಿತಿಯನ್ನು ಹೊಂದಿಲ್ಲ, ಇದು ಎರಡು ಅರೆ ಸ್ಥಿರ ಸ್ಥಿತಿಯನ್ನು ಹೊಂದಿದೆ (ಹೆಚ್ಚಿನ ಮತ್ತು ಕಡಿಮೆ). ಅಸ್ವೇಬಲ್ ಮೋಡ್‌ನಲ್ಲಿ ಯಾವುದೇ ಬಾಹ್ಯ ಪ್ರಚೋದನೆಯ ಅಗತ್ಯವಿಲ್ಲ, ಇದು ಒಂದು ನಿರ್ದಿಷ್ಟ ಮಧ್ಯಂತರದಲ್ಲಿ ತನ್ನ ಎರಡು ರಾಜ್ಯಗಳನ್ನು ಸ್ವಯಂಚಾಲಿತವಾಗಿ ಬದಲಾಯಿಸುತ್ತದೆ, ಆದ್ದರಿಂದ ಆಯತಾಕಾರದ ತರಂಗರೂಪವನ್ನು ಉತ್ಪಾದಿಸುತ್ತದೆ. ಈ ಸಮಯದ ಅವಧಿ

ಹೆಚ್ಚಿನ ಮತ್ತು ಕಡಿಮೆ ಉತ್ಪಾದನೆಯನ್ನು ಬಾಹ್ಯ ಪ್ರತಿರೋಧಕಗಳು (R_1 ಮತ್ತು R_2) ಮತ್ತು ಕೆಪಾಸಿಟರ್ (C_1) ನಿರ್ಧರಿಸುತ್ತದೆ.

555 ಟಾಯಮರ್ IC च्या अस्टेबल मल्टीव्हायब्रेटर मोडला फ्री रनिंग किंवा सेल्फ-ट्रिगरिंग मोड देखील म्हणतात. मोनोस्टेबल मल्टीव्हायब्रेटर मोडच्या विपरीत, त्याची कोणतीही स्थिर स्थिती नाही, त्यात दोन अर्ध-स्थिर स्थिती (उच्च आणि निम्न) आहे. अस्टेबल मोडमध्ये कोणत्याही बाह्य ट्रिगरिंगची आवश्यकता नाही, ते एका विशिष्ट अंतराने आपोआप त्याच्या दोन अवस्थांचे अदलाबदल करते, त्यामुळे आयताकृती तरंग निर्माण होते. या वेळेचा कालावधी

उच्च आणि निम्न आउटपुट बाह्य प्रतिरोधक (R_1 आणि R_2) आणि कॅपेसिटर (C_1) द्वारे निर्धारित केले गेले आहे.

Operation of Astable Multivibrator mode of 555 timer IC:



- When initially power is turned ON, Trigger Pin voltage is below $V_{cc}/3$, that makes the lower comparator output HIGH and SETS the flip flop and output of the 555 chip is HIGH.
- This makes the transistor Q1 OFF, because $\bar{Q}$, $Q'=0$ is directly applied to base of transistor. As the transistor is OFF, capacitor C1 starts charging and when it gets charged to a voltage above than $V_{cc}/3$, then Lower comparator output becomes LOW (Upper comparator is also at LOW) and Flip flop output remains the same as previous (555 output remains HIGH).
- Now when capacitor charging gets to voltage above than $2/3 V_{cc}$, then the voltage of non-inverting end (Threshold PIN 6) becomes higher than the

inverting end of the comparator. This makes Upper comparator output HIGH and RESETs the Flip flop, output of 555 chip becomes LOW.

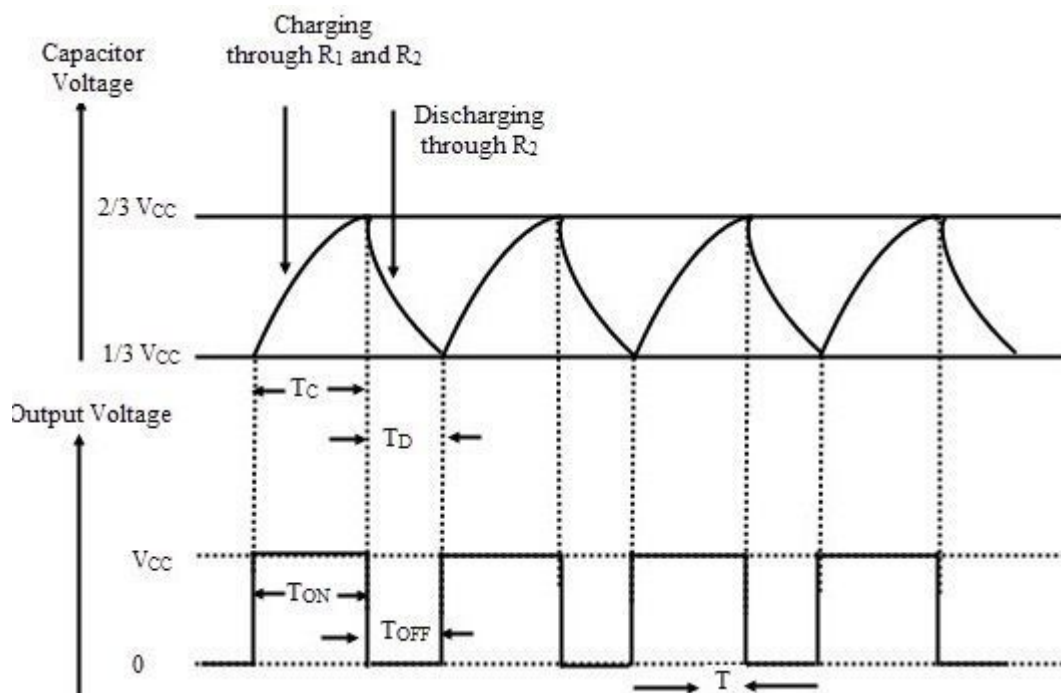
- As soon as the output of 555 get LOW means $Q'=1$, then transistor Q1 becomes ON and short the capacitor C1 to the Ground. So the capacitor C1 starts discharging to the ground through the Discharge PIN 7 and resistor R2.
- As capacitor voltage get down below the $2/3 V_{cc}$, upper comparator output becomes LOW, now SR Flip flop remains in the previous state as both the comparators are LOW.
- While discharging, when capacitor voltage gets down below $V_{cc}/3$, this makes the Lower comparator output HIGH (upper comparator remain LOW) and Sets the flip flop again and 555 output becomes HIGH.

MODULE 4

- Transistor Q1 becomes OFF and again capacitor C1 starts charging.
- ಆರಂಭದಲ್ಲಿ ಪವರ್ ಆನ್ ಮಾಡಿದಾಗ, ಟ್ರಿಗ್ಗರ್ ಪಿನ್ ವೋಲ್ಟೇಜ್ $V_{CC}/3$ ಗಿಂತ ಕೆಳಗಿರುತ್ತದೆ, ಅದು ಕಡಿಮೆ ಹೋಲಿಕೆಯ ಡಿಟೆಕ್ಟರ್ ಅನ್ನು ಹೆಚ್ಚು ಮಾಡುತ್ತದೆ ಮತ್ತು ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಅನ್ನು ಹೊಂದಿಸುತ್ತದೆ ಮತ್ತು 555 ಚಿಪ್‌ನ ಡಿಟೆಕ್ಟರ್ ಅಧಿಕವಾಗಿರುತ್ತದೆ.
- ಇದು ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q1 ಅನ್ನು ಆಫ್ ಮಾಡುತ್ತದೆ, ಏಕೆಂದರೆ Q_{bar} , $Q'=0$ ಅನ್ನು ನೇರವಾಗಿ ಟ್ರಾನ್ಸಿಸ್ಟರ್‌ನ ಬೇಸ್‌ಗೆ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ. ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಆಫ್ ಆಗಿರುವುದರಿಂದ, ಕೆಪಾಸಿಟರ್ C1 ಚಾರ್ಜ್ ಆಗಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ ಮತ್ತು ಅದು $V_{CC}/3$ ಗಿಂತ ಹೆಚ್ಚಿನ ವೋಲ್ಟೇಜ್‌ಗೆ ಚಾರ್ಜ್ ಆಗುವಾಗ, ನಂತರ ಕಡಿಮೆ ಹೋಲಿಕೆಯ ಡಿಟೆಕ್ಟರ್ ಕಡಿಮೆ ಆಗುತ್ತದೆ (ಮೇಲಿನ ಹೋಲಿಕೆಯು ಸಹ ಕಡಿಮೆಯಾಗಿದೆ) ಮತ್ತು ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಡಿಟೆಕ್ಟರ್ ಹಿಂದಿನಂತೆಯೇ ಇರುತ್ತದೆ (555 ಡಿಟೆಕ್ಟರ್ ಹೆಚ್ಚು ಉಳಿದಿದೆ).
- ಈಗ ಕೆಪಾಸಿಟರ್ ಚಾರ್ಜಿಂಗ್ $2/3V_{CC}$ ಗಿಂತ ಹೆಚ್ಚಿನ ವೋಲ್ಟೇಜ್‌ಗೆ ಬಂದಾಗ, ಇನ್ವರ್ಟಿಂಗ್ ಅಲ್ಲದ ಅಂತ್ಯದ ವೋಲ್ಟೇಜ್ (ಥ್ರೆಶೋಲ್ಡ್ ಪಿನ್ 6) ಗಿಂತ ಹೆಚ್ಚಾಗಿರುತ್ತದೆ
- ಹೋಲಿಕೆದಾರನ ಅಂತ್ಯವನ್ನು ತಿರುಗಿಸುವುದು. ಇದು ಮೇಲಿನ ಹೋಲಿಕೆಯ ಡಿಟೆಕ್ಟರ್ ಅನ್ನು ಹೆಚ್ಚು ಮಾಡುತ್ತದೆ ಮತ್ತು ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಅನ್ನು ಮರುಹೊಂದಿಸುತ್ತದೆ, 555 ಚಿಪ್‌ನ ಡಿಟೆಕ್ಟರ್ ಕಡಿಮೆ ಆಗುತ್ತದೆ.
- 555 ರ ಡಿಟೆಕ್ಟರ್ ಕಡಿಮೆಯಾದ ತಕ್ಷಣ $Q'=1$ ಎಂದರ್ಥ, ನಂತರ ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q1 ಆನ್ ಆಗುತ್ತದೆ ಮತ್ತು ಕೆಪಾಸಿಟರ್ C1 ಅನ್ನು ನೆಲಕ್ಕೆ ಚಿಕ್ಕದಾಗಿ ಮಾಡುತ್ತದೆ. ಆದ್ದರಿಂದ ಕೆಪಾಸಿಟರ್ C1 ಡಿಸ್ಚಾರ್ಜ್ ಪಿನ್ 7 ಮತ್ತು ರೆಸಿಸ್ಟರ್ R2 ಮೂಲಕ ನೆಲಕ್ಕೆ ಡಿಸ್ಚಾರ್ಜ್ ಮಾಡಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.
- ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ $2/3 V_{CC}$ ಗಿಂತ ಕೆಳಗಿಳಿದಂತೆ, ಮೇಲಿನ ಹೋಲಿಕೆಯ ಡಿಟೆಕ್ಟರ್ ಕಡಿಮೆ ಆಗುತ್ತದೆ, ಈಗ SR ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಹಿಂದಿನ ಸ್ಥಿತಿಯಲ್ಲಿ ಉಳಿದಿದೆ ಏಕೆಂದರೆ ಎರಡೂ ಹೋಲಿಕೆಗಳು ಕಡಿಮೆ.
- ಡಿಸ್ಚಾರ್ಜ್ ಮಾಡುವಾಗ, ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ $V_{CC}/3$ ಗಿಂತ ಕಡಿಮೆಯಾದಾಗ, ಇದು ಕಡಿಮೆ ಹೋಲಿಕೆಯ ಡಿಟೆಕ್ಟರ್ ಅನ್ನು ಹೆಚ್ಚು ಮಾಡುತ್ತದೆ (ಮೇಲಿನ ಹೋಲಿಕೆಯು ಕಡಿಮೆ ಇರುತ್ತದೆ) ಮತ್ತು ಫ್ಲಿಪ್ ಫ್ಲಾಪ್ ಅನ್ನು ಮತ್ತೆ ಹೊಂದಿಸುತ್ತದೆ ಮತ್ತು 555 ಡಿಟೆಕ್ಟರ್ ಅಧಿಕವಾಗುತ್ತದೆ.
- ಟ್ರಾನ್ಸಿಸ್ಟರ್ Q1 ಆಫ್ ಆಗುತ್ತದೆ ಮತ್ತು ಮತ್ತೆ ಕೆಪಾಸಿಟರ್ C1 ಚಾರ್ಜ್ ಮಾಡಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.

MODULE 4

- सुरुवातीला पॉवर चालू केल्यावर, ट्रिगर पिन व्होल्टेज $V_{CC}/3$ च्या खाली असतो, ज्यामुळे लोअर कॉम्पॅरेटर आउटपुट उच्च होते आणि फ्लिप फ्लॉप सेट करते आणि 555 चिपचे आउटपुट उच्च होते.
- यामुळे ट्रान्झिस्टर Q_1 बंद होतो, कारण Q_{bar} , $Q'=0$ थेट ट्रान्झिस्टरच्या पायावर लागू होतो. ट्रान्झिस्टर बंद असल्याने, कॉपेसिटर C_1 चार्ज होण्यास सुरुवात करतो आणि जेव्हा तो $V_{CC}/3$ पेक्षा जास्त व्होल्टेजवर चार्ज होतो, तेव्हा लोअर कॉम्पॅरेटर आउटपुट कमी होतो (अपर कॉम्पॅरेटर देखील कमी असतो) आणि फ्लिप फ्लॉप आउटपुट मागील (555 आउटपुट) प्रमाणेच राहते. उच्च राहते).
- आता जेव्हा कॉपेसिटर चार्जिंगला $2/3V_{CC}$ पेक्षा जास्त व्होल्टेज मिळते, तेव्हा नॉन-इनव्हर्टिंग एंडचा व्होल्टेज (थ्रेशोल्ड पिन 6) पेक्षा जास्त होतो.
- तुलनेचे उलटे टोक. यामुळे अपर कॉम्पॅरेटर आउटपुट उच्च होते आणि फ्लिप फ्लॉप रीसेट करते, 555 चिपचे आउटपुट कमी होतो.
- 555 चे आउटपुट LOW म्हणजे $Q'=1$ मिळताच, ट्रान्झिस्टर Q_1 चालू होतो आणि कॉपेसिटर C_1 जमिनीवर लहान होतो. तर कॉपेसिटर C_1 डिस्चार्ज पिन 7 आणि रेझिस्टर R_2 द्वारे जमिनीवर डिस्चार्ज करण्यास सुरुवात करतो.
- कॉपेसिटर व्होल्टेज $2/3 V_{CC}$ च्या खाली आल्याने, वरच्या तुलनेचे आउटपुट कमी होते, आता SR फ्लिप फ्लॉप मागील स्थितीत राहते कारण दोन्ही तुलना करणारे कमी आहेत.
- डिस्चार्ज करत असताना, जेव्हा कॉपेसिटर व्होल्टेज $V_{CC}/3$ च्या खाली येतो, तेव्हा हे लोअर कॉम्पॅरेटर आउटपुट उच्च बनवते (वरचा तुलनीय कमी राहतो) आणि फ्लिप फ्लॉप पुन्हा सेट करते आणि 555 आउटपुट उच्च होते.
- ट्रान्झिस्टर Q_1 बंद होतो आणि पुन्हा कॉपेसिटर C_1 चार्ज होऊ लागतो.



This charging and discharging of capacitor continues and a rectangular oscillating output wave for is generated. While capacitor is getting charge the output of 555 is HIGH, and while capacitor is getting discharge output will be LOW. So this is called **Astable mode** because none of the state is stable and 555 automatically interchange its state from HIGH to LOW and LOW to HIGH, so it is called Free running Multivibrator.

Now the OUTPUT HIGH and OUTPUT LOW duration, is determined by the Resistors R1 & R2 and capacitor C1. This can be calculated using below formulas:

Time High (Seconds) $T_1 = 0.693 * (R_1 + R_2) * C_1$
Time Low (Seconds) $T_2 = 0.693 * R_2 * C_1$

Time Period $T = \text{Time High} + \text{Time Low} = 0.693 * (R_1 + 2 * R_2) * C_1$

Frequency $f = 1 / \text{Time Period} = 1 / 0.693 * (R_1 + 2 * R_2) * C_1 = 1.44 / (R_1 + 2 * R_2) * C_1$

Duty Cycle: Duty cycle is the ratio of time for which the output is HIGH to the total time.

Duty cycle %: $(\text{Time HIGH} / \text{Total time}) * 100 = (T_1 / T) * 100 = (R_1 + R_2) / (R_1 + 2 * R_2)$

***100**

MODULE 5

POWER SEMICONDUCTOR DEVICES AND COMMUTATION CIRCUITS

Introduction to power electronics:

Power Electronics is a field which combines Power (electric power), Electronics and Control systems. Power engineering deals with the static and rotating power equipment for the generation, transmission and distribution of electric power. Electronics deals with the study of solid state semiconductor power devices and circuits for Power conversion to meet the desired control objectives (to control the output voltage and output power). Power electronics may be defined as the subject of applications of solid state power semiconductor devices (Thyristors) for the control and conversion of electric power. Power electronics deals with the study and design of Thyristorised power controllers for variety of application like Heat control, Light/Illumination control, Motor control - AC/DC motor drives used in industries, High voltage power supplies, Vehicle propulsion systems, High voltage direct current (HVDC) transmission.

ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಪರಿಚಯ: ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಎಂಬುದು ವಿದ್ಯುತ್ (ವಿದ್ಯುತ್ ಶಕ್ತಿ), ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಮತ್ತು ನಿಯಂತ್ರಣ ವ್ಯವಸ್ಥೆಗಳನ್ನು ಸಂಯೋಜಿಸುವ ಕ್ಷೇತ್ರವಾಗಿದೆ. ವಿದ್ಯುತ್ ಶಕ್ತಿಯ ಉತ್ಪಾದನೆ, ಪ್ರಸಾರ ಮತ್ತು ವಿತರಣೆಗಾಗಿ ಸ್ಥಿರ ಮತ್ತು ತಿರುಗುವ ವಿದ್ಯುತ್ ಉಪಕರಣಗಳೊಂದಿಗೆ ಪವರ್ ಎಂಜಿನಿಯರಿಂಗ್ ವ್ಯವಹರಿಸುತ್ತದೆ. ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಘನ ರಾಜ್ಯದ ಅರೆವಾಹಕ ವಿದ್ಯುತ್ ಸಾಧನಗಳು ಮತ್ತು ಬಯಸಿದ ನಿಯಂತ್ರಣ ಉದ್ದೇಶಗಳನ್ನು (ಔಟ್ಪುಟ್ ವೋಲ್ಟೇಜ್ ಮತ್ತು ಔಟ್ಪುಟ್ ವಿದ್ಯುತ್ ನಿಯಂತ್ರಿಸಲು) ಪೂರೈಸಲು ವಿದ್ಯುತ್ ಪರಿವರ್ತನೆಗೆ ಸರ್ಕ್ಯೂಟ್ ಅಧ್ಯಯನ ವ್ಯವಹರಿಸುತ್ತದೆ. ವಿದ್ಯುತ್ ಶಕ್ತಿಯ ನಿಯಂತ್ರಣ ಮತ್ತು ಪರಿವರ್ತನೆಗಾಗಿ ಘನ ಸ್ಥಿತಿಯ ವಿದ್ಯುತ್ ಅರೆವಾಹಕ ಸಾಧನಗಳ (ಥೈಸ್ಟರ್‌ಗಳು) ಅನ್ವಯಗಳ ವಿಷಯವಾಗಿ ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಅನ್ನು ವ್ಯಾಖ್ಯಾನಿಸಬಹುದು. ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಶಾಖ ನಿಯಂತ್ರಣದಂತಹ ವಿವಿಧ ರೀತಿಯ ಅಪ್ಲಿಕೇಶನ್‌ಗಾಗಿ ಥೈರಿಸ್ಟೊರೈಸ್ಡ್ ಪವರ್ ನಿಯಂತ್ರಕಗಳ ಅಧ್ಯಯನ ಮತ್ತು ವಿನ್ಯಾಸದೊಂದಿಗೆ ವ್ಯವಹರಿಸುತ್ತದೆ. ಲೈಟ್ / ಇಲ್ಯುಮಿನೇಷನ್ ಕಂಟ್ರೋಲ್‌ಮಾಟರ್ ನಿಯಂತ್ರಣ - ಕೈಗಾರಿಕೆಗಳಲ್ಲಿ ಬಳಸಲಾಗುತ್ತದೆ ಎಸಿ / ಡಿಸಿ ಮೋಟಾರ್ ಡ್ರೈವ್. ಹೈ ವೋಲ್ಟೇಜ್ ವಿದ್ಯುತ್ ಸರಬರಾಜು.

ಪಾವರ್ ಇಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಹೆ ಏಕ ಕ್ಷೇತ್ರ ಆಹೆ ಜೆ ಪಾವರ್ (ಇಲೆಕ್ಟ್ರಿಕ್ ಪಾವರ್), ಇಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಆಣಿ ಕಂಟ್ರೋಲ್ ಸಿಸ್ಟಮ್ಸ್ ಏಕತ್ರ ಕರತೆ. ವಿದ್ಯುತ ಅಭಿಯಾಂತ್ರಿಕಿ ವಿದ್ಯುತ ಶಕ್ತಿ ನಿರ್ಮಿತಿ, ಪ್ರೇಷಣ ಆಣಿ ವಿತರಣ ಸ್ಥಿರ ಆಣಿ ಫಿರವತ ವೀಜ ಉಪಕರಣೆ ಹಾತಾಡತೆ. ಇಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಘನ ರಾಜ್ಯ ಸೆಮಿಕಂಡಕ್ಟರ ವೀಜ ಸಾಧನೆ ಆಣಿ ಸರ್ಕ್ಯೂಟ್ಸ್ ಪಾವರ್ ರೂಪಾಂತರಣ ಸಾಠಿ ಅಭಿಯಾಸ ಇಚ್ಛಿತ ನಿಯಂತ್ರಣ ಉದ್ದೇಶ (ಆಊಟಪುಟ್ ವೋಲ್ಟೇಜ ಆಣಿ ಆಊಟಪುಟ್

MODULE 5

शक्ती नियंत्रित करण्यासाठी) पूर्ण करते. पॉवर इलेक्ट्रॉनिक्स विद्युत शक्ती नियंत्रण आणि रूपांतरणासाठी घन राज्य शक्ती सेमीकंडक्टर साधने (थायरिस्टर्स) च्या अनुप्रयोग विषय व्याख्या केले जाऊ शकते. पॉवर इलेक्ट्रॉनिक्स हीट कंट्रोलसारख्या विविध अनुप्रयोगांसाठी थायरिस्टाइड पॉवर कंट्रोलरच्या अभ्यास आणि डिझाइनशी संबंधित आहे, प्रकाश / प्रज्वलन नियंत्रण, मोटर नियंत्रण - उद्योगांमध्ये वापरले एसी / डीसी मोटर ड्राइव्ह, उच्च व्होल्टेज वीज पुरवठा, वाहन प्रणोदन प्रणाली, उच्च व्होल्टेज थेट वर्तमान (एचव्हीडीसी) संक्रमण.

पॉवर इलेक्ट्रॉनिक्स हे एक क्षेत्र आहे जे पॉवर (इलेक्ट्रिक पॉवर), इलेक्ट्रॉनिक्स आणि कंट्रोल सिस्टम्स एकत्र करते. विद्युत अभियांत्रिकी विद्युत शक्ती निर्मिती, प्रेषण आणि वितरण स्थिर आणि फिरवत वीज उपकरणे हाताळते. इलेक्ट्रॉनिक्स घन राज्य सेमीकंडक्टर वीज साधने आणि सर्किट्स पॉवर रूपांतरण साठी अभ्यास इच्छित नियंत्रण उद्दिष्टे (आउटपुट व्होल्टेज आणि आउटपुट शक्ती नियंत्रित करण्यासाठी) पूर्ण करते. पॉवर इलेक्ट्रॉनिक्स विद्युत शक्ती नियंत्रण आणि रूपांतरणासाठी घन राज्य शक्ती सेमीकंडक्टर साधने (थायरिस्टर्स) च्या अनुप्रयोग विषय व्याख्या केले जाऊ शकते. पॉवर इलेक्ट्रॉनिक्स हीट कंट्रोलसारख्या विविध अनुप्रयोगांसाठी थायरिस्टाइड पॉवर कंट्रोलरच्या अभ्यास आणि डिझाइनशी संबंधित आहे, प्रकाश / प्रज्वलन नियंत्रण, मोटर नियंत्रण - उद्योगांमध्ये वापरले एसी / डीसी मोटर ड्राइव्ह, उच्च व्होल्टेज वीज पुरवठा, वाहन प्रणोदन प्रणाली, उच्च व्होल्टेज थेट वर्तमान (एचव्हीडीसी) संक्रमण.

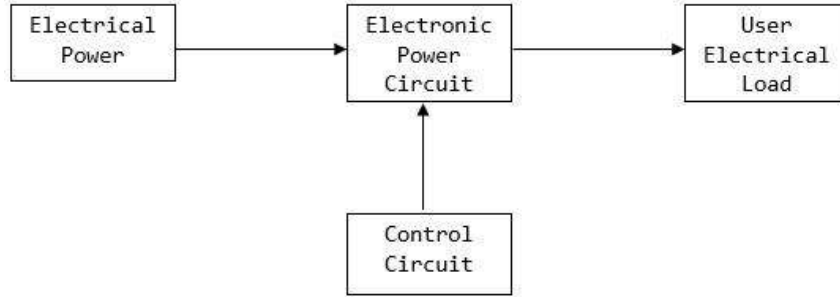
Power Electronics refers to the process of controlling the flow of current and voltage and converting it to a form that is suitable for user loads. The most desirable power electronic system is one whose efficiency and reliability is 100%.

Take a look at the following block diagram. It shows the components of a Power Electronic system and how they are interlinked.

ಐಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಪ್ರಸ್ತುತ ಮತ್ತು ವೋಲ್ಟೇಜ್ ಹರಿವನ್ನು ನಿಯಂತ್ರಿಸುವ ಮತ್ತು ಬಳಕೆದಾರ ಲೋಡ್‌ಗಳಿಗೆ ಸೂಕ್ತವಾದ ರೂಪಕ್ಕೆ ಪರಿವರ್ತಿಸುವ ಪ್ರಕ್ರಿಯೆಯನ್ನು ಸೂಚಿಸುತ್ತದೆ. ಅತ್ಯಂತ ಅಪೇಕ್ಷಣೀಯ ವಿದ್ಯುತ್ ವಿದ್ಯುನ್ಮಾನ ವ್ಯವಸ್ಥೆ - ಒಂದು ಅದರ ದಕ್ಷತೆ ಮತ್ತು ವಿಶ್ವಾಸಾರ್ಹತೆ 100% ಆಗಿದೆ. ಕೆಳಗಿನ ಬ್ಲಾಕ್ ರೇಖಾಚಿತ್ರವನ್ನು ನೋಡಿ. ಇದು ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ ಸಿಸ್ಟಮ್ ಘಟಕಗಳನ್ನು ತೋರಿಸುತ್ತದೆ ಮತ್ತು ಅವುಗಳು ಹೇಗೆ ಪರಸ್ಪರ ಸಂಪರ್ಕ ಹೊಂದಿವೆ.

MODULE 5

पाँवर इलेक्ट्रॉनिक्स वर्तमान आणि व्होल्टेजचा प्रवाह नियंत्रित करण्याच्या प्रक्रियेस संदर्भित करते आणि वापरकर्त्याच्या लोडसाठी योग्य असलेल्या फॉर्ममध्ये रूपांतरित करते. सर्वात इष्ट शक्ती इलेक्ट्रॉनिक प्रणाली एक ज्याची कार्यक्षमता आणि विश्वसनीयता 100% आहे. खालील ब्लॉक आकृती एक कटाक्ष. हे पाँवर इलेक्ट्रॉनिक प्रणालीचे घटक आणि ते कसे एकमेकांशी जोडलेले



आहेत हे दर्शविते.

Figure: 5.1. Block diagram of DC power supply

A power electronic system converts electrical energy from one form to another and ensures the following is achieved –

- Maximum efficiency
- Maximum reliability
- Maximum availability
- Minimum cost
- Least weight
- Small size

Applications of Power Electronics are classified into two types – Static Applications and Drive Applications.

Static Applications

This utilizes moving and/or rotating mechanical parts such as welding, heating, cooling, and electro- plating and DC power.

DC Power Supply

ಒಂದು ವಿದ್ಯುತ್ ವಿದ್ಯುನ್ಮಾನ ವ್ಯವಸ್ಥೆಯು ವಿದ್ಯುತ್ ಶಕ್ತಿಯನ್ನು ಒಂದು ರೂಪದಿಂದ ಇನ್ನೊಂದಕ್ಕೆ ಪರಿವರ್ತಿಸುತ್ತದೆ ಮತ್ತು ಕೆಳಗಿನವುಗಳನ್ನು ಸಾಧಿಸಲಾಗುತ್ತದೆ ಎಂದು ಖಚಿತಪಡಿಸುತ್ತದೆ -

MODULE 5

- ಗರಿಷ್ಠ ದಕ್ಷತೆ.
- ಗರಿಷ್ಠ ವಿಶ್ವಾಸಾರ್ಹತೆ
 - ಗರಿಷ್ಠ ಲಭ್ಯತೆ
 - ಕನಿಷ್ಠ ವೆಚ್ಚ
 - ಕಡಿಮೆ ತೂಕ ಮತ್ತು

ಪವರ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್ ಸಣ್ಣ ಗಾತ್ರದ ಅಪ್ಲಿಕೇಶನ್‌ಗಳನ್ನು ಎರಡು ವಿಧಗಳಾಗಿ ವಿಂಗಡಿಸಲಾಗಿದೆ - ಸ್ಥಿರ ಅಪ್ಲಿಕೇಶನ್‌ಗಳು ಮತ್ತು ಡೈನ್ ಅಪ್ಲಿಕೇಶನ್‌ಗಳು.

ಸ್ಥಿರ ಅನ್ವಯಿಕೆಗಳು ಇದು ಚಲಿಸುವ ಮತ್ತು/ಅಥವಾ ತಿರುಗುವ ಯಾಂತ್ರಿಕ ಭಾಗಗಳಾದ ವೆಲ್ಡಿಂಗ್, ತಾಪನ, ತಂಪಾಗಿಸುವಿಕೆ, ಮತ್ತು ಎಲೆಕ್ಟ್ರೋ-ಲೇಟಿಂಗ್ ಮತ್ತು DC ವಿದ್ಯುತ್ ಅನ್ನು ಬಳಸುತ್ತದೆ.

ಡಿಸಿ ವಿದ್ಯುತ್ ಸರಬರಾಜು

एक शक्ती इलेक्ट्रॉनिक प्रणाली विद्युत ऊर्जा एक फॉर्म पासून दुसऱ्या रूपांतरित आणि याची खात्री करते

खालील प्राप्त आहे -

- * कमाल कार्यक्षमता
- * कमाल विश्वासार्हता
- * जास्तीत जास्त उपलब्धता
- * किमान खर्च
- * कमीत कमी वजन
- * लहान आकार

पॉवर इलेक्ट्रॉनिक्सचे अनुप्रयोग दोन प्रकारांमध्ये वर्गीकृत केले जातात - स्थिर अनुप्रयोग आणि ड्राइव्ह अनुप्रयोग.

स्थिर अनुप्रयोग

हे अशा जोडणी, गरम, थंड, आणि विद्युत-प्लेटिंग आणि डीसी शक्ती म्हणून हलवून आणि / किंवा फिरवत यांत्रिक भाग वापरते.

MODULE 5

डीसी वीज पुरवठा

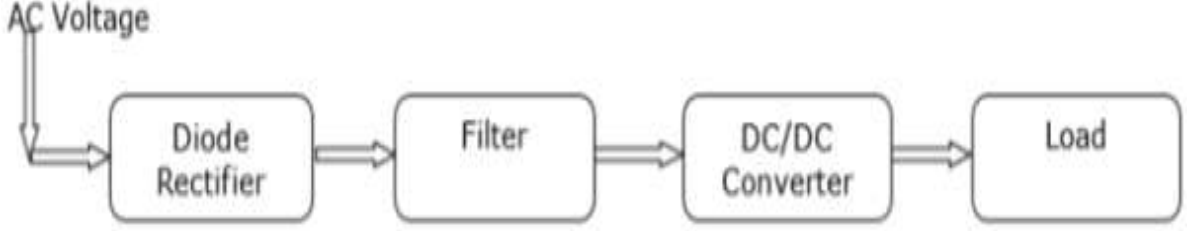


Figure: 5.2. Block diagram of DC power supply

Drive Applications

Drive applications have rotating parts such as motors. Examples include compressors, pumps, conveyer belts and air conditioning systems.

Air Conditioning System

Power electronics is extensively used in air conditioners to control elements such as compressors. A schematic diagram that shows how power electronics is used in air conditioners is shown below.

ड्युव् अड्डिकेअनलु

ड्युव् अड्डिकेअनलु म्मेडरगलतक तुरुगुव डरगलनू ह्मेदुव. लुदररनेगलु संकुडेअक, डंप्, कन्वेयर डेल्ड म्मु हवरनलुतुतु वुवसुगलु सेरुवे.

वर कंडुडनलुंग सलसु

डवर वलकुनलु अलु संकुडेअकगलतक अलुगलनू डुतुलु वर कंडुडनलुगलु वुडकवरु डलसलुगुतु. वर कंडुडनलुगलु डवर वलकुनलु अलु हेगे डलसलुगुतु वडुदलु त्मेरुसुव डुदु सुुडुडुडु र्मेडरतुवलु केले त्मेरुसलुगुदु.

डुडुह अनुडुरुडुग:

डुडुह अनुडुरुडुग डुटर अशर डलरुवत डरग अहेत. उदररणे कम्प्रेसर, डंप, वरहक डेलुत अणलु वरतलुकूलन डुरणलु डरंर सडरवेश अहे.

MODULE 5

वातानुकूलन प्रणाली

कॉम्प्रेसरसारख्या घटकांवर नियंत्रण ठेवण्यासाठी एअर कंडिशनर्समध्ये पॉवर इलेक्ट्रॉनिक्सचा मोठ्या प्रमाणात वापर केला जातो. एअर कंडिशनरमध्ये पॉवर इलेक्ट्रॉनिक्सचा वापर कसा केला जातो हे दर्शविणारा एक योजनाबद्ध रेखाचित्र खाली दर्शविले आहे.

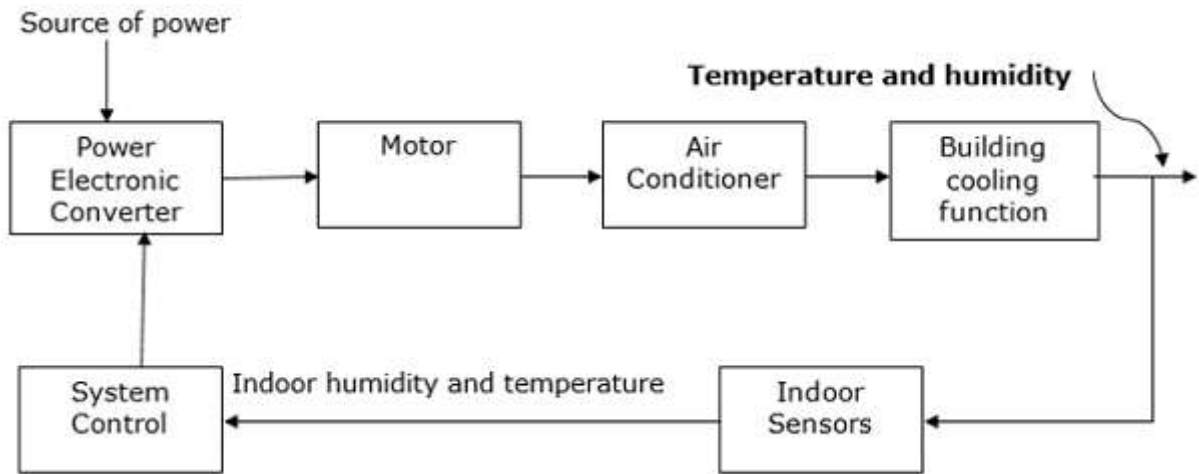


Figure: 5.3. Block diagram of Air Conditioning System

Power electronic applications

Commercial applications Heating Systems Ventilating, Air Conditioners, Central Refrigeration, Lighting, Computers and Office equipments, Uninterruptible Power Supplies (UPS), Elevators, and Emergency Lamps

Domestic applications Cooking Equipments, Lighting, Heating, Air Conditioners, Refrigerators & Freezers, Personal Computers, Entertainment Equipments, UPS

Industrial applications Pumps, compressors, blowers and fans Machine tools, arc furnaces, induction furnaces, lighting control circuits, industrial lasers, induction heating, welding equipments

Aerospace applications Space shuttle power supply systems, satellite power systems, aircraft power systems.

Telecommunications Battery chargers, power supplies (DC and UPS), mobile cell phone battery chargers

Transportation Traction control of electric vehicles, battery chargers for electric vehicles, electric locomotives, street cars, trolley buses, automobile electronics including engine

MODULE 5

controls

Utility systems High voltage DC transmission (HVDC), static VAR compensation (SVC), Alternative energy sources (wind, photovoltaic), fuel cells, energy storage systems, induced draft fans and boiler feed water pumps

ವಿದ್ಯುತ್ ವಿದ್ಯುನ್ಮಾನ ಅನ್ವಯಗಳು

ವಾಣಿಜ್ಯ ಅನ್ವಯಗಳು: ತಾಪನ ವ್ಯವಸ್ಥೆಗಳು ವಾತಾಯನ. ಏರ್ ಕಂಡಿಷನರ್‌ಗಳು ಕೇಂದ್ರ, ಶೈತ್ಯೀಕರಣಲ್ಯೆಟಿಂಗ್, ಕಂಪ್ಯೂಟರ್ ಮತ್ತು ಕಚೇರಿ ಉಪಕರಣಗಳು. ತಡೆರಹಿತ ವಿದ್ಯುತ್ ಸರಬರಾಜು (ಯುಪಿಎಸ್). ಎಲಿವೇಟರ್‌ಗಳು ಮತ್ತು ತುರ್ತು ದೀಪಗಳು ದೇಶೀಯ ಅನ್ವಯಗಳನ್ನು ಅಡುಗೆ ಸಲಕರಣೆಗಳು. ಲೈಟಿಂಗ್‌ತಾಪನ, ಏರ್ ಕಂಡಿಷನರ್‌ಗಳು, ರೆಫ್ರಿಜರೇಟರ್‌ಗಳು ಮತ್ತು ಫ್ರೀಜರ್‌

ವೈಯಕ್ತಿಕ ಕಂಪ್ಯೂಟರ್‌ಗಳು, ಮನರಂಜನಾ ಸಲಕರಣೆಗಳು, ಯುಪಿಎಸ್

ಕೈಗಾರಿಕಾ ಅನ್ವಯಗಳು: ಪಂಪ್. ಸಂಪೀಡಕಗಳನ್ನು, ಬ್ಲೋವರ್ಸ್ ಮತ್ತು ಅಭಿಮಾನಿಗಳು ಯಂತ್ರ ಉಪಕರಣಗಳು. ಆರ್ಕ್ ಕುಲುಮೆಗಳು ಇಂಡಕ್ಷನ್ ಕುಲುಮೆಗಳು, ಬೆಳಕಿನ ನಿಯಂತ್ರಣ ಸರ್ಕ್ಯೂಟ್‌ಗಳು, ಕೈಗಾರಿಕಾ ಲೇಸರ್, ಇಂಡಕ್ಷನ್ ತಾಪನ, ವೆಲ್ಡಿಂಗ್ ಉಪಕರಣಗಳು -

ಏರೋಸ್ಪೇಸ್ ಅನ್ವಯಗಳು : ಸ್ಪೇಸ್ ಶಟಲ್ ವಿದ್ಯುತ್ ಪೂರೈಕೆ ವ್ಯವಸ್ಥೆಗಳು. ಉಪಗ್ರಹ ವಿದ್ಯುತ್ ವ್ಯವಸ್ಥೆಗಳು, ವಿಮಾನ ವಿದ್ಯುತ್ ವ್ಯವಸ್ಥೆಗಳು.

ದೂರಸಂಪರ್ಕ ಬ್ಯಾಟರಿ ಚಾರ್ಜರ್‌ಗಳು, ವಿದ್ಯುತ್ ಸರಬರಾಜು (ಡಿಸಿ ಮತ್ತು ಯುಪಿಎಸ್). ಮೊಬೈಲ್ ಸೆಲ್ ಫೋನ್ ಬ್ಯಾಟರಿ ಚಾರ್ಜರ್‌ಗಳು - ವಿದ್ಯುತ್ ವಾಹನಗಳ

ಸಾರಿಗೆ: ಟ್ರಾಕ್ಟನ್ ನಿಯಂತ್ರಣ. ಎಲೆಕ್ಟ್ರಿಕ್ ವಾಹನಗಳಿಗೆ ಬ್ಯಾಟರಿ ಚಾರ್ಜರ್. ಎಲೆಕ್ಟ್ರಿಕ್ ಲೋಕೋಮೋಟಿವ್‌ಗಳು

ಸ್ಟೀಟ್ ಕಾರುಗಳು, ಟ್ರಾಲಿ ಬಸ್‌ಗಳು, ಎಂಜಿನ್ ನಿಯಂತ್ರಣಗಳು ಸೇರಿದಂತೆ ಆಟೋಮೊಬೈಲ್ ಎಲೆಕ್ಟ್ರಾನಿಕ್ಸ್

ಯುಟಿಲಿಟಿ ಸಿಸ್ಟಮ್ಸ್: ಹೈ ವೋಲ್ಟೇಜ್ ಡಿಸಿ ಟ್ರಾನ್ಸ್ಮಿಷನ್ (ಎಚ್‌ವಿಡಿ). ಸ್ಥಿರ ವಿಎಆರ್ ಪರಿಹಾರ (ಎಸ್‌ವಿ‌ಸಿ). ಪರ್ಯಾಯ ಶಕ್ತಿ ಮೂಲಗಳು (ಗಾಳಿ. ದ್ಯುತಿವಿದ್ಯುಜ್ಜನಕ), ಇಂಧನ ಕೋಶಗಳು, ಶಕ್ತಿ ಶೇಖರಣಾ ವ್ಯವಸ್ಥೆಗಳು, ಪ್ರೇರಿತ ಡ್ರಾಫ್ಟ್ ಅಭಿಮಾನಿಗಳು ಮತ್ತು ಬಾಯ್ಲರ್ ಫೀಡ್ ನೀರಿನ ಪಂಪ್.

MODULE 5

पॉवरइलेक्ट्रॉनिकअनुप्रयोग

व्यावसायिक अनुप्रयोग: हीटिंग सिस्टम्स व्हेंटिलेटिंग, एअर कंडिशनर्स, केंद्रीय रेफ्रिजरेशन, प्रकाशयोजना, संगणक आणि कार्यालय उपकरणे, अखंड वीज पुरवठा (यूपीएस), लिफ्ट, आणि आणीबाणी दिवे

घरगुती अनुप्रयोग: स्वयंपाक उपकरणे, प्रकाशयोजना, हीटिंग, एअर कंडिशनर्स, रेफ्रिजरेटर्स आणि फ्रीझर, वैयक्तिक संगणक, मनोरंजन उपकरणे, यूपीएस

औद्योगिक अनुप्रयोग: पंप, कॉम्प्रेसर्स, ब्लोअर्स आणि फॅन्स मशीन टूल्स, आर्क भट्टी, इंडक्शन भट्टी, प्रकाश नियंत्रण सर्किट, औद्योगिक लेसर, इंडक्शन हीटिंग, वेल्डिंग उपकरणे एरोस्पेस अनुप्रयोग: स्पेस शटल वीज पुरवठा प्रणाली, उपग्रह शक्ती प्रणाली, विमान शक्ती प्रणाली.

दूरसंचार: बॅटरी चार्जर्स, वीज पुरवठा (डीसी आणि यूपीएस), मोबाइल सेल फोन बॅटरी चार्जर वाहतूक विद्युत वाहने ट्रॅक्शन नियंत्रण, इलेक्ट्रिक वाहनांसाठी बॅटरी चार्जर, इलेक्ट्रिक इंजिन, रस्त्यावरील गाड्या, ट्रॉली बसेस, इंजिन नियंत्रणे समावेश ऑटोमोबाईल इलेक्ट्रॉनिक्स उपयुक्तता प्रणाली उच्च व्होल्टेज डीसी ट्रान्समिशन (एचव्हीडीसी), स्थिर VAR भरपाई (एसव्हीसी), पर्यायी ऊर्जा स्रोत (वारा, फोटोव्होल्टाइक), इंधन पेशी, ऊर्जा स्टोरेज प्रणाली, सूचित मसुदा पंखे आणि बॉयलर फीड पाणी पंप

Types of power electronic converters

1. Rectifiers (AC to DC converters): These converters convert constant ac voltage to variable dc output voltage.
2. Choppers (DC to DC converters): Dc chopper converts fixed dc voltage to a controllable dc output voltage.
3. Inverters (DC to AC converters): An inverter converts fixed dc voltage to a variable ac output voltage.
4. AC voltage controllers: These converters converts fixed ac voltage to a variable ac output voltage at same frequency.
5. Cycloconverters: These circuits convert input power at one frequency to output power at a different frequency through one stage conversion.

MODULE 5

ವಿದ್ಯುತ್ ವಿದ್ಯುನ್ಮಾನ ಪರಿವರ್ತಕಗಳ ವಿಧಗಳು

1. ರೆಕ್ಟಿಫೈಯರ್‌ಗಳು (ಎಸಿ ಟು ಡಿಸಿ ಪರಿವರ್ತಕಗಳು): ಈ ಪರಿವರ್ತಕಗಳು ಸ್ಥಿರ ಎಸಿ ವೋಲ್ಟೇಜ್ ಅನ್ನು ವೇರಿಯಬಲ್ ಡಿಸಿ ಡಿಬ್ಬುಟ್ ವೋಲ್ಟೇಜ್ ಪರಿವರ್ತಿಸುತ್ತವೆ.
2. ಚಾಪರ್ಸ್ (ಡಿಸಿ ಟು ಡಿಸಿ ಪರಿವರ್ತಕಗಳು): ಡಿಸಿ ಚಾಪರ್ ಸ್ಥಿರ ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಅನ್ನು ನಿಯಂತ್ರಿಸಬಹುದಾದ ಡಿಸಿ ಡಿಬ್ಬುಟ್ ವೋಲ್ಟೇಜ್ ಪರಿವರ್ತಿಸುತ್ತದೆ.
3. ಇನ್ವರ್ಟರ್‌ಗಳು (ಡಿಸಿ ಟು ಎಸಿ ಪರಿವರ್ತಕಗಳು): ಒಂದು ಇನ್ವರ್ಟರ್ ಸ್ಥಿರ ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಅನ್ನು ವೇರಿಯಬಲ್ ಎಸಿ ಡಿಬ್ಬುಟ್ ವೋಲ್ಟೇಜ್ ಪರಿವರ್ತಿಸುತ್ತದೆ.
4. ಎಸಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಕಗಳು: ಈ ಪರಿವರ್ತಕಗಳು ಸ್ಥಿರ ಎಸಿ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅದೇ ಆವರ್ತನದಲ್ಲಿ ವೇರಿಯಬಲ್ ಎಸಿ ಡಿಬ್ಬುಟ್ ವೋಲ್ಟೇಜ್ ಪರಿವರ್ತಿಸುತ್ತವೆ.
5. ಸೈಕ್ಲೋನ್ವರ್ಟರ್‌ಗಳು: ಈ ಸರ್ಕ್ಯೂಟ್‌ಗಳು ಇನ್ಪುಟ್ ಶಕ್ತಿಯನ್ನು ಒಂದು ಆವರ್ತನದಲ್ಲಿ ಒಂದು ಹಂತದ ಪರಿವರ್ತನೆಯ ಮೂಲಕ ವಿಭಿನ್ನ ಆವರ್ತನದಲ್ಲಿ ವಿದ್ಯುತ್ ಅನ್ನು ಡಿಬ್ಬುಟ್ ಮಾಡಲು ಪರಿವರ್ತಿಸುತ್ತವೆ.

ಪಾವರ ಇಲೆಕ್ಟ್ರಾನಿಕ್ ಕನ್ವರ್ಟರ್‌ಗಳ ಪ್ರಕಾರ

1. ರೆಕ್ಟಿಫಾಯರ್ (ಎಸಿ ಟು ಡಿಸಿ ಕನ್ವರ್ಟರ್): ಹೆ ಕನ್ವರ್ಟರ್ ಸತತ ಎಸಿ ವೋಲ್ಟೇಜ್‌ನ ವೇರಿಯಬಲ್ ಡಿಸಿ ಆಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ರೂಪಾಂತರಿಸುತ್ತದೆ.
2. ಡಿಬ್ಬುಟ್ (ಡಿಸಿ ಟು ಡಿಸಿ ಕನ್ವರ್ಟರ್): ಡಿಸಿ ಡಿಬ್ಬುಟ್ ನಿಶ್ಚಿತ ಡಿಸಿ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ನಿಯಂತ್ರಿಸಿದ ಡಿಸಿ ಆಔಟ್‌ಪುಟ್ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ರೂಪಾಂತರಿಸುತ್ತದೆ.
3. ಇನ್ವರ್ಟರ್ (ಡಿಸಿ ಟು ಎಸಿ ಕನ್ವರ್ಟರ್): ಒಂದು ಇನ್ವರ್ಟರ್ ನಿಶ್ಚಿತ ಡಿಸಿ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ಒಂದು ಆವರ್ತನದಲ್ಲಿ ಒಂದು ಹಂತದ ಪರಿವರ್ತನೆಯ ಮೂಲಕ ವಿಭಿನ್ನ ಆವರ್ತನದಲ್ಲಿ ವಿದ್ಯುತ್ ಅನ್ನು ಡಿಬ್ಬುಟ್ ಮಾಡಲು ಪರಿವರ್ತಿಸುತ್ತದೆ.
4. ಎಸಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಕ: ಹೆ ಕನ್ವರ್ಟರ್ ಸ್ಥಿರ ಎಸಿ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ಒಂದು ಆವರ್ತನದಲ್ಲಿ ಒಂದು ಹಂತದ ಪರಿವರ್ತನೆಯ ಮೂಲಕ ವಿಭಿನ್ನ ಆವರ್ತನದಲ್ಲಿ ವಿದ್ಯುತ್ ಅನ್ನು ಡಿಬ್ಬುಟ್ ಮಾಡಲು ಪರಿವರ್ತಿಸುತ್ತದೆ.
5. ಸೈಕ್ಲೋನ್ವರ್ಟರ್: ಹೆ ಸರ್ಕ್ಯೂಟ್ ಇನ್ಪುಟ್ ಪಾವರಲಾ ಒಂದು ಆವರ್ತನದಲ್ಲಿ ಒಂದು ಹಂತದ ಪರಿವರ್ತನೆಯ ಮೂಲಕ ವಿಭಿನ್ನ ಆವರ್ತನದಲ್ಲಿ ವಿದ್ಯುತ್ ಅನ್ನು ಡಿಬ್ಬುಟ್ ಮಾಡಲು ಪರಿವರ್ತಿಸುತ್ತದೆ.

Thyristors – Silicon Controlled Rectifiers (SCR's)

A silicon controlled rectifier or semiconductor-controlled rectifier is a four-layer solidstate current- controlling device. The name "silicon controlled rectifier" is General Electric's trade name for a type of thyristor.

MODULE 5

SCRs are mainly used in electronic devices that require control of high voltage and power. This makes them applicable in medium and high AC power operations such as motor control function.

An SCR conducts when a gate pulse is applied to it, just like a diode. It has four layers of semiconductors that form two structures namely; NPNP or PNP. In addition, it has three junctions labeled as J1, J2 and J3 and three terminals(anode, cathode and a gate). An SCR is diagrammatically represented as shown below.

Thyristors -सिलिकॉन नियंत्रित रेक्टिफायर्स (एससीआर)

एक सिलिकॉन नियंत्रित रेक्टिफायर किंवा सेमीकंडक्टर-नियंत्रित रेक्टिफायर एक चार-लेयर सॉलिडस्टेट करंट-कंट्रोलिंग डिवाइस आहे. "सिलिकॉन नियंत्रित रेक्टिफायर" हे नाव जनरल इलेक्ट्रिकचे एक प्रकारचे थायरिस्टरचे व्यापार नाव आहे.

एससीआर प्रामुख्याने इलेक्ट्रॉनिक उपकरणांमध्ये वापरले जातात ज्यास उच्च व्होल्टेज आणि पॉवरचे नियंत्रण आवश्यक असते. हे त्यांना मोटर नियंत्रण कार्य अशा मध्यम आणि उच्च एसी वीज ऑपरेशन मध्ये लागू करते.

एक SCR एक गेट नाडी त्यावर लागू केले जाते तेव्हा आयोजित, अगदी एक diode सारखे. त्यात सेमीकंडक्टरचे चार थर आहेत जे दोन संरचना तयार करतात; एनपीएनपी किंवा पीएनपीएन. याव्यतिरिक्त, त्यात जे 1, J2 आणि J3 म्हणून लेबल केलेले तीन जंक्शन आणि तीन टर्मिनल (एनोड, कॅथोड आणि एक गेट) आहेत. एक SCR खाली दर्शविल्याप्रमाणे रेखांशाचा प्रतिनिधित्व केले आहे.

ਫ਼ੋਰਿਸ਼्ठगंफु - सिलिकॉन नियंत्रित रेक्टिफायर्स (SCR's) -

ಒಂದು सिलिकॉन नियंत्रित रेक्टिफायर अಥवा अरेवाहक नियंत्रित रेक्टिफायर नावु पदरगंफु फ़नसिठिय प्रवाह-नियंत्रित साधनवागिद.हंसरु "सिलिकॉन नियंत्रित रेक्टिफायर" ಒಂದು रीठिय फ़ोरीस़्ठगंफुगि जनरल एलेक्ठ्रिक् व्यापार हंसरु.SCR गंफु मुख्यवागि हंसि न वोल्टेज मुत्तु विद्यूत् नियंत्रण अगत्यविरुव विद्यून्मान साधनगंफुलि बसललगुत्तद.इदु मोठारु नियंत्रण कायदंतक मधुम मुत्तु हंसि न विद्यूत् कायारुसरुगंफुलि अवुगंफुनु अन्वयिसुत्तद.दयोलुत्तयै गेट पल्स अन्नु अन्वयिसिदग SCR नडसुत्तद.इदु एरदु

MODULE 5

ರಚನೆಗಳನ್ನು ರೂಪಿಸುವ ಸೆಮಿಕಂಡಕ್ಟರ್‌ಗಳ ನಾಲ್ಕು ಪದರಗಳನ್ನು ಹೊಂದಿದೆ, ಅವುಗಳೆಂದರೆ NPP ಅಥವಾ PNP. ಇದಲ್ಲದೆ, ಇದು J1, J2 ಮತ್ತು J3 ಎಂದು ಲೇಬಲ್ ಮಾಡಿದ ಮೂರು ಜಂಕ್ಷನ್‌ಗಳನ್ನು ಮತ್ತು ಮೂರು ಟರ್ಮಿನಲ್‌ಗಳನ್ನು (ಆನೋಡ್, ಕ್ಯಾಥೋಡ್ ಮತ್ತು ಒಂದು ಗೇಟ್) ಹೊಂದಿದೆ.

ಕೆಳಗೆ ತೋರಿಸಿರುವಂತೆ ಒಂದು SCR ಅನ್ನು ರೇಖಾಚಿತ್ರವಾಗಿ ಪ್ರತಿನಿಧಿಸಲಾಗುತ್ತದೆ.

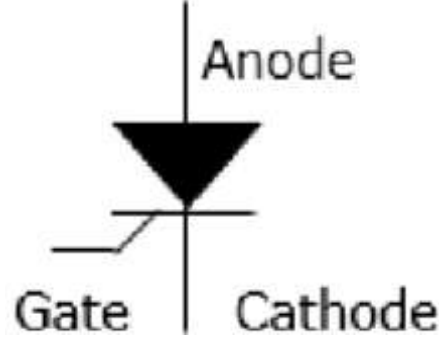


Figure: 5.4. Symbol of thyristor

The anode connects to the P-type, cathode to the N-type and the gate to the P-type as shown below.

ಆನೋಡ್ ಪಿ-ಟೈಪ್, ಕ್ಯಾಥೋಡ್ ಎನ್-ಟೈಪ್ ಮತ್ತು ಗೇಟ್ ಅನ್ನು ಪಿ-ಟೈಪ್ ಕೆಳಗೆ ತೋರಿಸಿರುವಂತೆ ಸಂಪರ್ಕಿಸುತ್ತದೆ.

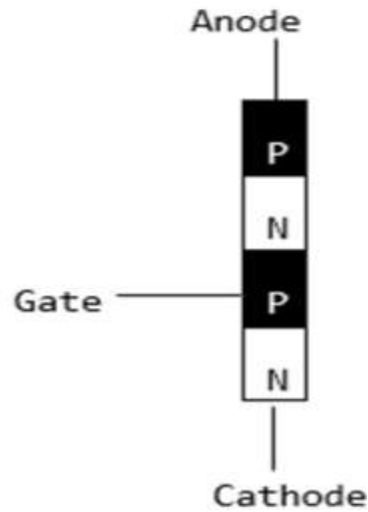


Figure: 5.5. Structure of thyristor

MODULE 5

In an SCR, the intrinsic semiconductor is silicon to which the required dopants are infused. However, doping a PNPN junction is dependent on the SCR application.

ಒಂದು SCR ನಲ್ಲಿ, ಆಂತರಿಕ ಅರೆವಾಹಕವು ಸಿಲಿಕಾನ್ ಆಗಿದ್ದು, ಅದಕ್ಕೆ ಅಗತ್ಯವಾದ ಡೋಪ್‌ಯಂಟ್‌ಗಳನ್ನು ಒಳಸೇರಿಸಲಾಗುತ್ತದೆ.

ಆದಾಗ್ಯೂ, ಪಿಎನ್‌ಪಿಎನ್ ಜಂಕ್ಷನ್ ಡೋಪಿಂಗ್ ಎಸ್ಸಿಆರ್ ಅಪ್ಲಿಕೇಶನ್ ಮೇಲೆ ಅವಲಂಬಿತವಾಗಿದೆ.

Modes of Operation in SCR

- OFF state (forward blocking mode) – Here the anode is assigned a positive voltage, the gate is assigned a zero voltage (disconnected) and the cathode is assigned a negative voltage. As a result, Junctions J1 and J3 are in forward bias while J2 is in reverse bias. J2 reaches its breakdown avalanche value and starts to conduct. Below this value, the resistance of J1 is significantly high and is thus said to be in the off state.
- ON state (conducting mode) – An SCR is brought to this state either by increasing the potential difference between the anode and cathode above the avalanche voltage or by applying a positive signal at the gate. Immediately the SCR starts to conduct, gate voltage is no longer needed to maintain the ON state and is, therefore, switched off by –
 - Decreasing the current flow through it to the lowest value called holding current
 - Using a transistor placed across the junction.
- Reverse blocking – This compensates the drop in forward voltage. This is due to the fact that a low doped region in P1 is needed. It is important to note that the voltage ratings of forward and reverse blocking are equal.

ಎಸ್ಸಿಆರ್ ಮತ್ತು ಆಫ್ ಸ್ಥಿತಿಯಲ್ಲಿ ಕಾರ್ಯಾಚರಣೆಯ ವಿಧಾನಗಳು

ಮುಂದೆ ನಿರ್ಬಂಧಿಸುವ ಮೋಡ್ - ಇಲ್ಲಿ ಆನೋಡ್ ಅನ್ನು ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ನಿಗದಿಪಡಿಸಲಾಗಿದೆ, ಗೇಟ್ ಅನ್ನು ಶೂನ್ಯ ವೋಲ್ಟೇಜ್ (ಡಿಸ್ಕನೆಕ್ಟ್) ನಿಗದಿಪಡಿಸಲಾಗಿದೆ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ಅನ್ನು ನಕಾರಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ನಿಗದಿಪಡಿಸಲಾಗಿದೆ. ಪರಿಣಾಮವಾಗಿ, ಜಂಕ್ಷನ್‌ಗಳು J1 ಮತ್ತು J3 ಫಾರ್ವರ್ಡ್ ಪಕ್ಷಪಾತದಲ್ಲಿದ್ದರೆ, J2 ರಿವರ್ಸ್ ಪಕ್ಷಪಾತದಲ್ಲಿದೆ. J2 ಅದರ ಒಡೆಯುವಿಕೆಯ ಹಿಮಹಾವುಗೆಗಳು ಮೌಲ್ಯವನ್ನು ತಲುಪುತ್ತದೆ ಮತ್ತು ನಡೆಸಲು ಪ್ರಾರಂಭವಾಗುತ್ತದೆ. ಈ ಮೌಲ್ಯವನ್ನು ಕೆಳಗೆ, J1 ಪ್ರತಿರೋಧ ಗಮನಾರ್ಹವಾಗಿ ಹೆಚ್ಚು ಮತ್ತು ಹೀಗೆ ಆಫ್ ಸ್ಥಿತಿಯಲ್ಲಿ ಎಂದು ಹೇಳಲಾಗುತ್ತದೆ.

ಆನ್ ಸ್ಥಿತಿ (ವಾಹಕ ಮೋಡ್) -.

ಹಿಮಪಾತದ ವೋಲ್ಟೇಜ್ ಮೇಲಿನ ಆನೋಡ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವಿನ ಸಂಭಾವ್ಯ ವ್ಯತ್ಯಾಸವನ್ನು ಹೆಚ್ಚಿಸುವ

MODULE 5

ಮೂಲಕ ಅಥವಾ ಗೇಟ್‌ನಲ್ಲಿ ಧನಾತ್ಮಕ ಸಂಕೇತವನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಒಂದು SCR ಅನ್ನು ಈ ಸ್ಥಿತಿಗೆ ತರಲಾಗುತ್ತದೆ. ತಕ್ಷಣ SCR ನಡೆಸಲು ಪ್ರಾರಂಭವಾಗುತ್ತದೆ, ಗೇಟ್ ವೋಲ್ಟೇಜ್ ಇನ್ನು ಮುಂದೆ ON ಸ್ಥಿತಿಯನ್ನು ನಿರ್ವಹಿಸಲು ಅಗತ್ಯವಿಲ್ಲ ಮತ್ತು ಆದ್ದರಿಂದ, ಮೂಲಕ ಸ್ವಿಚ್ ಆಫ್ ಆಗಿದೆ.

೦ ಜಂಕ್ಷನ್ ಅಡ್ಡಲಾಗಿ ಇರಿಸಲಾದ ಟ್ರಾನ್ಸಿಸ್ಟರ್ ಬಳಸಿಕೊಂಡು ಪ್ರಸ್ತುತ

೦ ಹಿಡಿದಿಡಲು ಎಂದು ಕರೆಯಲ್ಪಡುವ ಅತ್ಯಂತ ಕಡಿಮೆ ಮೌಲ್ಯಕ್ಕೆ ಅದರ ಮೂಲಕ ಪ್ರಸ್ತುತ ಹರಿವನ್ನು ಕಡಿಮೆ ಮಾಡುವುದು.

ಹಿಮ್ಮುಖ ತಡೆಗಟ್ಟುವಿಕೆ -.

ಇದು ಮುಂದೆ ವೋಲ್ಟೇಜ್ ಕುಸಿತವನ್ನು ಸರಿದೂಗಿಸುತ್ತದೆ. ಈ 864-34 ರಲ್ಲಿ ಕಡಿಮೆ ಡೋಪ್ ಪ್ರದೇಶ ಅಗತ್ಯವಿದೆ ಎಂದು ವಾಸ್ತವವಾಗಿ ಕಾರಣ.

ಇದು ಮುಂದೆ ಮತ್ತು ರಿವರ್ಸ್ ತಡೆಗೋಡೆ ವೋಲ್ಟೇಜ್ ರೇಟಿಂಗ್‌ಗಳು ಸಮಾನವಾಗಿರುತ್ತದೆ ಎಂದು ಗಮನಿಸಬೇಕು.

एससीआर मध्ये ऑपरेशन पद्धती

*** ऑफ स्टेट (फॉरवर्ड ब्लॉकिंग मोड)** - येथे एनोडला सकारात्मक व्होल्टेज नियुक्त केले जाते, गेटला शून्य व्होल्टेज (विघटित) नियुक्त केले जाते आणि कॅथोडला नकारात्मक व्होल्टेज नियुक्त केले जाते. परिणामी जंक्शन J1 आणि J3 फॉरवर्ड बायसमध्ये आहे तर J2 रिव्हर्स बायसमध्ये आहे. J2 त्याच्या ब्रेकडाउन हिमस्खलन मूल्य पोहोचते आणि आचार सुरू होते. हे मूल्य खाली, J1 च्या प्रतिकार लक्षणीय उच्च आहे आणि अशा प्रकारे बंद राज्यात असे म्हटले जाते.

*** चालू राज्य (चलन मोड)** - हिमस्खलन व्होल्टेज वरील anode आणि कॅथोड दरम्यान संभाव्य फरक वाढवून किंवा गेट वर सकारात्मक सिग्नल लागू करून एक SCR या राज्यात आणले जाते. लगेच SCR आचार सुरू होते, गेट व्होल्टेज यापुढे ON राज्य राखण्यासाठी आवश्यक आहे आणि म्हणून, द्वारे बंद आहे -

ओ त्याच्या माध्यमातून वर्तमान प्रवाह कमी होणे सर्वात कमी मूल्य धारण चालू म्हणतात

ओ जंक्शन ओलांडून ठेवले ट्रान्झिस्टर वापरणे.

* **रिव्हर्स ब्लॉकिंग** - हे फॉरवर्ड व्होल्टेजमधील ड्रॉपची भरपाई करते. हे 8322 मध्ये कमी डोपड प्रदेश आवश्यक आहे की खरं कारण आहे. फॉरवर्ड आणि रिव्हर्स ब्लॉकिंगचे व्होल्टेज रेटिंग समान आहेत हे लक्षात घेणे महत्वाचे आहे.

Characteristics of Thyristor

A thyristor is a four layer 3 junction p-n-p-n semiconductor device consisting of at least three p-n junctions, functioning as an electrical switch for high power operations. It has three basic terminals, namely the anode, cathode and the gate mounted on the semiconductor layers of the device. The symbolic diagram and the basic circuit diagram for determining the characteristics of thyristor is shown in the figure below,

ਥ੍ਰਿਸਟਰ ਗੁਣਲಕ್ಷਣਗಳੁ ਓ ਥ੍ਰਿਸਟਰ ਨਾਨ੍ਯੁ ਪਦਰ 3 ਜੰਕਸ਼ਨ ਪੀ-ਓ-ਪੀ-ਓ ਅਰੰਭਾਕ ਸਾਧਨਵਾਗਿਦ੍ਯੁ, ਕਨਿਞ੍ਯੁ ਮੂਰੁ ਪੀ-ਓ ਜੰਕਸ਼ਨਾਂਨ੍ਯੁ ਓਯਗੋਂਡਿਰੁਤ੍ਤਦੇ, ਕੰਞ੍ਯੁਨ ਵਿਦ੍ਯੁਤ ਕਾਰ੍ਯਾਚਰਣਾਂਗੀਗੇ ਵਿਦ੍ਯੁਤ ਸ੍ਵਿਚ ਅਗਿ ਕਾਰ੍ਯਨਿਵਹਿਸੁਤ੍ਤਦੇ.ਐਦੁ ਮੂਰੁ ਮੂਲਭੂਤ ਓਮਿਯਨਾਂਨ੍ਯੁ ਕੋਂਡਿਦੇ, ਅਵੁਗਾਂਓਦਰੇ ਅਨੋਡ, ਕਥੋਡ ਮਤ੍ਤੁ ਸਾਧਨਦ ਅਰੰਭਾਕ ਪਦਰਾਂਗ ਮੇਲੇ ਜੋਓਡਿਸਲਾਦ ਗੇਟ.ਸਾਨਕੇਤਿਕ ਰੇਖਾਚਿਤ੍ਰ ਮਤ੍ਤੁ thyristor ਗੁਣਲಕ್ಷਣਾਂਨ੍ਯੁ ਨਿਧਰਿਸਲੁ ਮੂਲ ਸਕ੍ਯੂਓ ਰੇਖਾਚਿਤ੍ਰ ਕੰਯਗਿਨ ਚਿਤ੍ਰਦਲ੍ਲਿ ਤੋਰਿਸਲਾਗਿਦੇ.,

ਥਾਯਰਾਇਸਟਰਚੀ ਵੈਸ਼ਿਸ਼ਟ੍ਯੇ

ਓਕ thyristor ਚਾਰ ਥਰ 3 ਜੰਕਸ਼ਨ ਪੀ-ਓ-ਪੀ-ਓ ਸੇਮੀਕੰਡਕਟਰ ਸਾਧਨ ਕਿਮਾਨ ਤੀਨ ਪੀ-ਓ ਜੰਕਸ਼ਨ ਸਮਾਵੇਸ਼ ਓਹੇ, ਉਚ੍ਯ ਪਾਵਰ ਆਪਰੇਸ਼ਨ ਸਾਠੀ ਓਕ ਵਿਦ੍ਯੁਤ ਸਵਿਚ ਮ੍ਹਣੂਨ ਕਾਰ੍ਯ ਕਰਤੇ. ਤ੍ਯਾਤ ਤੀਨ ਮੂਲਭੂਤ ਟਰਮਿਨਲ੍ਸ ਓਹੇਤ, ਮ੍ਹਣਾਜੇ ਓਨੋਡ, ਕੰਥੋਡ ਓਗਿ ਡਿਵਾਇਸਚ੍ਯਾ ਸੇਮੀਕੰਡਕਟਰ ਲੇਯਸਵਰ ਲਾਵਲੇਲੇ ਗੇਟ. thyristor ਚ੍ਯਾ ਵੈਸ਼ਿਸ਼ਟ੍ਯੇ ਨਿਸ਼ਿਚਤ ਕਰਨ੍ਯਾਸਾਠੀ ਪ੍ਰਤਿਕਾਤ੍ਮਕ ਰੇਖਾਚਿਤ੍ਰ ਓਗਿ ਮੂਲਭੂਤ ਸਕਿਟ ਰੇਖਾਚਿਤ੍ਰ ਖਾਲੀ ਓਕ੍ਰੁਤੀ ਮਧ੍ਯੇ ਦਰਸ਼ਵਿਲੇ ਓਹੇ,

Characteristics of a Thyristor

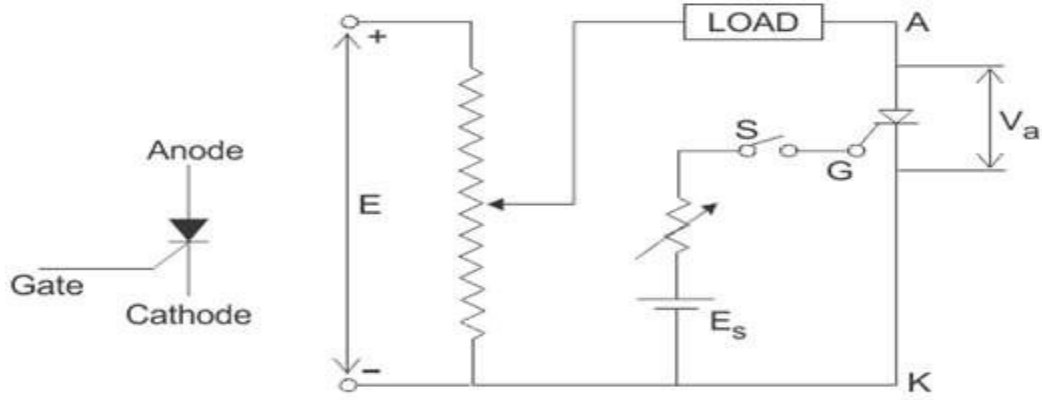


Figure: 5.6. Circuit diagram for characteristics of SCR

From the circuit diagram above we can see the anode and cathode are connected to the supply voltage through the load. Another secondary supply E_s is applied between the gate and the cathode terminal which supplies for the positive gate current when the switch S is closed. On giving the supply we get the required V-I characteristics of a thyristor show in the figure below for anode to cathode voltage V_a and anode current I_a as we can see from the circuit diagram. A detailed study of the characteristics reveal that the thyristor has three basic modes of operation, namely the reverse blocking mode, forward blocking (off-state) mode and forward conduction (on-state) mode. Which are discussed in great details below, to understand the overall characteristics of a thyristor.

ಮೇಲಿನ ಸರ್ಕ್ಯೂಟ್ ರೇಖಾಚಿತ್ರದಿಂದ ನಾವು ಆನೋಡ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ಅನ್ನು ಲೋಡ್ ಮೂಲಕ ಸರಬರಾಜು ವೋಲ್ಟೇಜ್ ಸಂಪರ್ಕಿಸಲಾಗಿದೆ ಎಂದು ನೋಡಬಹುದು. ಮತ್ತೊಂದು ದ್ವಿತೀಯಕ ಸರಬರಾಜು E_s ಅನ್ನು ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ಟರ್ಮಿನಲ್ ನಡುವೆ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ, ಇದು ಸ್ವಿಚ್ ಎಸ್ ಮುಚ್ಚಿದಾಗ ಧನಾತ್ಮಕ ಗೇಟ್ ಪ್ರವಾಹಕ್ಕೆ ಸರಬರಾಜು ಮಾಡುತ್ತದೆ. ಸರಬರಾಜನ್ನು ನೀಡಿದಾಗ ನಾವು ಸರ್ಕ್ಯೂಟ್ ರೇಖಾಚಿತ್ರದಿಂದ ನೋಡಬಹುದಾದಂತೆ ಆನೋಡ್‌ನಿಂದ ಕ್ಯಾಥೋಡ್ ವೋಲ್ಟೇಜ್ ವ್ಯಾಂಡ್ ಆನೋಡ್ ಕರೆಂಟ್ I_a ಗೆ ಕೆಳಗಿನ ಚಿತ್ರದಲ್ಲಿ ಥೈರಿಸ್ಟರ್ ಪ್ರದರ್ಶನದ ಅಗತ್ಯವಾದ ವಿ-ಐ ಗುಣಲಕ್ಷಣಗಳನ್ನು ಪಡೆಯುತ್ತೇವೆ. ಗುಣಲಕ್ಷಣಗಳ ವಿವರವಾದ ಅಧ್ಯಯನವು ಥೈರಿಸ್ಟರ್ ಮೂರು ಮೂಲಭೂತ ವಿಧಾನಗಳನ್ನು ಹೊಂದಿದೆ ಎಂದು ಬಹಿರಂಗಪಡಿಸುತ್ತದೆ, ಅವುಗಳೆಂದರೆ ಹಿಮ್ಮುಖ ತಡೆಗಟ್ಟುವ ಮೋಡ್, ಮುಂದಕ್ಕೆ ತಡೆಯುವ (ಆಫ್-ಸ್ಟೇಟ್) ಮೋಡ್ ಮತ್ತು ಮುಂದಕ್ಕೆ ಸಾಗಿಸುವ (ಆನ್-ಸ್ಟೇಟ್) ಮೋಡ್. ಕೆಳಗೆ ಮಹಾನ್ ವಿವರಗಳಲ್ಲಿ ಚರ್ಚಿಸಲಾಗಿದೆ ಯಾವ, ಒಂದು thyristor ಒಟ್ಟಾರೆ ಗುಣಲಕ್ಷಣಗಳನ್ನು ಅರ್ಥಮಾಡಿಕೊಳ್ಳಲು.

MODULE 5

वरील सर्किट रेखाचित्र पासून आपण एनोड आणि कॅथोड लोड माध्यमातून पुरवठा व्होल्टेज जोडलेले आहेत पाहू शकता. आणखी दुय्यम पुरवठा E_s गेट आणि कॅथोड टर्मिनल दरम्यान लागू आहे जे स्विच एस बंद आहे तेव्हा सकारात्मक गेट चालू पुरवठा. पुरवठा देताना आपण कॅथोड व्होल्टेज V_{and} anode चालू I_a करण्यासाठी anode साठी खालील आकृती मध्ये एक thyristor शो आवश्यक व्ही-आय वैशिष्ट्ये प्राप्त आम्ही सर्किट रेखाचित्र पाहू शकता म्हणून. वैशिष्ट्ये सविस्तर अभ्यास thyristor ऑपरेशन तीन मूलभूत पद्धती आहेत की प्रकट, म्हणजे उलट अवरोधित मोड, पुढे अवरोधित (ऑफ-स्टेट) मोड आणि पुढे चालविण्यास (ऑन-स्टेट) मोड. जे एक thyristor एकूण वैशिष्ट्ये समजून घेण्यासाठी, खाली महान तपशील चर्चा केली जाते.

Reverse Blocking Mode of Thyristor

Initially for the reverse blocking mode of the thyristor, the cathode is made positive with respect to anode by supplying voltage E and the gate to cathode supply voltage E_s is detached initially by keeping switch S open. For understanding this mode we should look into the fourth quadrant where the thyristor is reverse biased.

थायराईस्टरचे रिव्हर्स ब्लॉकिंग मोड

सुरुवातीला थायराईस्टरच्या रिव्हर्स ब्लॉकिंग मोडसाठी, कॅथोडला व्होल्टेज ई पुरवठा करून एनोडच्या संदर्भात सकारात्मक केले जाते आणि कॅथोड पुरवठा व्होल्टेज ई चे गेट स्विच एस उघडे ठेवून सुरुवातीला वेगळे केले जाते. ही पद्धत समजून घेण्यासाठी आपण चौथ्या चौथ्या चौथ्या भागाकडे लक्ष दिले पाहिजे जेथे थायरिस्ट उलट पक्षपाती आहे.

ಥೈರಿಸ್ಟರ್ ರಿವರ್ಸ್ ಬ್ಲಾಕಿಂಗ್ ಮೋಡ್ - ಆರಂಭದಲ್ಲಿ ಥೈರಿಸ್ಟರ್ ರಿವರ್ಸ್ ಬ್ಲಾಕಿಂಗ್ ಮೋಡ್‌ನಲ್ಲಿ, ವೋಲ್ಟೇಜ್ ಇ ಅನ್ನು ಪೂರೈಸುವ ಮೂಲಕ ಆನೋಡ್ ಸಂಬಂಧಿಸಿದಂತೆ ಕ್ಯಾಥೋಡ್ ಅನ್ನು ಧನಾತ್ಮಕವಾಗಿ ಮಾಡಲಾಗುತ್ತದೆ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ಗೇಟ್ ಅನ್ನು ಸರಬರಾಜು ವೋಲ್ಟೇಜ್ ಇಎಸ್ ಸ್ವಿಚ್ ಎಸ್ ಅನ್ನು ತೆರೆದುಕೊಳ್ಳುವ ಮೂಲಕ ಆರಂಭದಲ್ಲಿ ಬೇರ್ಪಡಿಸಲಾಗುತ್ತದೆ. ಈ ಮೋಡ್ ಅನ್ನು ಅರ್ಥಮಾಡಿಕೊಳ್ಳಲು ನಾವು ನಾಲ್ಕನೇ ಚತುರ್ಥವನ್ನು ನೋಡಬೇಕು, ಅಲ್ಲಿ ಥೈರಿಸ್ಟರ್ ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗಿದೆ.

MODULE 5

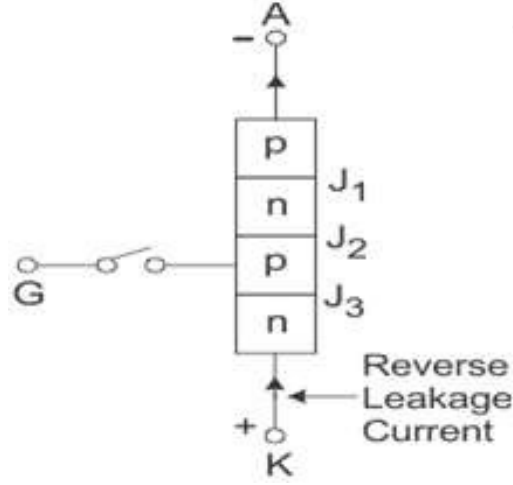


Figure: 5.7. Reverse blocking mode of SCR

Here Junctions J_1 and J_3 are reverse biased whereas the junction J_2 is forward biased. The behavior of the thyristor here is similar to that of two diodes are connected in series with reverse voltage applied across them. As a result only a small leakage current of the order of a few μAmps flows. This is the reverse blocking mode or the off-state, of the thyristor. If the reverse voltage is now increased, then at a particular voltage, known as the critical breakdown voltage V_{BR} , an avalanche occurs at J_1 and J_3 and the reverse current increases rapidly. A large current associated with V_{BR} gives rise to more losses in the SCR, which results in heating. This may lead to thyristor damage as the junction temperature may exceed its permissible temperature rise. It should, therefore, be ensured that maximum working reverse voltage across a thyristor does not exceed V_{BR} . When reverse voltage applied across a thyristor is less than V_{BR} , the device offers very high impedance in the reverse direction. The SCR in the reverse blocking mode may therefore be treated as open circuit.

ಇಲ್ಲಿ ಜಂಕ್ಷನ್ J_1 ಮತ್ತು J_3 ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗಿದ್ದರೆ, ಜಂಕ್ಷನ್ J_2 ಫಾರ್ವರ್ಡ್ ಪಕ್ಷಪಾತವಾಗಿದೆ. ಇಲ್ಲಿ ಥೈರಿಸ್ಟರ್ ವರ್ತನೆಯು ಎರಡು ಡಯೋಡ್‌ಗಳಂತೆಯೇ ಇರುತ್ತದೆ, ಅವುಗಳಾದ್ಯಂತ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್‌ನಿಂದಾಗಿ ಸರಣಿಯಲ್ಲಿ ಸಂಪರ್ಕ ಹೊಂದಿದೆ. ಪರಿಣಾಮವಾಗಿ ಕೆಲವೇ mAmps ಹರಿಯುವ ಕ್ರಮದ ಕೇವಲ ಒಂದು ಸಣ್ಣ ಸೋರಿಕೆ ಪ್ರವಾಹ. ಇದು ರಿವರ್ಸ್ ತಡೆಯುವ ಮೋಡ್ ಅಥವಾ ಆಫ್ ಸ್ಥಿತಿ, thyristor ನ. ಹಿಮ್ಮುಖ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಈಗ ಹೆಚ್ಚಿಸಿದರೆ, ವಿಮರ್ಶಾತ್ಮಕ ಬ್ರೇಕ್ಡೌನ್ ವೋಲ್ಟೇಜ್ ವಿಬಿಆರ್ ಎಂದು ಕರೆಯಲ್ಪಡುವ ನಿರ್ದಿಷ್ಟ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ, J_1 ಮತ್ತು J_3 ನಲ್ಲಿ ಹಿಮಪಾತವು ಸಂಭವಿಸುತ್ತದೆ ಮತ್ತು ಹಿಮ್ಮುಖ ಪ್ರವಾಹವು ವೇಗವಾಗಿ ಹೆಚ್ಚಾಗುತ್ತದೆ. ವಿಬಿಆರ್ಗೆ ಸಂಬಂಧಿಸಿದ ಒಂದು ದೊಡ್ಡ ಪ್ರವಾಹವು ಎಸ್ಸಿಆರ್‌ನಲ್ಲಿ ಹೆಚ್ಚಿನ ನಷ್ಟವನ್ನು ಉಂಟುಮಾಡುತ್ತದೆ, ಇದು ಬಿಸಿಯಾಗಲು ಕಾರಣವಾಗುತ್ತದೆ. ಇದು ಥೈರಿಸ್ಟರ್ ಹಾನಿಗೆ ಕಾರಣವಾಗಬಹುದು

MODULE 5

ಎಕೆಂದರೆ ಜಂಕ್ಷನ್ ತಾಪಮಾನವು ಅದರ ಅನುಮತಿಸಲಾದ ತಾಪಮಾನ ಏರಿಕೆಯನ್ನು ಮೀರಬಹುದು. ಆದ್ದರಿಂದ, ಒಂದು ಥೈರಿಸ್ಟರ್ನಾದ್ಯಂತ ಗರಿಷ್ಠ ಕೆಲಸ ಮಾಡುವ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ವಿಬಿಆರ್ ಅನ್ನು ಮೀರುವುದಿಲ್ಲ ಎಂದು ಖಚಿತಪಡಿಸಿಕೊಳ್ಳಬೇಕು. ಒಂದು ಥೈರಿಸ್ಟರ್ನ ಉದ್ದಕ್ಕೂ ಅನ್ವಯಿಸಲಾದ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ವಿಬಿಆರ್‌ಗಿಂತ ಕಡಿಮೆಯಿರುವಾಗ, ಸಾಧನವು ರಿವರ್ಸ್ ದಿಕ್ಕಿನಲ್ಲಿ ಬಹಳ ಹೆಚ್ಚಿನ ಪ್ರತಿರೋಧವನ್ನು ನೀಡುತ್ತದೆ. ಹಿಮ್ಮುಖ ತಡೆಗಟ್ಟುವ ಕ್ರಮದಲ್ಲಿ SCR ಆದ್ದರಿಂದ ಮುಕ್ತ ಸರ್ಕ್ಯೂಟ್ ಪರಿಗಣಿಸಬಹುದು.

ಯೆಥೆ ಜಂಕ್ಷನ್ J1 ಆಗಿ J3 ಉಲಟ ಪಕ್ಷಪಾತೀ ಆಹೇತ ಟರ ಜಂಕ್ಷನ್ J2 ಪುಡೆ ಪಕ್ಷಪಾತೀ ಆಹೇ. ಯೆಥೆ thyristor ಚ್ಯಾ ವರ್ತನ ದೊನ diodes ಸಮಾನ ಆಹೇ ಟ್ಯಾನ್ಯಾ ಆಲಾಂಡ್ನ್ ಲಾಗ್ನ್ ಉಲಟ ವ್ಹೋಲ್ಟೇಜ ಸಹ ಮಾಲಿಕೇತ ಜೊಡಲೇಲೆ ಆಹೇತ. ಪರಿಣಾಮೀ ಕಾಹೀ mAmps ಚ್ಯಾ ಕ್ರಮಾನೆ ಫಕ್ತ ಁಕ ಲಹಾನ್ ಗಡ್ಡತೀ ಚಾಲ್ ವಾಹತೆ. ಹೆ ಆಹೇ ರಿವ್ಹರ್ಸ್ ಬ್ಲಾಕಿಂಗ್ ಮೊಡ ಕಿನ್ವಾ ಆಫ್ ಸ್ಟೇಟ್, ಥಾಯರ್‌ಔಸ್ಟರ್‌ಚೆ. ಜರ ಆತಾ ರಿವ್ಹರ್ಸ್ ವ್ಹೋಲ್ಟೇಜ ವಾಡಲಾ ಅಸೇಲ ಟರ ಁಕಾ ವಿಶಿಷ್ಟ ವ್ಹೋಲ್ಟೇಜವರ, ಜ್ಯಾಲಾ ಕ್ರಿಟಿಕಲ್ ಬ್ರೇಕಡಾನ್ ವ್ಹೋಲ್ಟೇಜ VBR ಮ್ಹಣ್ನ್ ಆಡ್ಖಲೆ ಜಾತೆ, ಹಿಮಸ್ಖಲನ್ J1 ಆಗಿ J3 ವರ ಹೊತೆ ಆಗಿ ರಿವ್ಹರ್ಸ್ ಕರಂಟ್ ವೆಗಾನೆ ವಾಡತೊ. ವ್ಹಿಬಿಆರ್‌ಶೀ ನಿಗಡೀತ ಁಕ ಮೊಠಾ ಪರ್ವಾಹ ಁಸಸೀಆರಮಧ್ಯೆ ಅಧಿಕ ಟೊಡ್ಯಾಸ ಕಾರಣೀಭೂತ ಠರತೊ, ಜ್ಯಾಚಾ ಪರಿಣಾಮ ಹೀಟಿಂಗಮಧ್ಯೆ ಹೊತೊ. ಹೆ thyristor ನುಕಸಾನ್ ಹೊಝ ಶಕ್ತೆ ಜಂಕ್ಷನ್ ಟಾಪಮಾನ್ ಟ್ಯಾಚ್ಯಾ ಪರ್ವಾನ್‌ಗೀ ಟಾಪಮಾನ್‌ವಾಡ ಪೆಕ್ಷಾ ಜಾಸ್ತ ಅಸ್ಫ ಶಕ್ತೆ ಮ್ಹಣ್ನ್. ಟ್ಯಾಮುಡೆ ಁಕ thyristor ಆಲಾಂಡ್ನ್ ಜಾಸ್ತೀತ ಜಾಸ್ತ ಕಾಮ ಉಲಟ ವ್ಹೋಲ್ಟೇಜ VBR ಪೆಕ್ಷಾ ಜಾಸ್ತ ನಾಹೀ ಯಾಚೀ ಖಾತ್ರಿ ಕರಾವೀ. ಁಕ thyristor ಆಲಾಂಡ್ನ್ ಲಾಗ್ನ್ ಉಲಟ ವ್ಹೋಲ್ಟೇಜ VBR ಪೆಕ್ಷಾ ಕಮೀ ಆಹೇ, ಟೆವ್ಹಾ ಸಾಧನ್ ಉಲಟ ದಿಶೆನೆ ಖ್ಫ ಉಚ್ಚ impedance ದೇತೆ. ರಿವ್ಹರ್ಸ್ ಬ್ಲಾಕಿಂಗ್ ಮೊಡಮಧ್ಯೆ SCR ಮ್ಹಣ್ನ್ ಆಪನ್ ಸರ್ಕ್ಯಿಟ್ ಮಾನ್ಲೆ ಜಾಝ ಶಕ್ತೆ.

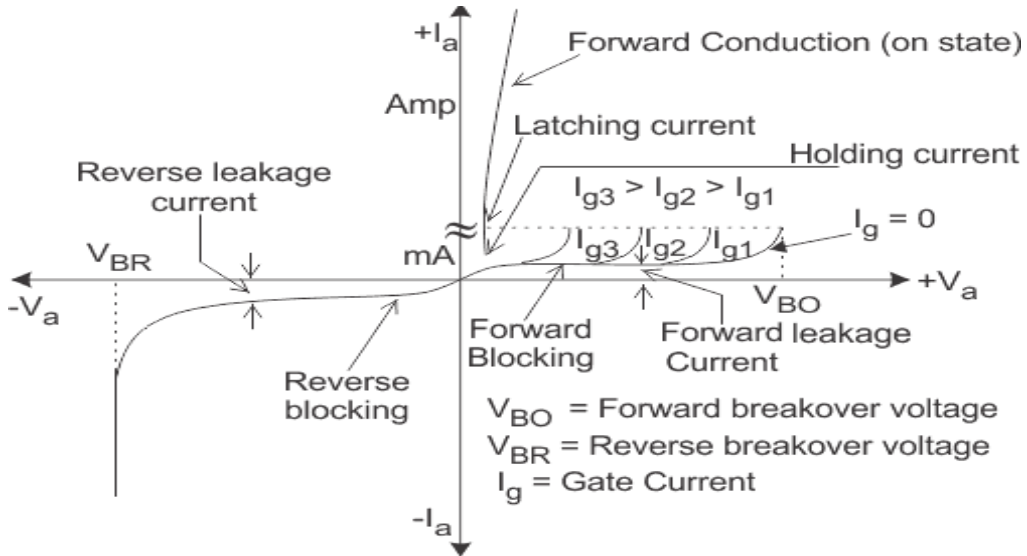


Figure: 5.8. V- I characteristics of SCR

MODULE 5

Forward Blocking Mode Now considering the anode is positive with respect to the cathode, with gate kept in open condition. The thyristor is now said to be forward biased as shown the figure below.

ಫಾರ್ವರ್ಡ್ ನಿರೋಧನ ಮೋಡ್ - ಈಗ ಆನೋಡ್ ಅನ್ನು ಪರಿಗಣಿಸುವುದು ಕ್ಯಾಥೋಡ್ಗೆ ಸಂಬಂಧಿಸಿದಂತೆ ಧನಾತ್ಮಕವಾಗಿರುತ್ತದೆ, ಗೇಟ್ ಅನ್ನು ತೆರೆದ ಸ್ಥಿತಿಯಲ್ಲಿ ಇರಿಸಲಾಗುತ್ತದೆ. ಥೈರಿಸ್ಟರ್ ಈಗ ಕೆಳಗಿನ ಫಿಗರ್ ತೋರಿಸಿರುವಂತೆ ಮುಂದೆ ಪಕ್ಷಪಾತ ಎಂದು ಹೇಳಲಾಗುತ್ತದೆ.

फॉरवर्ड ब्लॉकिंग मोड आता एनोडचा विचार केल्यास कॅथोडच्या संदर्भात सकारात्मक आहे, खुल्या स्थितीत ठेवलेल्या गेटसह. आता thyristor खाली आकृती दर्शविल्याप्रमाणे पुढे पक्षपाती म्हटले जाते.

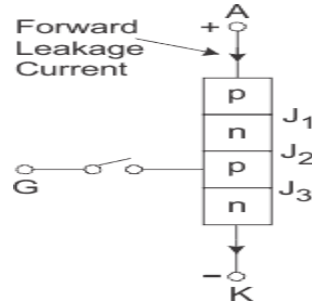


Figure: 5.9. Forward connection of SCR

As we can see the junctions J_1 and J_3 are now forward biased but junction J_2 goes into reverse biased condition. In this particular mode, a small current, called forward leakage current is allowed to flow initially as shown in the diagram for characteristics of thyristor. Now, if we keep on increasing the forward biased anode to cathode voltage.

In this particular mode, the thyristor conducts currents from anode to cathode with a very small voltage drop across it. A thyristor is brought from forward blocking mode to forward conduction mode by turning it on by exceeding the forward break over voltage or by applying a gate pulse between gate and cathode. In this mode, thyristor is in on-state and behaves like a closed switch. Voltage drop across thyristor in the on state is of the order of 1 to 2 V depending beyond a certain point, then the reverse biased junction J_2 will have an avalanche breakdown at a voltage called forward break over voltage V_{BO} of the thyristor. But, if we keep the forward voltage less than V_{BO} , we can see from the characteristics of thyristor, that the device offers high impedance. Thus even here the thyristor operates as an open switch during the forward blocking mode.

MODULE 5

ನಾವು J1 ಮತ್ತು J3 ಜಂಕ್ಷನ್‌ಗಳನ್ನು ನೋಡಬಹುದು ಈಗ ಮುಂದೆ ಪಕ್ಷಪಾತಿಯಾಗಿದೆ ಆದರೆ ಜಂಕ್ಷನ್ J2 ರಿವರ್ಸ್ ಪಕ್ಷಪಾತ ಸ್ಥಿತಿಗೆ ಹೋಗುತ್ತದೆ. ಈ ನಿರ್ದಿಷ್ಟ ಮೋಡ್‌ನಲ್ಲಿ, ಥೈರಿಸ್ಟರ್ ಗುಣಲಕ್ಷಣಗಳಿಗಾಗಿ ರೇಖಾಚಿತ್ರದಲ್ಲಿ ತೋರಿಸಿರುವಂತೆ ಫಾರ್ವರ್ಡ್ ಸೋರಿಕೆ ಪ್ರವಾಹ ಎಂದು ಕರೆಯಲ್ಪಡುವ ಸಣ್ಣ ಪ್ರವಾಹವನ್ನು ಆರಂಭದಲ್ಲಿ ಹರಿಯಲು ಅನುಮತಿಸಲಾಗುತ್ತದೆ. ಈಗ, ನಾವು ಕ್ಯಾಥೋಡ್ ವೋಲ್ಟೇಜ್ ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತದ ಆನೋಡ್ ಅನ್ನು ಹೆಚ್ಚಿಸುವುದನ್ನು ಮುಂದುವರಿಸಿದರೆ.

ಈ ನಿರ್ದಿಷ್ಟ ಮೋಡ್‌ನಲ್ಲಿ, ಥೈರಿಸ್ಟರ್ ಆನೋಡ್‌ನಿಂದ ಕ್ಯಾಥೋಡ್ ಅದರ ಉದ್ದಕ್ಕೂ ಬಹಳ ಸಣ್ಣ ವೋಲ್ಟೇಜ್ ಡ್ರಾಪ್‌ನಿಂದಾಗಿ ಪ್ರವಾಹಗಳನ್ನು ನಡೆಸುತ್ತದೆ. ಒಂದು ಥೈರಿಸ್ಟರ್ ಅನ್ನು ಮುಂದಕ್ಕೆ ನಿರ್ಬಂಧಿಸುವ ಕ್ರಮದಿಂದ ಮುಂದಕ್ಕೆ ಸಾಗಿಸುವ ಕ್ರಮಕ್ಕೆ ತರಲಾಗುತ್ತದೆ, ಅದನ್ನು ವೋಲ್ಟೇಜ್ ಮೇಲೆ ಮುಂದಕ್ಕೆ ಮುರಿಯುವುದನ್ನು ಮೀರಿಸುವ ಮೂಲಕ ಅಥವಾ ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವೆ ಗೇಟ್ ಪಲ್ಸ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಆನ್ ಮಾಡಲಾಗುತ್ತದೆ. ಈ ಮೋಡ್‌ನಲ್ಲಿ, ಥೈರಿಸ್ಟರ್ ಆನ್-ಸ್ಟೇಟ್‌ನಲ್ಲಿ ಮತ್ತು ಮುಚ್ಚಿದ ಸ್ಥಿತಿಗಿಂತ ವರ್ತಿಸುತ್ತದೆ. ಆನ್ ಸ್ಟೇಟ್‌ನಲ್ಲಿನ ಥೈರಿಸ್ಟರ್‌ನಾದ್ಯಂತ ವೋಲ್ಟೇಜ್ ಕುಸಿತವು ಒಂದು ನಿರ್ದಿಷ್ಟ ಬಿಂದುವನ್ನು ಮೀರಿ 1 ರಿಂದ 2 ವಿ ಕ್ರಮದಲ್ಲಿದೆ, ನಂತರ ರಿವರ್ಸ್ ಬಯಾಸ್ಡ್ ಜಂಕ್ಷನ್ J2 ಥೈರಿಸ್ಟರ್ ವೋಲ್ಟೇಜ್ VBO ರ ಮೇಲೆ ಮುಂದಕ್ಕೆ ಬ್ರೇಕ್ ಎಂಬ ವೋಲ್ಟೇಜ್‌ನಲ್ಲಿ ಹಿಮಪಾತದ ಕುಸಿತವನ್ನು ಹೊಂದಿರುತ್ತದೆ. ಆದರೆ, ನಾವು ಫಾರ್ವರ್ಡ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ವಿಬಿಬಿಗಿಂತ ಕಡಿಮೆ ಇರಿಸಿದರೆ, ಥೈರಿಸ್ಟರ್ ಗುಣಲಕ್ಷಣಗಳಿಂದ ನಾವು ನೋಡಬಹುದು, ಸಾಧನವು ಹೆಚ್ಚಿನ ಪ್ರತಿರೋಧವನ್ನು ನೀಡುತ್ತದೆ. ಹೀಗಾಗಿ ಇಲ್ಲಿ ಸಹ thyristor ಮುಂದೆ ತಡೆಯುವ ಮೋಡ್ ಸಮಯದಲ್ಲಿ ತೆರೆದ ಸ್ಟಿಚ್ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ.

आम्ही जंक्शन पाहू शकता म्हणून J1 आणि J3 आता पुढे पक्षपाती आहेत पण जंक्शन J2 उलट पक्षपाती स्थितीत जातो. या विशिष्ट मोडमध्ये, थायराईस्टरच्या वैशिष्ट्यांसाठी रेखाचित्रात दर्शविल्याप्रमाणे सुरुवातीला एक लहान प्रवाह, ज्याला फॉरवर्ड लीकेज करंट म्हणतात, प्रवाह करण्याची परवानगी आहे. आता, आपण पुढे पक्षपाती anode कॅथोड व्होल्टेज करण्यासाठी वाढत आसेल तर.

या विशिष्ट मोडमध्ये, थायराईस्टर ऑनोडपासून कॅथोडपर्यंत प्रवाह चालविते ज्याच्या पलीकडे खूप लहान व्होल्टेज ड्रॉप आहे. एक thyristor पुढे अवरोधित मोड पासून पुढे चालन मोड पुढे आणले जाते व्होल्टेज प्रती पुढे ब्रेक ओलांडून किंवा गेट आणि कॅथोड दरम्यान एक गेट नाडी अर्ज करून तो चालू. या मोडमध्ये, थायराईस्टर ऑन-स्टेटमध्ये आहे आणि बंद स्विचप्रमाणे वागतो. राज्यातील

थायरॉईस्टर ओलांडून व्होल्टेज ड्रॉप एक विशिष्ट बिंदू पलीकडे अवलंबून 1 ते 2 व्ही क्रम आहे, नंतर उलट पक्षपाती जंक्शन J2 थायरॉईस्टर च्या व्होल्टेज VBO वर पुढे ब्रेक म्हणतात एक व्होल्टेज येथे हिमस्खलन खंडित होईल. पण, जर आपण VBO पेक्षा पुढे व्होल्टेज कमी ठेवतो, तर आपण थायरिस्टरच्या वैशिष्ट्यांमधून पाहू शकतो, की डिव्हाइस उच्च प्रतिबाधा ऑफर करते. अशा प्रकारे येथे देखील थायरॉईस्टर फॉरवर्ड ब्लॉकिंग मोड दरम्यान ओपन स्विच म्हणून कार्य करते.

Forward Conduction Mode

When the anode to cathode forward voltage is increased, with gate circuit open, the reverse junction J_2 will have an avalanche breakdown at forward break over voltage V_{BO} leading to thyristor turn on. Once the thyristor is turned on we can see from the diagram for characteristics of thyristor, that the point M at once shifts toward N and then anywhere between N and K. Here NK represents the forward conduction mode of the thyristor. In this mode of operation, the thyristor conducts maximum current with minimum

voltage drop, this is known as the forward conduction forward conduction or the turn on mode of the thyristor.

ಫಾರ್ವರ್ಡ್ ಕಾಂಡಕ್ಷನ್ ಮೋಡ್ - ಕ್ಯಾಥೋಡ್ ಫಾರ್ವರ್ಡ್ ವೋಲ್ಟೇಜ್ ಆನೋಡ್ ಹೆಚ್ಚಾದಾಗ, ಗೇಟ್ ಸರ್ಕ್ಯೂಟ್ ತೆರೆದಿರುತ್ತದೆ, ರಿವರ್ಸ್ ಜಂಕ್ಷನ್ J2 ಮುಂದೆ ಬ್ರೇಕ್ ಓವರ್ ವೋಲ್ಟೇಜ್ ವಿಬಿಒ ಒಂದು ಹಿಮಹಾವುಗೆಗಳು ಬ್ರೇಕ್ ಹೊಂದಿರುತ್ತದೆ thyristor ಆನ್ ಕಾರಣವಾಗುತ್ತದೆ. ಥೈರಿಸ್ಟರ್ ಅನ್ನು ಆನ್ ಮಾಡಿದ ನಂತರ, ಥೈರಿಸ್ಟರ್ ಗುಣಲಕ್ಷಣಗಳಿಗಾಗಿ ರೇಖಾಚಿತ್ರದಿಂದ ನಾವು ನೋಡಬಹುದು, ಒಮ್ಮೆ M ಬಿಂದುವು N ನ ಕಡೆಗೆ ಬದಲಾಗುತ್ತದೆ ಮತ್ತು ನಂತರ N ಮತ್ತು ಕೆ ನಡುವೆ ಎಲ್ಲಿಯಾದರೂ.

ಈ ಕಾರ್ಯಾಚರಣೆಯ ವಿಧಾನದಲ್ಲಿ, ಥೈರಿಸ್ವರ್ ಕನಿಷ್ಠ ವೋಲ್ಟೇಜ್ ಡ್ರಾಪ್ಪೊಂದಿಗೆ ಗರಿಷ್ಠ ಪ್ರವಾಹವನ್ನು ನಡೆಸುತ್ತದೆ, ಇದನ್ನು ಫಾರ್ವರ್ಡ್ ಕಂಡಕ್ಷನ್ ಫಾರ್ವರ್ಡ್ ವಾಹಕತೆ ಅಥವಾ ಥೈರಿಸ್ವರ್ ಟರ್ನ್ ಆನ್ ಮೋಡ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

फॉरवर्ड कंडक्शन मोड

जेव्हा कॅथोड फॉरवर्ड व्होल्टेजला एनोड वाढविले जाते, तेव्हा गेट सर्किट ओपनसह, रिव्हर्स जंक्शन J2 मध्ये व्होल्टेज VBO वर फॉरवर्ड ब्रेकवर हिमस्खलन होईल ज्यामुळे थायरिस्टर चालू होईल. एकदा thyristor चालू आहे आम्ही thyristor वैशिष्ट्ये आकृती पाहू शकता, बिंदू एम एकदा एन दिशेने आणि नंतर कुठेही एन आणि के दरम्यान बदलू की. येथे एनके thyristor पठे चालविण्यास मोड

MODULE 5

ಪ್ರತಿನಿಧಿತ್ವ ಕರತೊ. ಆಪರೇಶನ ಯಾ ಢೊಡಢಧ್ಯೆ, ಥಾಯರ್‌ಝೆಸ್ಟರ್ ಕಿಢಾನ್ ಸಹ ಜಾಸ್ತೀತ ಜಾಸ್ತ ವರ್ತಢಾನ್ ಚಾಲತೆ

ವೊಲ್ಟೇಜ ಡ್ರಾಪ್, ಹೆ ಫಾರ್ವರ್ಡ್ ಕಂಡಕ್ಷನ ಫಾರ್ವರ್ಡ್ ಕಂಡಕ್ಷನ ಕಿನ್ವಾ ಥಾಯರ್‌ಝೆಸ್ಟರ್‌ಚ್ಯಾ ಟರ್ನ್ ಆನ್ ಢೊಡ ಢ್ಹಣ್ನ್ ಆೊಕಖಲೆ ಜಾತೆ.

Turn on methods of SCR

The turning on Process of the SCR is known as Triggering. In other words, turning the SCR from Forward-Blocking state to Forward-Conduction state is known as Triggering. The various methods of SCR triggering are discussed here.

The various SCR triggering methods are

- Forward Voltage Triggering
- Thermal or Temperature Triggering
- Radiation or Light triggering
- dv/dt Triggering
- Gate Triggering

ಎಸ್ಸಿಆರ್ನ್ ವಿಧಾನಗಲನ್ನು ಆನ್ ಢಾಡಿ - ಎಸ್ಸಿಆರ್ನ್ ಪ್ರಕ್ರಿಯೆಯನ್ನು ಆನ್ ಢಾಡುವುದು ಟ್ರಿಗ್ಗರಿಂಗ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

ಬೇರೆ ರೀತಿಯಲ್ಲಿ ಹೇಳುವುದಾದರೆ, ಫಾರ್ವರ್ಡ್-ಬ್ಲಾಕಿಂಗ್ ಸ್ಥಿತಿಯಿಂದ ಫಾರ್ವರ್ಡ್-ಕಂಡಕ್ಷನ್ ಸ್ಥಿತಿಗೆ SCR ಅನ್ನು ತಿರುಗಿಸುವುದು

ಟ್ರಿಗ್ಗರಿಂಗ್ ಎಂದು ಕರೆಯಲ್ಪಡುತ್ತದೆ.SCR ಟ್ರಿಗ್ಗರ್ ಢಾಡುವ ವಿವಿಧ ವಿಧಾನಗಲನ್ನು ಇಲ್ಲಿ ಚರ್ಚಿಸಲಾಗಿದೆ.

ವಿವಿಧ ಎಸ್ಸಿಆರ್ ಪ್ರಚೋದಕ ವಿಧಾನಗಲೆಂದರೆ

- ಫಾರ್ವರ್ಡ್ ವೋಲ್ಟೇಜ್ ಟ್ರಿಗ್ಗರ್ ಢಾಡುವ ಉಷ್ಣ
- ತಾಪಢಾನ್ ಟ್ರಿಗ್ಗರ್ ಢಾಡುವ ವಿಕಿರಣ
- ಬೆಳಕು ಪ್ರಚೋದಕ
- ಡಿವಿ / ಡಿಟಿ ಟ್ರಿಗ್ಗರ್
- ಗೇಟ್ ಟ್ರಿಗ್ಗರ್ ಢಾಡುವುದು.

एससीआरच्या पद्धती चालू करा

एससीआरच्या प्रक्रियेला ट्रिगरिंग म्हणून ओळखले जाते. दुसऱ्या शब्दांत, फॉरवर्ड-ब्लॉकिंग स्टेटमधून फॉरवर्ड-कंडक्शन स्टेटमध्ये एससीआरला वळवणे हे ट्रिगरिंग म्हणून ओळखले जाते. एससीआर ट्रिगरिंगच्या विविध पद्धतींची चर्चा येथे केली जाते.

- विविध SCR ट्रिगर पद्धती आहेत
- फॉरवर्ड व्होल्टेज ट्रिगरिंग
- थर्मल किंवा तापमान ट्रिगर
- किरणोत्सर्ग किंवा प्रकाश ट्रिगर
- डीव्ही/डीटी ट्रिगरिंग
- गेट ट्रिगरिंग

(a) Forward Voltage Triggering:-

- In this mode, an additional forward voltage is applied between anode and cathode.
- When the anode terminal is positive with respect to cathode (V_{AK}), Junction J1 and J3 is forward biased and junction J2 is reverse biased.
- No current flow due to depletion region in J2 is reverse biased (except leakage current).
- As V_{AK} is further increased, at a voltage V_{BO} (Forward Break Over Voltage) the junction J2 undergoes avalanche breakdown and so a current flows and the device tends to turn ON (even when gate is open)

(a) फॉरवर्ड वोल्टेज ट्रिगरिंग:-

- ಈ ಕ್ರಮದಲ್ಲಿ, ಆನೋಡ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವೆ ಹೆಚ್ಚುವರಿ ಫॉरवर्ड वोल्टेज ಅನ್ನು ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ.
- ಕ್ಯಾಥೋಡ್ (ಎಕೆ) ಗೆ ಸಂಬಂಧಿಸಿದಂತೆ ಆನೋಡ್ ಟರ್ಮಿನಲ್ ಧನಾತ್ಮಕವಾಗಿದ್ದಾಗ, ಜಂಕ್ಷನ್ J1 ಮತ್ತು J3 ಫॉरवर्ड ಪಕ್ಷಪಾತ ಮತ್ತು ಜಂಕ್ಷನ್ J2 ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗಿದೆ.
- J2 ರಲ್ಲಿ ಕ್ಷೀಣಿಸುವ ಪ್ರದೇಶದಿಂದಾಗಿ ಯಾವುದೇ ಪ್ರವಾಹ ಹರಿವು ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗಿದೆ (ಸೋರಿಕೆ ಪ್ರವಾಹವನ್ನು ಹೊರತುಪಡಿಸಿ).

MODULE 5

- ವಿಎಕ್ ಮತ್ತಷ್ಟು ಹೆಚ್ಚಾದಂತೆ, ಒಂದು ವೋಲ್ಟೇಜ್ ವಿಬಿಒ (ಫಾರ್ವರ್ಡ್ ಬೈಸ್ ಓವರ್ ವೋಲ್ಟೇಜ್) ನಲ್ಲಿ ಜಂಕ್ಷನ್ J2 ಹಿಮಪಾತಕ್ಕೆ ಒಳಗಾಗುತ್ತದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಒಂದು ಪ್ರವಾಹವು ಹರಿಯುತ್ತದೆ ಮತ್ತು ಸಾಧನವು ಆನ್ (ಗೇಟ್ ತೆರೆದಿರುವಾಗಲೂ ಸಹ) ತಿರುಗುತ್ತದೆ.

(a) ಫಾರ್ವರ್ಡ್ ವೋಲ್ಟೇಜ್ ಟ್ರಿಗರಿಂಗ್:-

- ಯಾ ಮೊಡಮಧ್ಯೆ, ಏನೊಡ ಆಣಿ ಕೆಂಥೊಡ ದರಮ್ಯಾನ್ ಅತಿರಿಕ್ತ ಫಾರ್ವರ್ಡ್ ವೋಲ್ಟೇಜ್ ಲಾಗ್ ಕೆಲೆ ಜಾತೆ.
- ಏನೊಡ ಟರ್ಮಿನಲ್ ಕೆಂಥೊಡ (VAK) ಸಂದರ್ಭಾತ್ ಸಕಾರಾತ್ಮಕ ಆಹೆ, ತೆವ್ಹಾ ಜಂಕ್ಷನ್ J1 ಆಣಿ J3 ಪುಡೆ ಪಕ್ಷಪಾತಿ ಆಹೆ ಆಣಿ ಜಂಕ್ಷನ್
- J2 ಉಲಟ ಪಕ್ಷಪಾತಿ ಆಹೆ.ಮಧ್ಯೆ ಘಟ ಪ್ರದೇಶ ಮುಡೆ ಚಾಲ್ ಪ್ರವಾಹ ಉಲಟ ಪಕ್ಷಪಾತಿ ನಾಹಿ (ಲಿಕೇಜ್ ವರ್ತಮಾನ್ ವಗಡತಾ).
- VAK ಆಣಖಿ ವಾಡ್ ಜಾಲಿ ಆಹೆ ಮ್ಹಣ್ನ್, ಏಕ ವೋಲ್ಟೇಜ್ VBO (ಪುಡೀಲ್ ಬ್ರೇಕ್ ಪ್ರತಿ ವೋಲ್ಟೇಜ್) ಜಂಕ್ಷನ್ J2 ಹಿಮಸ್ಥಲನ್ ಮೊಡತೊಡ ಆಣಿ ತ್ಯಾಮುಡೆ ಏಕ ವರ್ತಮಾನ್ ಪ್ರವಾಹ ಜಾತೊ ಆಣಿ ಡಿವ್ಹಾಓಸ ಚಾಲ್ ಜುಕ್ತ (ಗೇಟ್ ಉಡಾ ಆಹೆ ತೆವ್ಹದೇಖಿಲ್)

Thermal (or) Temperature Triggering:-

- The width of depletion layer of SCR decreases with increase in junction temperature.
- Therefore in SCR when V_{AR} is very near its breakdown voltage, the device is triggered by increasing the junction temperature.
- By increasing the junction temperature the reverse biased junction collapses thus the device starts to conduct.

(ಬಿ) ಉಷ್ಣ (ಅಥವಾ) ತಾಪಮಾನ್ ಟ್ರಿಗ್ಗಿಂಗ್:-

- ಜಂಕ್ಷನ್ ತಾಪಮಾನ್ ಹೆಚ್ಚೊಂದಿಗ್ SCR ನ ಡ್ಲೀವಿಸುವ ಪದರದ ಅಗಲ ಕಡಿಮೆಯಾಗುತ್ತದೆ.
- ಆದ್ದರಿಂದ ಎಸ್ಸಿಆರ್‌ನಲ್ಲಿ ವಿಎಆರ್ ಅದರ ಬ್ರೇಕ್ಡೌನ್ ವೋಲ್ಟೇಜ್ ಹತ್ತಿರವಿರುವಾಗ, ಜಂಕ್ಷನ್ ತಾಪಮಾನವನ್ನು ಹೆಚ್ಚಿಸುವ ಮೂಲಕ ಸಾಧನವನ್ನು ಪ್ರಚೋದಿಸಲಾಗುತ್ತದೆ.

MODULE 5

- ಜಂಕ್ಷನ್ ತಾಪಮಾನ ಹೆಚ್ಚಿಸುವ ಮೂಲಕ ರಿವರ್ಸ್ ಪಕ್ಷಪಾತ ಜಂಕ್ಷನ್ ಕುಸಿಯುತ್ತದೆ ಹೀಗೆ ಸಾಧನ ನಡೆಸಲು ಆರಂಭವಾಗುತ್ತದೆ.

थर्मल (किंवा) तापमान ट्रिगर:-

- जंक्शन तापमानात वाढ झाल्याने एससीआरच्या घट थराची रुंदी कमी होते.
- त्यामुळे SCR मध्ये जेव्हा VAR त्याच्या ब्रेकडाउन व्होल्टेजच्या अगदी जवळ असते, तेव्हा जंक्शन तापमान वाढवून डिव्हाइसला ट्रिगर केले जाते.
- जंक्शन तापमान वाढवून उलट पक्षपाती जंक्शन कोसळते अशा प्रकारे साधन आचार सुरू होते.

(b) Radiation Triggering (or) Light Triggering:-

- For light triggered SCRs a special terminal niche is made inside the inner P layer instead of gate terminal.
- When light is allowed to strike this terminal, free charge carriers are generated.
- When intensity of light becomes more than a normal value, the thyristor starts conducting.
- This type of SCRs are called as LASCR

ಸಿ) ವಿಕಿರಣ ಟ್ರಿಗರಿಂಗ್ (ಅಥವಾ) ಲೈಟ್ ಟ್ರಿಗರಿಂಗ್:-

- ಲೈಟ್ ಟ್ರಿಗರಿಂಗ್ SCR ಗಳಿಗೆ ಗೇಟ್ ಟರ್ಮಿನಲ್ ಬದಲಿಗೆ ಆಂತರಿಕ P ಪದರದೊಳಗೆ ವಿಶೇಷ ಟರ್ಮಿನಲ್ ಗೂಡು ತಯಾರಿಸಲಾಗುತ್ತದೆ.
- ಈ ಟರ್ಮಿನಲ್ ಅನ್ನು ಹೊಡೆಯಲು ಬೆಳಕನ್ನು ಅನುಮತಿಸಿದಾಗ, ಉಚಿತ ಚಾರ್ಜ್ ವಾಹಕಗಳು ಉತ್ಪತ್ತಿಯಾಗುತ್ತವೆ.
- ಬೆಳಕಿನ ತೀವ್ರತೆಯು ಸಾಮಾನ್ಯ ಮೌಲ್ಯಕ್ಕಿಂತ ಹೆಚ್ಚಾದಾಗ, ಥೈರಿಸ್ಟರ್ ನಿರ್ವಹಿಸಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.
- ಈ ರೀತಿಯ SCR ಗಳನ್ನು LASCR ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

(बी) विकिरण ट्रिगरिंग (या) लाइट ट्रिगरिंग:-

- प्रकाश ट्रिगर एससीआर के लिए एक विशेष टर्मिनल आला गेट टर्मिनल के बजाय आंतरिक पी परत के अंदर बनाया गया है।
- जब प्रकाश को इस टर्मिनल पर प्रहार करने की अनुमति दी जाती है, तो मुफ्त प्रभार वाहक उत्पन्न होते हैं।

MODULE 5

- जब प्रकाश की तीव्रता एक सामान्य मूल्य से अधिक हो जाती है, तो थायरिस्टर का संचालन शुरू हो जाता है।
- इस प्रकार के एससीआर को एलएससीआर कहा जाता है

(c) dv/dt Triggering:-

- When the device is forward biased, J1 and J3 are forward biased, J2 is reverse biased.
- Junction J2 behaves as a capacitor, due to the charges existing across the junction.
- If voltage across the device is V , the charge by Q and capacitance by C then, $i_c = dQ/dt$
 $Q = CV$
 $i_c = d(CV)/dt$
 $= CdV/dt + VdC/dt$ as $dC/dt = 0$
 $i_c = CdV/dt$
- Therefore when the rate of change of voltage across the device becomes large, the device may turn ON, even if the voltage across the device is small.

ಡಿ डि / डि ट्रिगिंग:-

- ಸಾಧನವು ಫಾರ್ವರ್ಡ್ ಪಕ್ಷಪಾತವಾಗಿದ್ದಾಗ, J1 ಮತ್ತು J3 ಫಾರ್ವರ್ಡ್ ಪಕ್ಷಪಾತವಾಗಿದ್ದಾಗ, J2 ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗಿದೆ.
- ಜಂಕ್ಷನ್ J2 ಒಂದು ಕೆಪಾಸಿಟರ್ ವರ್ತಿಸುತ್ತದೆ, ಜಂಕ್ಷನ್ ಅಡ್ಡಲಾಗಿ ಅಸ್ತಿತ್ವದಲ್ಲಿರುವ ಆರೋಪಗಳನ್ನು ಕಾರಣ.
- ಸಾಧನದಾದ್ಯಂತ ವೋಲ್ಟೇಜ್ ವಿ ವೇಳೆ.ನಂತರ ಸಿ. ಯಿಂದ ಕೆಪಾಸಿಟೆನ್ಸ್ ಮತ್ತು ಜೆಡ್ ನಿಂದ ಚಾರ್ಜ್.

$$i_c = dQ/dt$$

$$Q = CV$$

$$i_c = d(CV)/dt$$

$$= CdV/dt + VdC/dt \text{ as } dC/dt = 0$$

$$i_c = CdV/dt$$

- ಆದ್ದರಿಂದ ಸಾಧನದ ಉದ್ದಕ್ಕೂ ವೋಲ್ಟೇಜ್ ಬದಲಾವಣೆಯ ದರವು ದೊಡ್ಡದಾಗುವಾಗ, ಸಾಧನದ ಉದ್ದಕ್ಕೂ ವೋಲ್ಟೇಜ್ ಚಿಕ್ಕದಾಗಿದ್ದರೂ, ಸಾಧನವು ಆನ್ ಆಗಬಹುದು.

MODULE 5

(ड) डीव्ही/डीटी ट्रिगरिंग:-

डिवाइस पुढे पक्षपाती आहे, तेव्हा J1 आणि J3 पुढे पक्षपाती आहेत, J2 उलट पक्षपाती आहे. जंक्शन J2 जंक्शन ओलांडून विद्यमान शुल्क झाल्यामुळे, एक कॅपॅसिटर म्हणून वागतो. साधन ओलांडून व्होल्टेज वही असेल तर, क्यू करून शुल्क आणि सी करून capacitance तेव्हा,

$$i_c = dQ/dt$$

$$Q = CV$$

$$i_c = d(CV)/dt$$

$$= CdV/dt + VdC/dt \text{ as } dC/dt = 0$$

$$i_c = CdV/dt$$

(d) Gate Triggering:-

- This is most widely used SCR triggering method.
- Applying a positive voltage between gate and cathode can Turn ON a forward biased thyristor.
- When a positive voltage is applied at the gate terminal, charge carriers are injected in the inner P- layer, thereby reducing the depletion layer thickness.
- As the applied voltage increases, the carrier injection increases, therefore the voltage at which forward break-over occurs decreases.

(e) गेट ट्रिगरिंग:

- ಇದು ಅತ್ಯಂತ ವ್ಯಾಪಕವಾಗಿ ಬಳಸಲಾಗುವ SCR ಟ್ರಿಗರಿಂಗ್ ವಿಧಾನವಾಗಿದೆ.
- ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವೆ ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸುವುದರಿಂದ ಮುಂದೆ ಪಕ್ಷಪಾತದ ಥೈರಿಸ್ಟರ್ ಅನ್ನು ಆನ್ ಮಾಡಬಹುದು.
- ಗೇಟ್ ಟರ್ಮಿನಲ್‌ನಲ್ಲಿ ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಿದಾಗ, ಚಾರ್ಜ್ ವಾಹಕಗಳನ್ನು ಒಳಗಿನ ಪಿ-ಪದರದಲ್ಲಿ ಚುಚ್ಚಲಾಗುತ್ತದೆ, ಇದರಿಂದಾಗಿ ಕ್ಷೀಣಿಸುವ ಪದರದ ದಪ್ಪವನ್ನು ಕಡಿಮೆ ಮಾಡುತ್ತದೆ.
- ಅನ್ವಯಿಕ ವೋಲ್ಟೇಜ್ ಹೆಚ್ಚಾದಂತೆ, ವಾಹಕ ಇಂಜಕ್ಷನ್ ಹೆಚ್ಚಾಗುತ್ತದೆ, ಆದ್ದರಿಂದ ಮುಂದಕ್ಕೆ ಒಡೆಯುವಿಕೆಯು ಸಂಭವಿಸುವ ವೋಲ್ಟೇಜ್ ಕಡಿಮೆಯಾಗುತ್ತದೆ.

(ई) गेट ट्रिगरिंग:-

- या सर्वात मोठ्या प्रमाणावर वापरले SCR ट्रिगर पद्धत आहे.

MODULE 5

- गेट टर्मिनलवर सकारात्मक व्होल्टेज लागू केले जाते, तेव्हा आतील पी- थरात चार्ज वाहक इंजेक्शन दिले जातात, ज्यामुळे घट स्तर जाडी कमी होते.
- लागू व्होल्टेज वाढते, वाहक इंजेक्शन वाढते, म्हणून ज्या व्होल्टेजवर फॉरवर्ड ब्रेक-ओव्हर होतो तो कमी होतो.

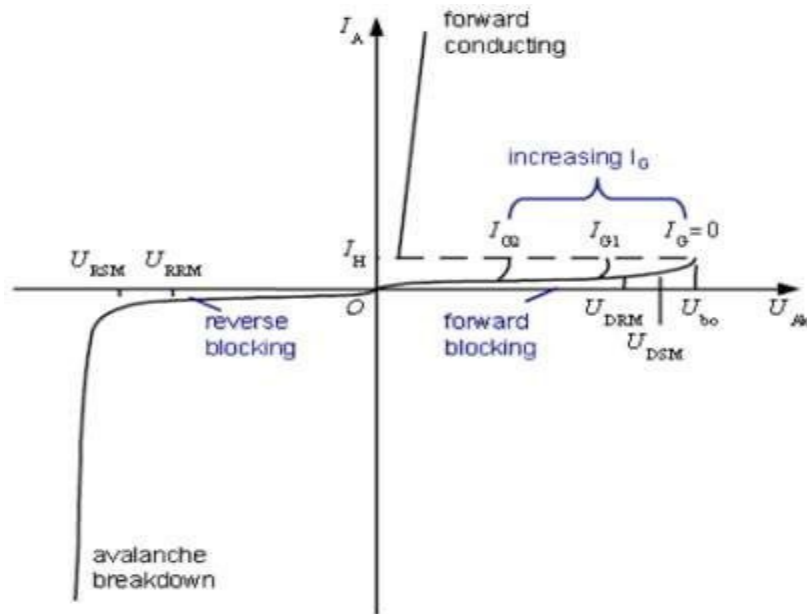


Figure: 5. 10. V - I characteristics of SCR

- Three types of signals are used for gate triggering.

1. DC gate triggering:-

- A DC voltage of proper polarity is applied between gate and cathode (Gate terminal is positive with respect to Cathode).
- When applied voltage is sufficient to produce the required gate Current, the device starts conducting.
- One drawback of this scheme is that both power and control circuits are DC and there is no isolation between the two.
- Another disadvantage is that a continuous DC signal has to be applied. So gate power loss is high.

MODULE 5

2. AC Gate Triggering:-

- Here AC source is used for gate signals.
- This scheme provides proper isolation between power and control circuit.
- Drawback of this scheme is that a separate transformer is required to step down ac supply.
- There are two methods of AC voltage triggering namely (i) R Triggering (ii) RC triggering

ಗೇಟ್ ಟ್ರಿಗ್ಗಿಂಗ್ ಮೂರು ರೀತಿಯ ಸಂಕೇತಗಳನ್ನು ಬಳಸಲಾಗುತ್ತದೆ.

1. ಡಿಸಿ ಗೇಟ್ ಪ್ರಚೋದಕ:-

- ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವೆ ಸರಿಯಾದ ಧ್ರುವೀಯತೆಯ ಒಂದು ಡಿಸಿ ವೋಲ್ಟೇಜ್ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ (ಗೇಟ್ ಟರ್ಮಿನಲ್ ಕ್ಯಾಥೋಡ್ ಸಂಬಂಧಿಸಿದಂತೆ ಧನಾತ್ಮಕವಾಗಿರುತ್ತದೆ).
- ಯಾವಾಗ ಅನ್ವಯಿಕ ವೋಲ್ಟೇಜ್ ಅಗತ್ಯ ಗೇಟ್ ಕರೆಂಟ್ ಉತ್ಪಾದಿಸಲು ಸಾಕಾಗುತ್ತದೆ, ಸಾಧನ ನಡೆಸುವುದು ಆರಂಭವಾಗುತ್ತದೆ.
- ಈ ಯೋಜನೆಯ ಒಂದು ನ್ಯೂನತೆಯೆಂದರೆ ವಿದ್ಯುತ್ ಮತ್ತು ನಿಯಂತ್ರಣ ಸರ್ಕ್ಯೂಟ್ ಎರಡೂ ಡಿಸಿ ಮತ್ತು ಇವೆರಡರ ನಡುವೆ ಪ್ರತ್ಯೇಕತೆ ಇಲ್ಲ.
- ಮತ್ತೊಂದು ಅನನುಕೂಲವೆಂದರೆ ನಿರಂತರ ಡಿಸಿ ಸಿಗ್ನಲ್ ಅನ್ವಯಿಸಬೇಕಾಗುತ್ತದೆ. ಆದ್ದರಿಂದ ಗೇಟ್ ವಿದ್ಯುತ್ ನಷ್ಟ ಹೆಚ್ಚು.

2. ಎಸಿ ಗೇಟ್ ಟ್ರಿಗರಿಂಗ್:-

- ಇಲ್ಲಿ ಗೇಟ್ ಸಿಗ್ನಲ್‌ಗಳಿಗೆ ಎಸಿ ಮೂಲವನ್ನು ಬಳಸಲಾಗುತ್ತದೆ.
- ಈ ಯೋಜನೆಯು ವಿದ್ಯುತ್ ಮತ್ತು ನಿಯಂತ್ರಣ ಸರ್ಕ್ಯೂಟ್ ನಡುವೆ ಸರಿಯಾದ ಪ್ರತ್ಯೇಕತೆ ಒದಗಿಸುತ್ತದೆ.
- ಈ ಯೋಜನೆಯ ನ್ಯೂನತೆಯೆಂದರೆ ಎಸಿ ಪೂರೈಕೆಯನ್ನು ಕೆಳಗಿಳಿಯಲು ಪ್ರತ್ಯೇಕ ಟ್ರಾನ್ಸ್‌ಫಾರ್ಮರ್ ಅಗತ್ಯವಿದೆ.
- ಎಸಿ ವೋಲ್ಟೇಜ್ ಟ್ರಿಗ್ಗರ್ ಮಾಡುವ ಎರಡು ವಿಧಾನಗಳಿವೆ: (i) ಆರ್ ಟ್ರಿಗ್ಗರ್ ಮಾಡುವಿಕೆ (ii) ಆರ್‌ಸಿ ಟ್ರಿಗ್ಗರ್ ಮಾಡುವಿಕೆ.
- ಗೇಟ್ ಟ್ರಿಗರಿಂಗ್‌ಗಾಗಿ ಒಂದು ಪ್ರಕಾರದ ಸಿಗ್ನಲ್ ವಾಪರಲೆ ಜಾತಾತ.

MODULE 5

1. डीसी गेट ट्रिगरिंग:-

- गेट आणि कॅथोड (गेट टर्मिनल कॅथोड संबंधात सकारात्मक आहे) दरम्यान योग्य ध्रुवता एक डीसी व्होल्टेज लागू आहे.
- लागू व्होल्टेज आवश्यक गेट करंट तयार करण्यासाठी पुरेसे आहे, तेव्हा साधन आयोजित सुरू होते.
- या योजनेचा एक दोष असा आहे की पॉवर आणि कंट्रोल सर्किट दोन्ही डीसी आहेत आणि दोघांमध्ये वेगळेपणा नाही. आणखी एक गैरसोय म्हणजे सतत डीसी सिग्नल लागू करावा लागतो. त्यामुळे गेट शक्ती नुकसान जास्त आहे.

2. एसी गेट ट्रिगरिंग:-

- येथे एसी स्रोत गेट सिग्नल वापरले जाते.
- ही योजना शक्ती आणि नियंत्रण सर्किट दरम्यान योग्य पृथक् प्रदान करते.
- या योजनेचा ओढा असा आहे की एसी पुरवठा बंद करण्यासाठी स्वतंत्र ट्रान्सफॉर्मर आवश्यक आहे.
- एसी व्होल्टेज ट्रिगरिंगच्या दोन पद्धती आहेत (i) आर ट्रिगरिंग (ii) आरसी ट्रिगरिंग

(i) Resistance triggering:

The following circuit shows the resistance triggering.

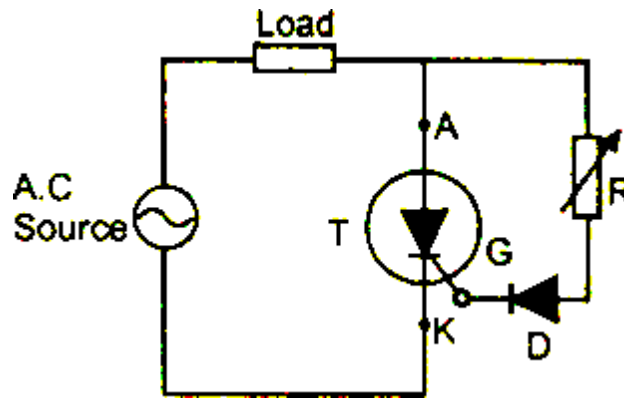


Figure: 5.11. Resistance triggering circuit of SCR

- In this method, the variable resistance R is used to control the gate current.
- Depending upon the value of R, when the magnitude of the gate current reaches the

MODULE 5

sufficient value(latching current of the device) the SCR starts to conduct.

- The diode D is called as blocking diode. It prevents the gate cathode junction from getting damaged in the negative half cycle.
- By considering that the gate circuit is purely resistive, the gate current is in phase with the applied voltage.
- By using this method we can achieve maximum firing angle up to 90° .

(i) ಪ್ರತಿಯೋಧ ಟ್ರಿಗ್ಗರ್:

- ಈ ವಿಧಾನದಲ್ಲಿ, ಗೇಟ್ ಪ್ರವಾಹವನ್ನು ನಿಯಂತ್ರಿಸಲು ವೇರಿಯಬಲ್ ಪ್ರತಿಯೋಧ ಆರ್ ಅನ್ನು ಬಳಸಲಾಗುತ್ತದೆ.
- Rನ ಮೌಲ್ಯವನ್ನು ಅವಲಂಬಿಸಿ, ಗೇಟ್ ಪ್ರವಾಹದ ಪ್ರಮಾಣವು ಸಾಕಷ್ಟು ಮೌಲ್ಯವನ್ನು ತಲುಪಿದಾಗ (ಸಾಧನದ ಪ್ರವಾಹವನ್ನು ಲ್ಯಾಚಿಂಗ್ ಮಾಡುವುದು) SCR ನಡೆಸಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.
- ಡಯೋಡ್ ಡಿ ಅನ್ನು ಬ್ಲಾಕ್ ಡಯೋಡ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. ಇದು ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದಲ್ಲಿ ಗೇಟ್ ಕ್ಯಾಥೋಡ್ ಜಂಕ್ಷನ್ ಹಾನಿಯಾಗದಂತೆ ತಡೆಯುತ್ತದೆ.
- ಗೇಟ್ ಸರ್ಕ್ಯೂಟ್ ಸಂಪೂರ್ಣವಾಗಿ ನಿರೋಧಕವಾಗಿದೆ ಎಂದು ಪರಿಗಣಿಸುವ ಮೂಲಕ, ಗೇಟ್ ಪ್ರವಾಹವು ಅನ್ವಯಿಕ ವೋಲ್ಟೇಜ್‌ನೊಂದಿಗೆ ಹಂತದಲ್ಲಿದೆ.
- ಈ ವಿಧಾನವನ್ನು ಬಳಸುವುದರಿಂದ ನಾವು 90° ವರೆಗೆ ಗರಿಷ್ಠ ಫೈರಿಂಗ್ ಕೋನವನ್ನು ಸಾಧಿಸಬಹುದು.

ii) ಪ್ರತಿರೋಧ ಟ್ರಿಗ್ಗರ್ ಮಾಡುವುದು:

- ಆರ್ ಚ್ಯಾ ಮೂಲ್ಯಾವರ ಅವಲಂಬನ, ಜೆವ್ಹಾ ಗೆಟ್ ಕರೆಂಟ್‌ನ ಪರಿಮಾಣ ಪುರೇಸೆ ಮೂಲ್ಯ (ಡಿವೈಡ್‌ಸೆ ವರ್ತಮಾನ) ಪರ್ಯಂತ ಪೊಹೊಚತೆ ತೆವ್ಹಾ ಎಸ್‌ಸಿ‌ಆರ್ ಚಾಲವಿನ್ಯಾಸ ಸುರುವಾತ ಕರತೆ.
- ಡಾಯೊಡ್ ಡಿಲಾ ಬ್ಲಾಕಿಂಗ್ ಡಾಯೊಡ್ ಅಸೆ ಮ್ಹಣತಾತ. ತೊ ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಸಾಯಕಲ ಮಧ್ಯೆ ಖರಾಬ ಹೋಣೆ ಪಾಸೂನ್ ಗೆಟ್ ಕೆಥೊಡ್ ಜಂಕ್ಷನ್ ಪ್ರತಿಬಂಧಿತ ಕರತೆ.
- ಗೆಟ್ ಸರ್ಕ್ಯೂಟ್ ಪೂರ್ಣಪಣಿ ಪ್ರತಿರೋಧಕ ಆಹೆ ಕಿ ವಿಚಾರ ಕರುನ್, ಗೆಟ್ ಚಾಲ್ ಲಾಗ್ ವ್ಹೋಲ್ಟೇಜ್ ಸಹ ಟಪ್ಪಿಯಾತ ಆಹೆ.
- ಹಿ ಪದ್ಧತ ವಾಪರುನ್ ಆಪಣ 90° ಪರ್ಯಂತ ಜಾಸ್ತೀತ ಜಾಸ್ತ ಗೊಡ್ಡಿಬಾರ್ ಕೊನ್ ಸಾಧ್ಯ ಕರು ಶಕತಾ.

MODULE 5

(ii) RC Triggering

The following circuit shows the resistance-capacitance triggering.

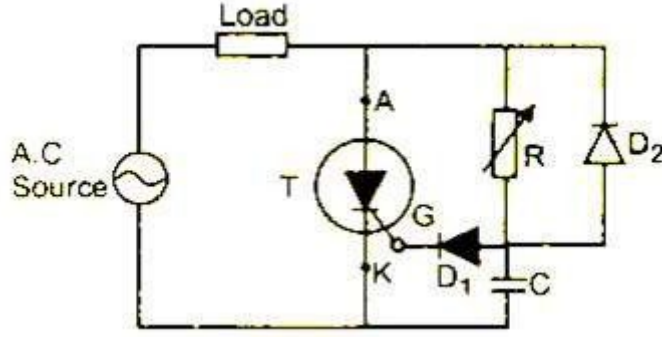


Figure: 5. 12. Resistance Capacitance triggering circuit of SCR

- By using this method we can achieve firing angle more than 90° .
- In the positive half cycle, the capacitor is charged through the variable resistance R up to the peak value of the applied voltage.
- The variable resistor R controls the charging time of the capacitor.
- Depends upon the voltage across the capacitor, when sufficient amount of gate current will flow in the circuit, the SCR starts to conduct.
- In the negative half cycle, the capacitor C is charged up to the negative peak value through the diode D2.
- Diode D1 is used to prevent the reverse break down of the gate cathode junction in the negative half cycle.

ii) ಆರ್ಸಿ ಟ್ರಿಗ್ಗರಿಂಗ್

- ಈ ವಿಧಾನವನ್ನು ಬಳಸುವುದರಿಂದ ನಾವು 90° ಕ್ಕಿಂತ ಹೆಚ್ಚು ಫೈರಿಂಗ್ ಕೋನವನ್ನು ಸಾಧಿಸಬಹುದು.
- ಧನಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದಲ್ಲಿ ಕೆಪಾಸಿಟರ್ ಅನ್ವಯಿಕ ವೋಲ್ಟೇಜ್ ಗರಿಷ್ಠ ಮೌಲ್ಯವನ್ನು ವರೆಗೆ ವೇರಿಯಬಲ್ ಪ್ರತಿರೋಧ ಆರ್ ಮೂಲಕ ವಿಧಿಸಲಾಗುತ್ತದೆ.
- ವೇರಿಯಬಲ್ ನಿರೋಧಕ ಆರ್ ಕೆಪಾಸಿಟರ್ ಚಾರ್ಜಿಂಗ್ ಸಮಯವನ್ನು ನಿಯಂತ್ರಿಸುತ್ತದೆ.
- ಕೆಪಾಸಿಟರ್‌ನಾದ್ಯಂತ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅವಲಂಬಿಸಿ, ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ ಸಾಕಷ್ಟು ಪ್ರಮಾಣದ ಗೇಟ್ ಪ್ರವಾಹವು ಹರಿಯುವಾಗ, SCR ನಡೆಸಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.
- ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದಲ್ಲಿ, ಕೆಪಾಸಿಟರ್ ಸಿ ಡಯೋಡ್ D2 ಮೂಲಕ ನಕಾರಾತ್ಮಕ ಗರಿಷ್ಠ ಮೌಲ್ಯವನ್ನು ವರೆಗೆ

MODULE 5

ವಿಧಿಸಲಾಗುತ್ತದೆ.

- ಡಯೋಡ್ D1 ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದಲ್ಲಿ ಗೇಟ್ ಕ್ಯಾಪೋಡ್ ಜಂಕ್ಷನ್ ರಿವರ್ಸ್ ಬೈಕ್ ಡೌನ್ ತಡೆಯಲು ಬಳಸಲಾಗುತ್ತದೆ.

(ii) ಆರ್‌ಸಿ ಟ್ರಿಗರಿಂಗ್

- ಇಸ ವಿಧಿ ಕಾ ಉಪಯೋಗ ಕರಕೆ ಹಮ 90deg ಸೆ ಅಧಿಕ ಫಾಯರಿಂಗ್ ಕೋಣ ಪ್ರಾಪ್ತ ಕರ ಸಕತೆ ಹೈ.
- ಸಕಾರಾತ್ಮಕ ಆಧಾ ಚಕ್ರ ಮೆಂ, ಸಂಧಾರಿತ್ರ ಲಾಗೂ ವೋಲ್ಟೇಜ್ ಕೆ ಶಿಖರ ಮೂಲ್ಯ ತಕ ಚರ ಪ್ರತಿರೋಧ ಆರ್ ಕೆ ಮಾಧ್ಯಮ ಸೆ ಚಾರ್ಜ್ ಕಿಯಾ ಜಾತಾಹೈ.
- ಚರ ಅವರೋಧಕ ಆರ್ ಸಂಧಾರಿತ್ರ ಕೆ ಚಾರ್ಜಿಂಗ್ ಸಮಯ ಕೊ ನಿಯಂತ್ರಿತ ಕರತಾ ಹೈ.
- ಸಂಧಾರಿತ್ರ ಭರ ಮೆಂ ವೋಲ್ಟೇಜ್ ಪರ ನಿರ್ಭರ ಕರತಾ ಹೈ, ಜಬ್ ಸರ್ಕ್ಯುಟ್ ಮೆಂ ಗೆಟ್ ವರ್ತಮಾನ ಕಿ ಪರ್ಯಾಪ್ತ ಮಾತ್ರಾ ಮೆಂ ಪ್ರವಾಹ ಹೋಗಾ, ಆರ್‌ಸಿಆರ್ ಕಾ ಸಂಚಾಲನ ಕರನ ಕೆ ಲೀಫ್ ಶುರು ಹೊತಾ ಹೈ.
- ನಕಾರಾತ್ಮಕ ಆಧಾ ಚಕ್ರ ಮೆಂ, ಸಂಧಾರಿತ್ರ ಸಿ ಡಾಯೊಡ್ D2 ಕೆ ಮಾಧ್ಯಮ ಸೆ ನಕಾರಾತ್ಮಕ ಶಿಖರ ಮೂಲ್ಯ ತಕ ಚಾರ್ಜ್ ಕಿಯಾ ಜಾತಾ ಹೈ.
- ಡಾಯೊಡ್ D1 ಕಾ ಉಪಯೋಗ ನಕಾರಾತ್ಮಕ ಆಧಾ ಚಕ್ರ ಮೆಂ ಗೆಟ್ ಕೆಥೊಡ್ ಜಂಕ್ಷನ್ ಕೆ ರಿವರ್ಸ್ ಬ್ರೇಕ್ ಕೊ ರೊಕನ ಕೆ ಲೀಫ್ ಕಿಯಾ ಜಾತಾ ಹೈ.

3. Pulse Gate Triggering:-

- In this method the gate drive consists of a single pulse appearing periodically (or) a sequence of high frequency pulses.
- This is known as carrier frequency gating.
- A pulse transformer is used for isolation.
- The main advantage is that there is no need of applying continuous signals, so the gate losses are reduced.

Advantages of pulse train triggering:

- Low gate dissipation at higher gate current.
- Small gate isolating pulse transformer
- Low dissipation in reverse biased condition is possible. So simple trigger circuits are possible in some cases
- When the first trigger pulse fails to trigger the SCR, the following pulses can succeed in

MODULE 5

latching SCR. This important while

- Triggering inductive circuits and circuits having back emf's.

3. ಪಲ್ಸ್ ಗೇಟ್ ಟ್ರಿಗರಿಂಗ್ :-

- ಈ ವಿಧಾನದಲ್ಲಿ ಗೇಟ್ ಡೈವ್ ನಿಯತಕಾಲಿಕವಾಗಿ ಕಾಣಿಸಿಕೊಳ್ಳುವ (ಅಥವಾ) ಒಂದೇ ನಾಡಿ ಒಳಗೊಂಡಿದೆ ಅಧಿಕ ಅವರ್ತನ ದ್ವಿಧಳ ಒಂದು ಅನುಕ್ರಮ.
- ಇದನ್ನು ಕ್ಯಾರಿಯರ್ ಫ್ರೀಕ್ವೆನ್ಸಿ ಗೇಟಿಂಗ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.
- ನಾಡಿ ಟ್ರಾನ್ಸ್‌ಮರ್ ಪ್ರತ್ಯೇಕತೆ ಬಳಸಲಾಗುತ್ತದೆ.
- ಮುಖ್ಯ ಅನುಕೂಲವೆಂದರೆ ನಿರಂತರ ಸಂಕೇತಗಳನ್ನು ಅನ್ವಯಿಸುವ ಅಗತ್ಯವಿಲ್ಲ, ಆದ್ದರಿಂದ ಗೇಟ್ ನಷ್ಟಗಳು ಕಡಿಮೆಯಾಗುತ್ತವೆ.

ಪಲ್ಸ್ ರೈಲು ಪ್ರಚೋದಕ ಅನುಕೂಲಗಳು:

- ಹೆಚ್ಚಿನ ಗೇಟ್ ಪ್ರವಾಹದಲ್ಲಿ ಕಡಿಮೆ ಗೇಟ್ ವಿಸರ್ಜನೆ.
- ಸಣ್ಣ ಗೇಟ್ ಪ್ರತ್ಯೇಕಿಸುವ ನಾಡಿ ಟ್ರಾನ್ಸ್‌ಮರ್ ರಿವರ್ಸ್ ಪಕ್ಷಪಾತ ಸ್ಥಿತಿಯಲ್ಲಿ ಕಡಿಮೆ ವಿಲೇವಾರಿ ಸಾಧ್ಯ.
- ಆದ್ದರಿಂದ ಸರಳ ಟ್ರಿಗ್ಗರ್ ಸರ್ಕ್ಯೂಟ್‌ಗಳು ಕೆಲವು ಸಂದರ್ಭಗಳಲ್ಲಿ ಸಾಧ್ಯವಿದೆ
- - ಮೊದಲ ಟ್ರಿಗ್ಗರ್ ನಾಡಿ SCR ಅನ್ನು ಪ್ರಚೋದಿಸಲು ವಿಫಲವಾದಾಗ, ಕೆಳಗಿನ ದ್ವಿಧಳ ಧಾನ್ಯಗಳು SCR ಅನ್ನು ಲ್ಯಾಚಿಂಗ್ ಮಾಡುವಲ್ಲಿ ಯಶಸ್ವಿಯಾಗಬಹುದು.
- ಬ್ಯಾಕ್ ಎಮ್‌ಎಫ್‌ಗಳನ್ನು ಹೊಂದಿರುವ ಪ್ರಚೋದಕ ಸರ್ಕ್ಯೂಟ್‌ಗಳು ಮತ್ತು ಸರ್ಕ್ಯೂಟ್‌ಗಳನ್ನು ಟ್ರಿಗ್ಗರ್ ಮಾಡುವಾಗ ಇದು ಮುಖ್ಯವಾಗಿದೆ.

Turn off methods of SCR:

SCR can be turned ON by applying appropriate positive gate voltage between the gate and cathode terminals, but it cannot be turned OFF through the gate terminal. The SCR can be brought back to the

forward blocking state from the forward conduction state by reducing the anode or forward current below the holding current level.

The turn OFF process of an SCR is called **commutation**. The term commutation means the transfer of currents from one path to another. So the commutation circuit does this job by reducing the forward current to zero so as to turn OFF the SCR or Thyristor.

MODULE 5

To turn OFF the conducting SCR the below conditions must be satisfied.

- The anode or forward current of SCR must be reduced to zero or below the level of holding current and then,
- A sufficient reverse voltage must be applied across the SCR to regain its forward blocking state.

When the SCR is turned OFF by reducing forward current to zero there exist excess charge carriers in different layers. To regain the forward blocking state of an SCR, these excess carriers must be recombined. Therefore, this recombination process is accelerated by applying a reverse voltage across the SCR.

SCR ನ ಟರ್ನ್ ಆಫ್ ವಿಧಾನಗಳು: ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ಟರ್ಮಿನಲ್‌ಗಳ ನಡುವೆ ಸೂಕ್ತವಾದ ಧನಾತ್ಮಕ ಗೇಟ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ SCR ಅನ್ನು ಆನ್ ಮಾಡಬಹುದು, ಆದರೆ ಅದನ್ನು ಗೇಟ್ ಟರ್ಮಿನಲ್ ಮೂಲಕ ಆಫ್ ಮಾಡಲು ಸಾಧ್ಯವಿಲ್ಲ.

ಹಿಡಿದಿಟ್ಟುಕೊಳ್ಳುವ ಪ್ರಸ್ತುತ ಮಟ್ಟಕ್ಕಿಂತ ಕೆಳಗೆ ಆನೋಡ್ ಅಥವಾ ಫಾರ್ವರ್ಡ್ ಪ್ರವಾಹವನ್ನು ಕಡಿಮೆ ಮಾಡುವ ಮೂಲಕ SCR ಅನ್ನು ಮುಂದಕ್ಕೆ ಸಾಗಿಸುವ ಸ್ಥಿತಿಯಿಂದ ಮುಂದಕ್ಕೆ ತಡೆಯುವ ಸ್ಥಿತಿಗೆ ಮರಳಿ ತರಬಹುದು. ಎಸ್ಸಿಆರ್ನ ಟರ್ನ್ ಆಫ್ ಪ್ರಕ್ರಿಯೆಯನ್ನು ಕಮ್ಯುಟೇಷನ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. ಸಂವಹನ ಪದವು ಒಂದು ಮಾರ್ಗದಿಂದ ಮತ್ತೊಂದಕ್ಕೆ ಪ್ರವಾಹಗಳ ವರ್ಗಾವಣೆ ಎಂದರ್ಥ.

ಆದ್ದರಿಂದ ಪರಿವರ್ತನೆ ಸರ್ಕ್ಯೂಟ್ ಫಾರ್ವರ್ಡ್ ಪ್ರವಾಹವನ್ನು ಶೂನ್ಯಕ್ಕೆ ಕಡಿಮೆ ಮಾಡುವ ಮೂಲಕ ಈ ಕೆಲಸವನ್ನು ಮಾಡುತ್ತದೆ,

ಇದರಿಂದಾಗಿ SCR ಅಥವಾ Thyristor ಅನ್ನು ಆಫ್ ಮಾಡಲು. ವಾಹಕ SCR ಆಫ್ ಮಾಡಲು ಕೆಳಗಿನ ಪರಿಸ್ಥಿತಿಗಳು ತೃಪ್ತಿ ಮಾಡಬೇಕು.

- SCR ನ ಆನೋಡ್ ಅಥವಾ ಫಾರ್ವರ್ಡ್ ಪ್ರವಾಹವನ್ನು ಶೂನ್ಯಕ್ಕೆ ಅಥವಾ ಹಿಡಿತದ ಮಟ್ಟಕ್ಕಿಂತ ಕಡಿಮೆಗೊಳಿಸಬೇಕು.
- ಅದರ ಮುಂದೆ ತಡೆಯುವ ಸ್ಥಿತಿಯನ್ನು ಮರಳಿ ಪಡೆಯಲು SCR ನಾಲ್ಕನೇ ಸಾಕಷ್ಟು ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಬೇಕು.

ಫಾರ್ವರ್ಡ್ ಪ್ರವಾಹವನ್ನು ಶೂನ್ಯಕ್ಕೆ ತಗ್ಗಿಸುವ ಮೂಲಕ SCR ಅನ್ನು ಆಫ್ ಮಾಡಿದಾಗ ವಿವಿಧ ಪದರಗಳಲ್ಲಿ

MODULE 5

ಹೆಚ್ಚುವರಿ ಚಾರ್ಜ್ ವಾಹಕಗಳು ಅಸ್ತಿತ್ವದಲ್ಲಿವೆ.ಒಂದು SCR ನ ಮುಂದಕ್ಕೆ ತಡೆಯುವ ಸ್ಥಿತಿಯನ್ನು ಮರಳಿ ಪಡೆಯಲು, ಈ ಹೆಚ್ಚುವರಿ ವಾಹಕಗಳನ್ನು ಮರುಜೋಡಣೆ ಮಾಡಬೇಕು.ಆದ್ದರಿಂದ, ಎಸ್ಸಿಆರ್‌ನಿಂದ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸುವ ಮೂಲಕ ಈ ಮರುಜೋಡಣೆ ಪ್ರಕ್ರಿಯೆಯನ್ನು ವೇಗಗೊಳಿಸಲಾಗುತ್ತದೆ.

एससीआर के तरीकों को बंद करें:

एससीआर को गेट और कैथोड टर्मिनलों के बीच उचित सकारात्मक गेट वोल्टेज लागू करके चालू किया जा सकता है, लेकिन इसे गेट टर्मिनल के माध्यम से बंद नहीं किया जा सकता है। एससीआर को वापस लाया जा सकता है

होल्टिंग वर्तमान स्तर से नीचे एनोड या फॉरवर्ड करंट को कम करके फॉरवर्ड चालन स्थिति से अवरुद्ध स्थिति को आगे बढ़ाएं।

एक एससीआर की टर्न ऑफ प्रक्रिया को कम्यूटेशन कहा जाता है। कम्यूटेशन शब्द का अर्थ है धाराओं का एक मार्ग से दूसरे मार्ग पर स्थानांतरण। तो कम्यूटेशन सर्किट इस काम को करता है फॉरवर्ड करंट को घटाकर शून्य कर देता है ताकि SCR या Thyristor को OFF किया जा सके।

संचालन एससीआर को बंद करने के लिए नीचे दी गई शर्तों को संतुष्ट किया जाना चाहिए।

- * एससीआर के एनोड या फॉरवर्ड करंट को शून्य या नीचे के स्तर से कम किया जाना चाहिए
- * अपने आगे अवरुद्ध राज्य को फिर से हासिल करने के लिए एससीआर में पर्याप्त रिवर्स वोल्टेज लागू किया जाना चाहिए।

जब एससीआर को आगे वर्तमान को शून्य तक कम करके बंद कर दिया जाता है तो विभिन्न परतों में अतिरिक्त चार्ज वाहक मौजूद होते हैं। एक एससीआर की आगे अवरुद्ध स्थिति को पुनः प्राप्त करने के लिए, इन अतिरिक्त वाहकों को फिर से संयोजित किया जाना चाहिए। इसलिए, एससीआर में एक रिवर्स वोल्टेज लागू करके इस पुनर्संयोजन प्रक्रिया को तेज किया जाता है।

SCR Turn OFF Methods

The reverse voltage which causes to commutate the SCR is called commutation voltage. Depending on the commutation voltage located, the commutation methods are classified into two major types.

MODULE 5

Those are 1) Forced commutation and 2) Natural commutation. Let us discuss in brief about these methods.

Forced Commutation

In case of DC circuits, there is no natural current zero to turn OFF the SCR. In such circuits, forward current must be forced to zero with an external circuit to commutate the SCR hence named as forced commutation.

This commutating circuit consists of components like inductors and capacitors called as commutating components. These commutating components cause to apply a reverse voltage across the SCR that immediately bring the current in the SCR to zero.

Based on the manner in which the zero current achieved and arrangement of the commutating components, forced commutation is classified into different types such as class A, B, C, D, and E. This commutation is mainly used in chopper and inverter circuits.

ಎಸ್ಸಿಆರ್ ಟರ್ನ್ ಆಫ್ ವಿಧಾನಗಳು:

ಎಸ್ಸಿಆರ್ ಅನ್ನು ಪರಿವರ್ತನೆ ಮಾಡಲು ಕಾರಣವಾಗುವ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಸಂವಹನ ವೋಲ್ಟೇಜ್ ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ.

ನೆಲೆಗೊಂಡಿರುವ ಪರಿವರ್ತನೆ ವೋಲ್ಟೇಜ್ ಅವಲಂಬಿಸಿ, ಪರಿವರ್ತನೆ ವಿಧಾನಗಳು ಎರಡು ಪ್ರಮುಖ ವಿಧಗಳಾಗಿ ವಿಂಗಡಿಸಲಾಗಿದೆ.

ಅವುಗಳೆಂದರೆ 1) ಬಲವಂತದ ಪರಿವರ್ತನೆ ಮತ್ತು 2) ನೈಸರ್ಗಿಕ ಪರಿವರ್ತನೆ.

ಈ ವಿಧಾನಗಳ ಬಗ್ಗೆ ಸಂಕ್ಷಿಪ್ತವಾಗಿ ಚರ್ಚಿಸೋಣ.

ಬಲವಂತದ ಪರಿವರ್ತನೆ

ಡಿಸಿ ಸರ್ಕ್ಯೂಟ್ ಸಂದರ್ಭದಲ್ಲಿ, ಎಸ್ಸಿಆರ್ ಅನ್ನು ಆಫ್ ಮಾಡಲು ನೈಸರ್ಗಿಕ ಪ್ರವಾಹ ಶೂನ್ಯವಿಲ್ಲ.

ಅಂತಹ ಸರ್ಕ್ಯೂಟ್‌ನಲ್ಲಿ, SCR ಅನ್ನು ಪರಿವರ್ತನೆ ಮಾಡಲು ಬಾಹ್ಯ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ಫಾರ್ವರ್ಡ್ ಪ್ರವಾಹವನ್ನು ಶೂನ್ಯಕ್ಕೆ ಒತ್ತಾಯಿಸಬೇಕು ಆದ್ದರಿಂದ ಬಲವಂತದ ಪರಿವರ್ತನೆ ಎಂದು ಹೆಸರಿಸಲಾಗಿದೆ.

ಈ ಸಂವಹನ ಸರ್ಕ್ಯೂಟ್ ಪ್ರಚೋದಕಗಳು ಮತ್ತು ಕೆಪಾಸಿಟರ್‌ಗಳಂತಹ ಘಟಕಗಳನ್ನು ಒಳಗೊಂಡಿದೆ, ಇದನ್ನು ಸಂವಹನ ಘಟಕಗಳು ಎಂದು ಕರೆಯಲಾಗುತ್ತದೆ. ಈ ಸಂವಹನ ಘಟಕಗಳು SCR ನಾಡ್ಯಂತ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಲು ಕಾರಣವಾಗುತ್ತವೆ, ಅದು ತಕ್ಷಣವೇ SCR ನಲ್ಲಿನ ಪ್ರವಾಹವನ್ನು ಶೂನ್ಯಕ್ಕೆ ತರುತ್ತದೆ.

ಶೂನ್ಯ ಪ್ರವಾಹವು ಸಾಧಿಸಿದ ವಿಧಾನ ಮತ್ತು ಸಂವಹನ ಘಟಕಗಳ ಜೋಡಣೆಯ ಆಧಾರದ ಮೇಲೆ, ಬಲವಂತದ ಪರಿವರ್ತನೆಯನ್ನು ಎ, ಬಿ, ಸಿ, ಡಿ, ಮತ್ತು ಇ ವರ್ಗಗಳಂತಹ ವಿವಿಧ ವಿಧಗಳಾಗಿ ವರ್ಗೀಕರಿಸಲಾಗಿದೆ. ಈ ಪರಿವರ್ತನೆ ಮುಖ್ಯವಾಗಿ ಚಾಪರ್ ಮತ್ತು ಇನ್ವರ್ಟರ್ ಸರ್ಕ್ಯೂಟ್ ಬಳಸಲಾಗುತ್ತದೆ.

एससीआर टर्न ऑफ मेथड्स

रिवर्स वोल्टेज जो एससीआर को कम्यूट करने का कारण बनता है उसे कम्यूटेशन वोल्टेज कहा जाता है। स्थित कम्यूटेशन वोल्टेज के आधार पर, कम्यूटेशन विधियों को दो प्रमुख प्रकारों में वर्गीकृत किया जाता है।

वे हैं 1) जबरन कम्यूटेशन और 2) प्राकृतिक कम्यूटेशन। आइए इन तरीकों के बारे में संक्षेप में चर्चा करें।

जबरन कम्यूटेशन

डीसी सर्किट के मामले में, एससीआर को बंद करने के लिए कोई प्राकृतिक वर्तमान शून्य नहीं है। इस तरह के सर्किट में, फॉरवर्ड करंट को एससीआर को कम्यूट करने के लिए बाहरी सर्किट के साथ शून्य करने के लिए मजबूर किया जाना चाहिए, इसलिए इसे मजबूर कम्यूटेशन के रूप में नामित किया गया है।

इस कम्यूटिंग सर्किट में इंडक्टर्स और कैपेसिटर्स जैसे घटक होते हैं जिन्हें कम्यूटिंग घटक कहा जाता है। ये कम्यूटिंग घटक एससीआर में एक रिवर्स वोल्टेज लागू करने का कारण बनते हैं जो तुरंत एससीआर में वर्तमान को शून्य पर लाते हैं।

जिस तरह से शून्य धारा प्राप्त की गई और कम्यूटिंग घटकों की व्यवस्था के आधार पर, मजबूर कम्यूटेशन को विभिन्न प्रकारों में वर्गीकृत किया जाता है जैसे कि कक्षा ए, बी, सी, डी और ई। यह रूपांतरण मुख्य रूप से हेलिकॉप्टर और इन्वर्टर सर्किट में उपयोग किया जाता है।

MODULE 5

Class A Commutation

This is also known as self commutation, or resonant commutation, or load commutation. In this commutation, the source of commutation voltage is in the load. This load must be an under damped R-L- C supplied with a DC supply so that natural zero is obtained.

The commutating components L and C are connected either parallel or series with the load resistance R as shown below with waveforms of SCR current, voltage and capacitor voltage.

ವರ್ಗ ಎ ಕಮ್ಯುಟೇಷನ್ -

ಇದನ್ನು ಸ್ವಯಂ ಕಮ್ಯುಟೇಷನ್, ಅಥವಾ ಪ್ರತಿಧ್ವನಿ ಪರಿವರ್ತನೆ, ಅಥವಾ ಲೋಡ್ ಕಮ್ಯುಟೇಷನ್ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ. ಈ ಪರಿವರ್ತನೆಯಲ್ಲಿ, ಪರಿವರ್ತನೆ ವೋಲ್ಟೇಜ್ ಮೂಲವು ಲೋಡ್ನಲ್ಲಿದೆ. ಈ ಲೋಡ್ ನೈಸರ್ಗಿಕ ಶೂನ್ಯವನ್ನು ಪಡೆಯಲು ಡಿಸಿ ಪೂರೈಕೆಯೊಂದಿಗೆ ಪೂರೈಸಲಾದ ಡ್ಯಾಂಪ್ಡ್ R-L-C ಅಡಿಯಲ್ಲಿರಬೇಕು.

ಸಂವಹನ ಘಟಕಗಳು L ಮತ್ತು C ಅನ್ನು ಸಮಾನಾಂತರವಾಗಿ ಅಥವಾ ಸರಣಿಯೊಂದಿಗೆ ಲೋಡ್ ಪ್ರತಿರೋಧ R ನೊಂದಿಗೆ ಕೆಳಗೆ ತೋರಿಸಿರುವಂತೆ SCR ಪ್ರವಾಹ, ವೋಲ್ಟೇಜ್ ಮತ್ತು ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ ತರಂಗರೂಪಗಳೊಂದಿಗೆ ಸಂಪರ್ಕಿಸಲಾಗಿದೆ.

ಚಿತ್ರ: 1. 16. ವರ್ಗ ಎ ಕಮ್ಯುಟೇಷನ್ ಸರ್ಕ್ಯೂಟ್ ಮತ್ತು ತರಂಗರೂಪಗಳು.

क्लास अ कम्प्युटेशन

याला सेल्फ कम्प्युटेशन, किंवा रेज़ोनंट कम्प्युटेशन, किंवा लोड कम्प्युटेशन असेही म्हणतात. या कम्प्युटेशनमध्ये कम्प्युटेशन व्होल्टेजचा स्रोत लोडमध्ये असतो. हा भार डीसी पुरवठ्यासह पुरविण्यात आलेला एक अवमंदित आर-एल-सी असणे आवश्यक आहे जेणेकरून नैसर्गिक शून्य प्राप्त होईल.

commuting घटक एल आणि सी SCR वर्तमान, व्होल्टेज आणि कॅपॅसिटर व्होल्टेज waveforms खाली दर्शविल्याप्रमाणे लोड प्रतिकार आर समांतर किंवा मालिका एकतर जोडलेले आहेत

MODULE 5

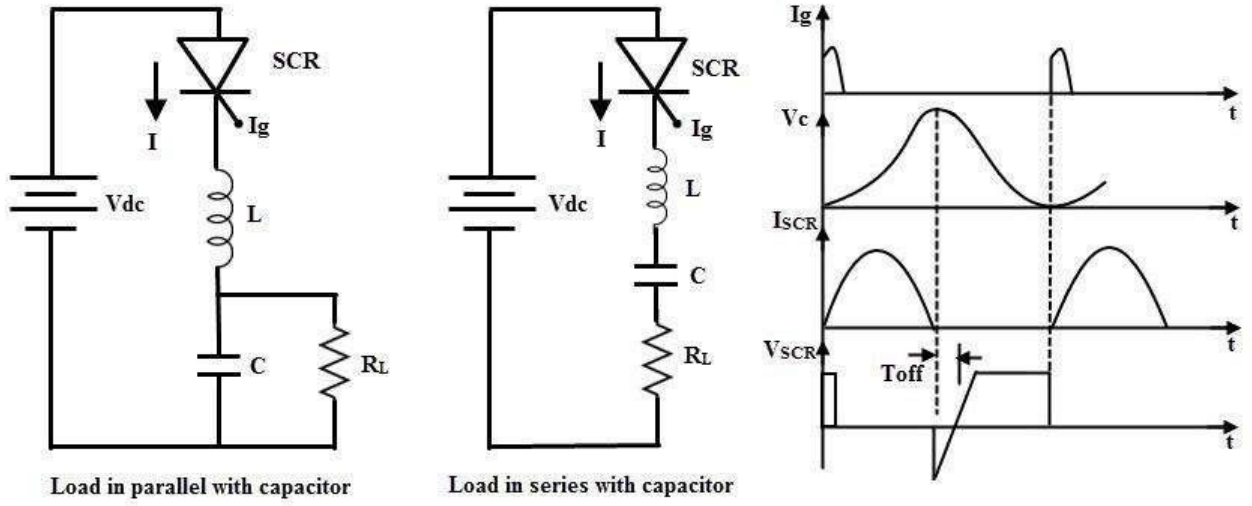


Figure: 5. 13. Class A Commutation circuit and waveforms

The value of load resistance and commutating components are so selected that they form an under damped resonant circuit to produce natural zero. When the thyristor or SCR is triggered, the forward current starts flowing through it and during this the capacitor is charged up to the value of E .

Once the capacitor is fully charged (more than the supply source voltage) the SCR becomes reverse biased and hence the commutation of the device. The capacitor discharges through the load resistance to make ready the circuit for the next cycle of operation. The time for switching OFF the SCR depends on the resonant frequency which further depends on the L and C components.

This method is simple and reliable. For high frequency operation which is in the range above 1000 Hz, this type of commutation circuit is preferred due to the high values of L and C components.

ಲೋಡ್ ಪ್ರತಿರೋಧ ಮತ್ತು ಸಂವಹನ ಘಟಕಗಳ ಮೌಲ್ಯವನ್ನು ಅವರು ನೈಸರ್ಗಿಕ ಶೂನ್ಯ ಉತ್ಪಾದಿಸಲು ಒಂದು ಅಂಡರ್ ಡ್ಯಾಂಪ್ಡ್ ಅನುರಣನ ಸರ್ಕ್ಯೂಟ್ ರೂಪಿಸುವ ಆದ್ದರಿಂದ ಆಯ್ಕೆಮಾಡಲಾಗಿದೆ. ಥೈರಿಸ್ಟರ್ ಅಥವಾ ಎಸ್ಸಿಆರ್ ಅನ್ನು ಪ್ರಚೋದಿಸಿದಾಗ ಮುಂದಕ್ಕೆ ಹರಿಯುವ ಪ್ರವಾಹಗಳು ಅದರ ಮೂಲಕ ಹರಿಯಲು ಪ್ರಾರಂಭಿಸುತ್ತವೆ ಮತ್ತು ಈ ಸಮಯದಲ್ಲಿ ಕೆಪಾಸಿಟರ್ ಅನ್ನು ಇ ಮೌಲ್ಯದವರೆಗೆ ವಿಧಿಸಲಾಗುತ್ತದೆ. ಕೆಪಾಸಿಟರ್ ಅನ್ನು ಸಂಪೂರ್ಣವಾಗಿ ಚಾರ್ಜ್ ಮಾಡಿದ ನಂತರ (ಸರಬರಾಜು ಮೂಲ ವೋಲ್ಟೇಜ್‌ಗಿಂತ ಹೆಚ್ಚು) ಎಸ್ಸಿಆರ್ ರಿವರ್ಸ್ ಪಕ್ಷಪಾತವಾಗುತ್ತದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಸಾಧನದ ಪರಿವರ್ತನೆ. ಕಾರ್ಯಾಚರಣೆಯ ಮುಂದಿನ ಚಕ್ರಕ್ಕೆ

MODULE 5

ಸರ್ಕ್ಯೂಟ್ ಸಿದ್ಧ ಮಾಡಲು ಲೋಡ್ ಪ್ರತಿಯೋಧ ಮೂಲಕ ಕೆಪಾಸಿಟರ್ ವಿಸರ್ಜನೆ.SCR ಅನ್ನು ಬದಲಾಯಿಸುವ ಸಮಯವು ಪ್ರತಿಧ್ವನಿತ ಆವರ್ತನವನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ, ಇದು ಮುಂದೆ L ಮತ್ತು C ಘಟಕಗಳನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ.

ಈ ವಿಧಾನವು ಸರಳ ಮತ್ತು ವಿಶ್ವಾಸಾರ್ಹ.ಹೆಚ್ಚಿನ ಆವರ್ತನ ಕಾರ್ಯಾಚರಣೆಗೆ ಇದು 1000 ಹರ್ಟ್ಸ್ ಮೇಲಿನ ವ್ಯಾಪ್ತಿಯಲ್ಲಿದೆ, ಈ ರೀತಿಯ ಪರಿವರ್ತನೆ ಸರ್ಕ್ಯೂಟ್‌ನು L ಮತ್ತು C ಘಟಕಗಳ ಹೆಚ್ಚಿನ ಮೌಲ್ಯಗಳ ಕಾರಣದಿಂದಾಗಿ ಆದ್ಯತೆ ನೀಡಲಾಗುತ್ತದೆ.

ಲೋಡ ಪ್ರತಿಕಾರ ಆಗಿ commuting ಘಟಕಾಂಶ ಮೂಲಕ ಇತರರ ನಿವೃತ್ತಿ ಜಾತೆ ಕೀ ತೆ ನೈಸರ್ಗಿಕ ಶೂನ್ಯ ತಯಾರ ಕರಣ್ಯಾಸಾಠಿ ಏಕ ಡಾಂಬರಯುಕ್ತ ರೆಝೊನಂಟ್ ಸರ್ಕ್ಯೂಟ್ ತಯಾರ ಕರತಾತ. ಜೆವ್ಹಾ ಥಾಯರ್‌ಔಟ್‌ಸ್ಟರ್ ಕಿಂವಾ ಏಸಸಿಆರ್ ಟ್ರಿಗರ್ ಹೊತೆ, ಫಾರ್ವರ್ಡ್ ಕರೆಂಟ್ಸ್ ತ್ಯಾಮಧೂನ್ ವಾಹಾಯಲಾ ಲಾಗತಾತ ಆಗಿ ಯಾದರಮ್ಯಾನ್ ಕೆಪೆಸಿಟರ್‌ವರ್ E ಚ್ಯಾ ವೆಹ್ಲೈಪರ್ಯತ ಚಾರ್ಜ್ ಕೆಲಾ ಜಾತೊ.

ಏಕದಾ ಕೆಪೆಸಿಟರ್ ಪೂರ್ಣಪಣೆ ಶುಲ್ಕ ಆಕಾರಲೆ ಜಾತೆ (ಪುರವಠಾ ಸ್ತೊತ ವೊಲ್ಟೇಜಪೆಕ್ಷಾ ಜಾಸ್ತ) ಏಸಸಿಆರ್ ಉಲಟ್ ಪಕ್ಷಪಾತೀ ಠರತೊ ಆಗಿ ಮ್ಹಣೂನಚ ಡಿವ್ಹಾಙ್‌ಸಚೆ ರೂಪಾಂತರಣ ಹೊತೆ. ಆಫರೆಶನ್‌ಚ್ಯಾ ಪುಡೀಲ ಚಕ್ರಾಸಾಠಿ ಸರ್ಕ್ಯೂಟ್ ತಯಾರ ಕರಣ್ಯಾಸಾಠಿ ಲೋಡ ಪ್ರತಿರೋಧಾದ್ವಾರೆ ಕೆಪೆಸಿಟರ್ ಡಿಸ್‌ಚಾರ್ಜ್ ಕರತೆ. SCR ಬಂದ್ ಸ್ವಿಚ್ ಕರಣ್ಯಾಸಾಠಿ ವೆಹ್ resonant ವಾರಂವಾರತಾ ಅವಲಂಬೂನ್ ಅಸತೆ ಜೆ ಪುಡೆ ಏಲ್ ಆಗಿ ಸಿಿ ಘಟಕ ಅವಲಂಬೂನ್ ಅಸತೆ.ಹಿ ಪದ್ಧತ ಸೊಪೆ ಆಗಿ ವಿಶ್ವಸನೀಯ ಆಹೆ. 1000 Hz ವರೀಲ್ ಶ್ರೇಣೀತ ಅಸಲೆಲ್ಯಾ ಉಚ್ಚ ವಾರಂವಾರತಾ ಆಫರೆಶನ್‌ಸಾಠಿ, ಏಲ್ ಆಗಿ ಸಿಿ ಘಟಕಾಂಶ್ಯಾ ಉಚ್ಚ ಮೂಲ್ಯಾಂಮುಡೆ ಯಾ ಪ್ರಕಾರಚ್ಯಾ ಕಮ್ಯುಟೇಶನ್ ಸರ್ಕ್ಯೂಟ್‌ಲಾ ಪ್ರಾಧಾನ್ಯ ದಿಲೆ ಜಾತೆ.

Natural Commutation

In natural commutation, the source of commutation voltage is the supply source itself. If the SCR is connected to an AC supply, at every end of the positive half cycle the anode current goes through the natural current zero and also immediately a reverse voltage is applied across the SCR. These are the conditions to turn OFF the SCR.

This method of commutation is also called as source commutation, or line commutation, or class F commutation. This commutation is possible with line commutated inverters, controlled rectifiers, cyclo converters and AC voltage regulators because the supply is the AC source in all these converters.

ನೈಸರ್ಗಿಕ ಪರಿವರ್ತನೆ

ನೈಸರ್ಗಿಕ ಪರಿವರ್ತನೆಯಲ್ಲಿ, ಪರಿವರ್ತನೆ ವೋಲ್ಟೇಜ್ ಮೂಲವು ಸರಬರಾಜು ಮೂಲವಾಗಿದೆ.SCR ಅನ್ನು AC

ಪೂರೈಕೆಗೆ ಸಂಪರ್ಕಿಸಿದರೆ, ಧನಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದ ಪ್ರತಿ ತುದಿಯಲ್ಲಿ ಆನೋಡ್ ಪ್ರವಾಹವು ನೈಸರ್ಗಿಕ ಪ್ರವಾಹ ಶೂನ್ಯದ ಮೂಲಕ ಹೋಗುತ್ತದೆ ಮತ್ತು ತಕ್ಷಣವೇ ರಿವರ್ಸ್ ವೋಲ್ಟೇಜ್ ಅನ್ನು SCR ನಾಡ್ಯಂತ ಅನ್ವಯಿಸಲಾಗುತ್ತದೆ. ಈ ಪರಿಸ್ಥಿತಿಗಳು SCR ಆಫ್ ಮಾಡಲು.

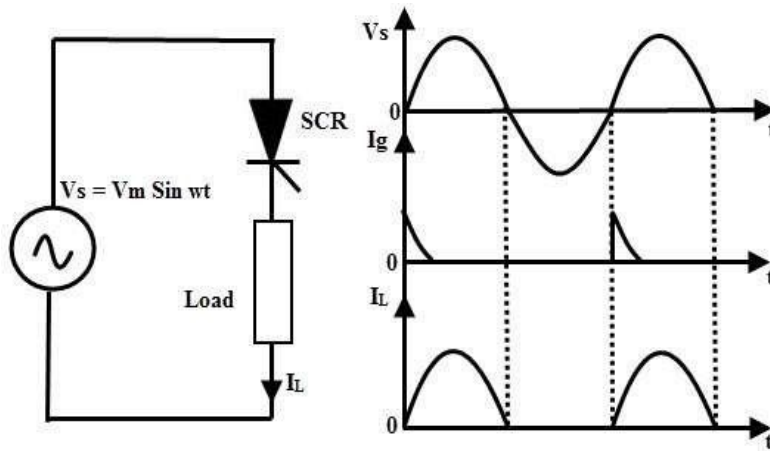
ಪರಿವರ್ತನೆಯ ಈ ವಿಧಾನವನ್ನು ಮೂಲ ಪರಿವರ್ತನೆ, ಅಥವಾ ಲೈನ್ ಪರಿವರ್ತನೆ, ಅಥವಾ ವರ್ಗ ಎಫ್ ಪರಿವರ್ತನೆ ಎಂದೂ ಕರೆಯಲಾಗುತ್ತದೆ.

ಈ ಪರಿವರ್ತನೆಯು ಲೈನ್ ಕಮ್ಯುಟೇಟೆಡ್ ಇನ್ವರ್ಟರ್‌ಗಳು, ನಿಯಂತ್ರಿತ ರೆಕ್ಟಿಫೈಯರ್‌ಗಳು, ಸೈಕ್ಲೋ ಪರಿವರ್ತಕಗಳು ಮತ್ತು ಎಸಿ ವೋಲ್ಟೇಜ್ ನಿಯಂತ್ರಕಗಳೊಂದಿಗೆ ಸಾಧ್ಯವಿದೆ ಏಕೆಂದರೆ ಸರಬರಾಜು ಈ ಎಲ್ಲಾ ಪರಿವರ್ತಕಗಳಲ್ಲಿ ಎಸಿ ಮೂಲವಾಗಿದೆ.

ನೈಸರ್ಗಿಕ ಕಮ್ಯುಟೇಶನ್

ನೈಸರ್ಗಿಕ ಕಮ್ಯುಟೇಶನ್‌ನಲ್ಲಿ ಕಮ್ಯುಟೇಶನ್ ವೋಲ್ಟೇಜ್‌ನ ಸ್ತೋತ ಹಾ ಪುರವಾ ಸ್ತೋತಚ ಅಸತಾ. ಜರ ಅಸಸಿಆರ ಅಕ ಆಸಿ ಪುರವಾಶಿ ಜಾಡಲಾ ಅಸಲ ತರ ಸಕಾರಾತ್ಮಕ ಅರ್ಧಾ ಚಕ್ರಾಚಾ ಪ್ರತ್ಯಾಕ ಟಾಕಾवर एनोड वर्तमान नैसर्गिक वर्तमान शून्यातून जातो आणि एससीआर ओलांडून लगेच एक उलट वोल्टेज देखील लागू केला जातो. या आहेत एससीआर बंद करण्याच्या अटी.

या पद्धतीचे रूपांतर स्रोत रूपांतरण, किंवा ओळ रूपांतरण, किंवा वर्ग एफ रूपांतरण म्हणूनही म्हटले जाते. हे रूपांतरण लाइन कम्प्यूटेड इनव्हर्टर, नियंत्रित रेक्टिफायर, सायक्लो कन्व्हर्टर आणि एससी



व्होल्टेज रेग्युलेटरसह शक्य आहे कारण या सर्व कन्व्हर्टरमध्ये पुरवठा एससी स्रोत आहे.

Figure: 5. 14. Natural Commutation circuit and waveforms

MODULE 5

Resistance Firing Circuit

- The circuit below shows the resistance triggering of SCR where it is employed to drive the load from the input AC supply. Resistance and diode combination circuit acts as a gate control circuitry to switch the SCR in the desired condition.
- As the positive voltage applied, the SCR is forward biased and doesn't conduct until its gate current is more than minimum gate current of the SCR.
- When the gate current is applied by varying the resistance R2 such that the gate current should be more than the minimum value of gate current, the SCR is turned ON. And hence the load current starts flowing through the SCR.
- The SCR remains ON until the anode current is equal to the holding current of the SCR. And it will switch OFF when the voltage applied is zero. So the load current is zero as the SCR acts as open switch.
- The diode protects the gate drive circuit from reverse gate voltage during the negative half cycle of the input. And Resistance R1 limits the current flowing through the gate terminal and its value is such that the gate current should not exceed the maximum gate current.
- It is the simplest and economical type of triggering but limited for few applications due to its disadvantages.
- In this, the triggering angle is limited to 90 degrees only. Because the applied voltage is maximum at 90 degrees so the gate current has to reach minimum gate current value somewhere between zero to 90 degrees.

ರೆಸಿಸ್ಟೆನ್ಸ್ ಫೈರಿಂಗ್ ಸರ್ಕ್ಯೂಟ್

- ಕೆಳಗಿನ ಸರ್ಕ್ಯೂಟ್ SCR ನ ಪ್ರತಿರೋಧವನ್ನು ಪ್ರಚೋದಿಸುವುದನ್ನು ತೋರಿಸುತ್ತದೆ, ಅಲ್ಲಿ ಇನ್ಪುಟ್ ಎಸಿ ಪೂರೈಕೆಯಿಂದ ಲೋಡ್ ಅನ್ನು ಓಡಿಸಲು ಅದನ್ನು ನಿಯಂತ್ರಿಸಲಾಗಿದೆ. ಪ್ರತಿರೋಧ ಮತ್ತು ಡಯೋಡ್ ಸಂಯೋಜನೆ ಸರ್ಕ್ಯೂಟ್ ಬಯಸಿದ ಸ್ಥಿತಿಯಲ್ಲಿ SCR ಬದಲಾಯಿಸಲು ಗೇಟ್ ನಿಯಂತ್ರಣ ಸರ್ಕ್ಯೂಟ್ ಕಾರ್ಯನಿರ್ವಹಿಸುತ್ತದೆ.
- ಧನಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ವಯಿಸಿದಂತೆ, SCR ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತದಿಂದ ಕೂಡಿರುತ್ತದೆ ಮತ್ತು ಅದರ ಗೇಟ್ ಪ್ರವಾಹವು SCR ನ ಕನಿಷ್ಠ ಗೇಟ್ ಪ್ರವಾಹಕ್ಕಿಂತ ಹೆಚ್ಚಾಗುವವರೆಗೆ ನಡೆಸುವುದಿಲ್ಲ.
- R2 ಪ್ರತಿರೋಧವನ್ನು ಬದಲಿಸುವ ಮೂಲಕ ಗೇಟ್ ಪ್ರವಾಹವನ್ನು ಅನ್ವಯಿಸಿದಾಗ ಗೇಟ್ ಪ್ರವಾಹವು ಗೇಟ್ ಪ್ರವಾಹದ ಕನಿಷ್ಠ ಮೌಲ್ಯಕ್ಕಿಂತ ಹೆಚ್ಚಾಗಿರಬೇಕು, SCR ಅನ್ನು ಆನ್ ಮಾಡಲಾಗುತ್ತದೆ. ಆದ್ದರಿಂದ ಲೋಡ್ ಪ್ರವಾಹವು SCR ಮೂಲಕ ಹರಿಯಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ.
- ಆನೋಡ್ ಪ್ರವಾಹವು SCR ನ ಹಿಡಿದಿಟ್ಟುಕೊಳ್ಳುವ ಪ್ರವಾಹಕ್ಕೆ ಸಮನಾಗುವವರೆಗೆ SCR ಆನ್ ಆಗಿಯೇ

MODULE 5

ಇರುತ್ತದೆ. ಮತ್ತು ಅನ್ವಯಿಸಲಾದ ವೋಲ್ಟೇಜ್ ಶೂನ್ಯವಾಗಿದ್ದಾಗ ಅದು ಸ್ವಿಚ್ ಆಫ್ ಆಗುತ್ತದೆ. ಆದ್ದರಿಂದ SCR ತೆರೆದ ಸ್ವಿಚ್ ಆಗಿ ಕಾರ್ಯನಿರ್ವಹಿಸುವುದರಿಂದ ಲೋಡ್ ಪ್ರವಾಹವು ಶೂನ್ಯವಾಗಿರುತ್ತದೆ.

- ಇನ್ಪುಟ್ ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದ ಸಮಯದಲ್ಲಿ ಗೇಟ್ ಡೈವ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ರಿವರ್ಸ್ ಗೇಟ್ ವೋಲ್ಟೇಜ್‌ನಿಂದ ಡಯೋಡ್ ರಕ್ಷಿಸುತ್ತದೆ. ಮತ್ತು ಪ್ರತಿರೋಧ R1 ಗೇಟ್ ಟರ್ಮಿನಲ್ ಮೂಲಕ ಹರಿಯುವ ಪ್ರವಾಹವನ್ನು ಮಿತಿಗೊಳಿಸುತ್ತದೆ ಮತ್ತು ಅದರ ಮೌಲ್ಯವು ಗೇಟ್ ಪ್ರವಾಹವು ಗರಿಷ್ಠ ಗೇಟ್ ಪ್ರವಾಹವನ್ನು ಮೀರಬಾರದು ಎಂದು ಅಂತಹದಾಗಿದೆ.
- ಇದು ಸರಳ ಮತ್ತು ಆರ್ಥಿಕ ವಿಧದ ಪ್ರಚೋದಕವಾಗಿದೆ ಆದರೆ ಅದರ ಅನಾನುಕೂಲತೆಗಳಿಂದಾಗಿ ಕೆಲವೇ ಅನ್ವಯಗಳಿಗೆ ಸೀಮಿತವಾಗಿದೆ.
- ಇದರಲ್ಲಿ, ಪ್ರಚೋದಕ ಕೋನವು 90 ಡಿಗ್ರಿಗಳಿಗೆ ಮಾತ್ರ ಸೀಮಿತವಾಗಿರುತ್ತದೆ. ಏಕೆಂದರೆ ಅನ್ವಯಿಕ ವೋಲ್ಟೇಜ್ 90 ಡಿಗ್ರಿಗಳಲ್ಲಿ ಗರಿಷ್ಠವಾಗಿರುತ್ತದೆ ಆದ್ದರಿಂದ ಗೇಟ್ ಪ್ರವಾಹವು ಶೂನ್ಯದಿಂದ 90 ಡಿಗ್ರಿಗಳ ನಡುವೆ ಎಲ್ಲೋ ಕನಿಷ್ಠ ಗೇಟ್ ಪ್ರವಾಹ ಮೌಲ್ಯವನ್ನು ತಲುಪಬೇಕು.

• ಪ್ರತಿಕಾರ ಗೊಳಿಬಾರ ಸರ್ಕ್ಯೂಟ್

- ಖಾಲಿ ಸರ್ಕ್ಯೂಟ್ ತೋ ಇನ್ಪುಟ್ ಆದರೆ ಪುರವಾಹ ಪಾಸ್‌ನ ಲೋಡ್ ಚಾಲನೆಯನ್ನು ಕಾರ್ಯರತ ಆಗಿ ಜೇಠೆ SCR ಪ್ರತಿಕಾರ ಟ್ರಿಗರ್ ದಾಖವತೆ. ಪ್ರತಿಕಾರ ಆಗಿ diode ಸಂಯೋಜನ ಸರ್ಕ್ಯೂಟ್ ಇಚ್ಛಿತ ಸ್ಥಿತಿಯಲ್ಲಿ SCR ಸ್ವಿಚ್ ಕರಣ್ಯಾಸಾಠಿ ಏಕ ಗೆಟ್ ನಿಯಂತ್ರಣ ಸರ್ಕ್ಯೂಟರಿ ಮ್ಹಣ್ಣು ಕಾರ್ಯ ಕರತೆ.
- ಸಕಾರಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಲಾಗ್ ಮ್ಹಣ್ಣು, SCR ಪುಡೆ ಪಕ್ಷಪಾತಿಯಿ ಆಗಿ ಆಗಿ ತ್ಯಾಚ್ಯಾ ಗೆಟ್ ಪರ್ಯಂತ ಆಯೋಜಿತ ನಾಹಿ ಸಠ್ಯಾ ಆಸಸಿಆರ್‌ಚ್ಯಾ ಕಿಮಾನ್ ಗೆಟ್ ಕರೆಂಟ್‌ಪೆಕ್ಷಾ ಜಾಸ್ತ ಆಗಿ.
- ಗೆಟ್ ವರ್ತಮಾನ್ ಪ್ರತಿಕಾರ R2 ಆಶಾ ಗೆಟ್ ವರ್ತಮಾನ್ ಗೆಟ್ ವರ್ತಮಾನ್ ಕಿಮಾನ್ ಮೂಲ್ಯ ಪೆಕ್ಷಾ ಅಧಿಕ ಅಸಾವೆ ಬದಲೂನ್ ಲಾಗ್ ಕೆಲೆ ಜಾತೆ ತೆವ್ಹಾ, SCR ಚಾಲ್ ಆಗಿ. ಆಗಿ ಮ್ಹಣ್ಣು ಲೋಡ್ ಚಾಲ್ SCR ಮಾಧ್ಯಮಾತ್ಮನ್ ವಾಹತೆ ಸುರು ಹೊತೆ.
- ಜೊಪರ್ಯಂತ ಆನೊಡ್ ಕರೆಂಟ್ ಆಸಸಿಆರ್‌ಚ್ಯಾ ಹೊಲ್ಡಿಂಗ್ ಕರೆಂಟ್‌ಚ್ಯಾ ಬರೊಬರ್ ನಾಹಿ ತೊಪರ್ಯಂತ ಆಸಸಿಆರ್ ಚಾಲ್ ರಾಹತೆ. ಆಗಿ ತೆ ಲಾಗ್ ವೋಲ್ಟೇಜ್ ಶೂನ್ಯ ಆಗಿ ತೆವ್ಹಾ ಬಂದ್ ಸ್ವಿಚ್ ಹೊಡ್ಲ. ತ್ಯಾಮುಡೆ ಲೋಡ್ ಚಾಲ್ ಶೂನ್ಯ ಆಗಿ ಕಾರಣ SCR ಉಘಡಾ ಸ್ವಿಚ್ ಮ್ಹಣ್ಣು ಕಾರ್ಯ ಕರತೆ.
- ಡಯೊಡ್ ಇನ್ಪುಟ್ ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರ ದರಮ್ಯಾನ್ ಉಲಟಾ ಗೆಟ್ ಅನಿಯಮಿತ ಪಾಸ್‌ನ ಗೆಟ್ ಡ್ರಾಡ್ವ್ಹ ಸರ್ಕ್ಯೂಟ್ ಸಂರಕ್ಷಣ ಕರತೆ. ಆಗಿ ಪ್ರತಿಕಾರ R1 ಗೆಟ್ ಟರ್ಮಿನಲ್ ಮಾಧ್ಯಮಾತ್ಮನ್ ವಾಹತೆ ಪ್ರವಾಹ ಮರ್ಯಾದಿತ ಕರತೆ ಆಗಿ ತ್ಯಾಚೆ ಮೂಲ್ಯ ಆಶಾ ಆಗಿ ಕಿ ಗೆಟ್ ಚಾಲ್ ಜಾಸ್ತಿಯಲ್ಲಿ ಜಾಸ್ತ ಗೆಟ್ ಚಾಲ್ ಪೆಕ್ಷಾ ಜಾಸ್ತ ನಸಾವಿ.
- ಹೆ ಟ್ರಿಗರ್‌ರಿಂಗ್‌ಚಾ ಸರ್ವಾತ ಸೊಪಾ ಆಗಿ ಕಿಫಾಯತಶೀರ್ ಪ್ರಕಾರ ಆಗಿ ಪರಂತು ತ್ಯಾಚ್ಯಾ ಗೈರಸೊರ್ಯೊಮುಡೆ ಕಾಹಿ

MODULE 5

अनुप्रयोगांसाठी मर्यादित आहे.

- यामध्ये, ट्रिगरिंग कोन केवळ 90 अंशांपर्यंत मर्यादित आहे. कारण लागू व्होल्टेज जास्तीत जास्त 90 अंश आहे म्हणून गेट चालू शून्य ते 90 अंश दरम्यान कुठेतरी किमान गेट चालू मूल्य पोहोचण्याचा आहे.

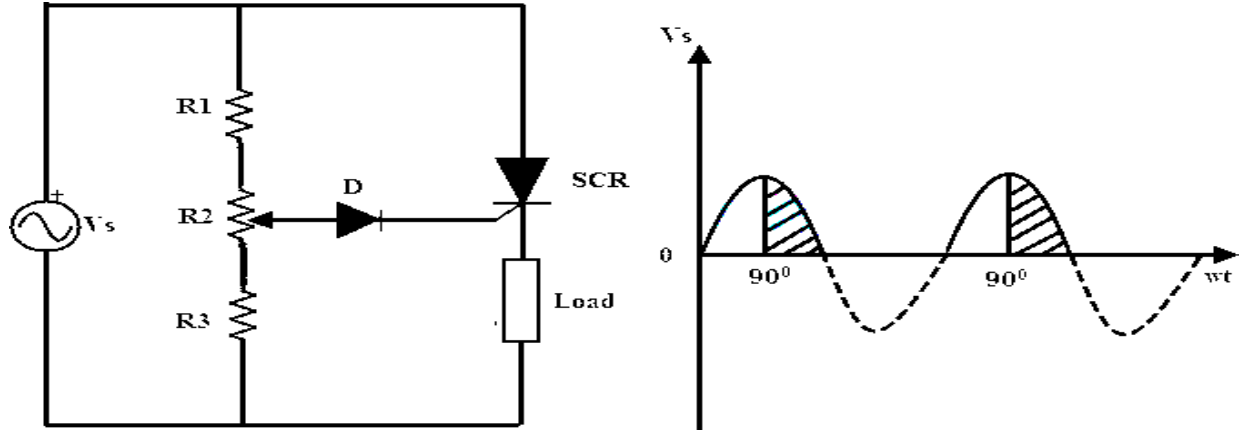


Figure: 5. 15. R Firing circuit for SCR and corresponding waveforms

Resistance – Capacitance (RC) Firing Circuit

- The limitation of resistance firing circuit can be overcome by the RC triggering circuit which provides the firing angle control from 0 to 180 degrees. By changing the phase and amplitude of the gate current, a large variation of firing angle is obtained using this circuit.
- Below figure shows the RC triggering circuit consisting of two diodes with an RC network connected to turn the SCR.
- By varying the variable resistance, triggering or firing angle is controlled in a full positive half cycle of the input signal.
- During the negative half cycle of the input signal, capacitor charges with lower plate positive through diode D2 up to the maximum supply voltage V_{max} . This voltage remains at $-V_{max}$ across the capacitor till supply voltage attains zero crossing.
- During the positive half cycle of the input, the SCR becomes forward biased and the capacitor starts charging through variable resistance to the triggering voltage value of the SCR.
- When the capacitor charging voltage is equal to the gate trigger voltage, SCR is turned ON and the capacitor holds a small voltage. Therefore the capacitor voltage is helpful for triggering the SCR even after 90 degrees of the input waveform.
- In this, diode D1 prevents the negative voltage between the gate and cathode during the negative half cycle of the input through diode D2.

MODULE 5

ಪ್ರತಿರೋಧ - ಕೆಪಾಸಿಟೆ (ಆರ್‌ಸಿ) ಫೈರಿಂಗ್ ಸರ್ಕ್ಯೂಟ್.

- ಪ್ರತಿರೋಧ ಫೈರಿಂಗ್ ಸರ್ಕ್ಯೂಟ್ ಮಿತಿಯನ್ನು ಆರ್‌ಸಿ ಪ್ರಚೋದಕ ಸರ್ಕ್ಯೂಟ್‌ನಿಂದ ಜಯಿಸಬಹುದು ಇದು ಫೈರಿಂಗ್ ಕೋನ ನಿಯಂತ್ರಣವನ್ನು 0 ರಿಂದ 180 ಡಿಗ್ರಿಗಳಷ್ಟು ಒದಗಿಸುತ್ತದೆ. ಗೇಟ್ ಪ್ರವಾಹದ ಹಂತ ಮತ್ತು ವೈಶಾಲ್ಯವನ್ನು ಬದಲಾಯಿಸುವ ಮೂಲಕ, ಈ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ಬಳಸಿಕೊಂಡು ಫೈರಿಂಗ್ ಕೋನದ ದೊಡ್ಡ ವ್ಯತ್ಯಾಸವನ್ನು ಪಡೆಯಲಾಗುತ್ತದೆ.
- ಫಿಗರ್ ಕೆಳಗೆ SCR ಅನ್ನು ತಿರುಗಿಸಲು ಜೋಡಿಸಲಾದ ಆರ್‌ಸಿ ನೆಟ್‌ವರ್ಕ್‌ನಿಂದಿಗೆ ಎರಡು ಡಯೋಡ್‌ಗಳನ್ನು ಒಳಗೊಂಡಿರುವ ಆರ್‌ಸಿ ಪ್ರಚೋದಕ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ತೋರಿಸುತ್ತದೆ.
- ವೇರಿಯಬಲ್ ಪ್ರತಿರೋಧವನ್ನು ಬದಲಿಸುವ ಮೂಲಕ, ಇನ್ಪುಟ್ ಸಂಕೇತದ ಪೂರ್ಣ ಧನಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದಲ್ಲಿ ಪ್ರಚೋದಿಸುವ ಅಥವಾ ಫೈರಿಂಗ್ ಕೋನವನ್ನು ನಿಯಂತ್ರಿಸಲಾಗುತ್ತದೆ.
- ಇನ್ಪುಟ್ ಸಿಗ್ನಲ್ ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದ ಸಮಯದಲ್ಲಿ, ಡಯೋಡ್ D2 ಮೂಲಕ ಧನಾತ್ಮಕ ಕಡಿಮೆ ಪ್ಲೇಟ್ ಹೊಂದಿರುವ ಕೆಪಾಸಿಟರ್ ಶುಲ್ಕಗಳು ಗರಿಷ್ಠ ಪೂರೈಕೆ ವೋಲ್ಟೇಜ್ ವಿಮ್ಯಾಕ್ಸ್ ವರೆಗೆ. ಪೂರೈಕೆ ವೋಲ್ಟೇಜ್ ಶೂನ್ಯ ದಾಟುವಿಕೆಯನ್ನು ತಲುಪುವವರೆಗೆ ಈ ವೋಲ್ಟೇಜ್ ಕೆಪಾಸಿಟರ್ ಉದ್ದಕ್ಕೂ -ವಿವಕ್ಷೆ ಲ್ಲಿ ಇರುತ್ತದೆ.
- ಇನ್ಪುಟ್ ಧನಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದ ಸಮಯದಲ್ಲಿ, SCR ಮುಂದಕ್ಕೆ ಪಕ್ಷಪಾತಿಯಾಗುತ್ತದೆ ಮತ್ತು ಕೆಪಾಸಿಟರ್ SCR ನ ಪ್ರಚೋದಕ ವೋಲ್ಟೇಜ್ ಮೌಲ್ಯಕ್ಕೆ ವೇರಿಯಬಲ್ ಪ್ರತಿರೋಧದ ಮೂಲಕ ಚಾರ್ಜ್ ಮಾಡಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ. ಕೆಪಾಸಿಟರ್ ಚಾರ್ಜಿಂಗ್ ವೋಲ್ಟೇಜ್ ಗೇಟ್ ಟ್ರಿಗರ್ ವೋಲ್ಟೇಜ್ ಸಮನಾಗಿದ್ದಾಗ, SCR ಅನ್ನು ಆನ್ ಮಾಡಲಾಗುತ್ತದೆ ಮತ್ತು ಕೆಪಾಸಿಟರ್ ಸಣ್ಣ ವೋಲ್ಟೇಜ್ ಅನ್ನು ಹಿಡಿದಿಟ್ಟುಕೊಳ್ಳುತ್ತದೆ. ಆದ್ದರಿಂದ ಇನ್ಪುಟ್ ತರಂಗರೂಪದ 90 ಡಿಗ್ರಿಗಳ ನಂತರವೂ ಎಸ್ಸಿಆರ್ ಅನ್ನು ಪ್ರಚೋದಿಸಲು ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ ಸಹಾಯಕವಾಗಿದೆ.
- ಇದರಲ್ಲಿ, ಡಯೋಡ್ D1 ಡಯೋಡ್ D2 ಮೂಲಕ ಇನ್ಪುಟ್ ನಕಾರಾತ್ಮಕ ಅರ್ಧ ಚಕ್ರದ ಸಮಯದಲ್ಲಿ ಗೇಟ್ ಮತ್ತು ಕ್ಯಾಥೋಡ್ ನಡುವಿನ ನಕಾರಾತ್ಮಕ ವೋಲ್ಟೇಜ್ ಅನ್ನು ತಡೆಯುತ್ತದೆ.

ಪ್ರತಿಕಾರ - capacitance (ಆರ್‌ಸಿ) ಗೋಡಿಬಾರ್ ಸರ್ಕ್ಯೂಟ್

- ಪ್ರತಿಕಾರ ಗೋಡಿಬಾರ್ ಸರ್ಕ್ಯೂಟ್ ಮರ್ಯಾದಾ 0 180 ಅಂಶ ಪಾಸ್‌ನ ಗೋಡಿಬಾರ್ ಕೋನ ನಿಯಂತ್ರಣ ಪುರವತೆ ಜೆ ಆರ್‌ಸಿ ಟ್ರಿಗರ್ ಸರ್ಕ್ಯೂಟ್ ಮಾತ್ರ ಕೆಲವು ಜಾತು ಶಕ್ತೆ. ಯಾ ಮಾರ್ಗಾವರೂನ ಮಾರ್ಗಕ್ರಮಣ ಕರ್ಣಾನ್ಯಾ ವಾಹನಾನ್ಯಾ ಸಂಖ್ಯೆತ ಮೊಠ್ಯಾ ಪ್ರಮಾಣಾತ ವಾಡ ಹೊತ ಅಸತೆ, ತ್ಯಾಮುಡೆ ಯಾ ಮಾರ್ಗಾವರ ವಾಹನೆ ಚಾಲವಿನ್ಯಾಚೆ ಪ್ರಮಾಣ ಕಮಿ ಹೊತೆ.
- ಖಾಲಿ ಆಕೃತಿ ಆರ್‌ಸಿಆರ್ ಚಾಲ್ ಕರ್ಣ್ಯಾಸಾಠಿ ಕನೆಕ್ಟ್ ಆರ್‌ಸಿ. ನೆಟ್‌ವರ್ಕ್ ಡೌನ್ diodes ಸಮಾವೇಶ

MODULE 5

आर.सी. ट्रिगर सर्किट दाखवते.

- बदलानुकारी प्रतिकार करून, ट्रिगर किंवा गोळीबार कोन इनपुट सिग्नल पूर्ण सकारात्मक अर्धा चक्र नियंत्रित आहे.
- इनपुट सिग्नल नकारात्मक अर्धा चक्र दरम्यान, कमी प्लेट सह कॅपेसिटर शुल्क जास्तीत जास्त पुरवठा व्होल्टेज V_{max} पर्यंत diode D2 माध्यमातून सकारात्मक. पुरवठा व्होल्टेज शून्य क्रॉसिंग प्राप्त होईपर्यंत हे व्होल्टेज कॅपेसिटर ओलांडून $-V_{max}$ वर राहते.
- इनपुट सकारात्मक अर्धा चक्र दरम्यान, SCR पुढे पक्षपाती होते आणि कॅपेसिटर SCR च्या ट्रिगर व्होल्टेज मूल्य चल प्रतिकार माध्यमातून चार्ज सुरू होते.
- जेव्हा कॅपेसिटर चार्जिंग व्होल्टेज गेट ट्रिगर व्होल्टेजच्या समान असते, तेव्हा एससीआर चालू केले जाते आणि कॅपेसिटर एक लहान व्होल्टेज ठेवते. त्यामुळे कॅपेसिटर व्होल्टेज इनपुट तरंगाच्या 90 अंशानंतरही एससीआर ट्रिगर करण्यासाठी उपयुक्त आहे.
- या, diode D1 diode D2 माध्यमातून इनपुट नकारात्मक अर्धा चक्र दरम्यान गेट आणि कॅथोड दरम्यान नकारात्मक अनियमित प्रतिबंधित करते.

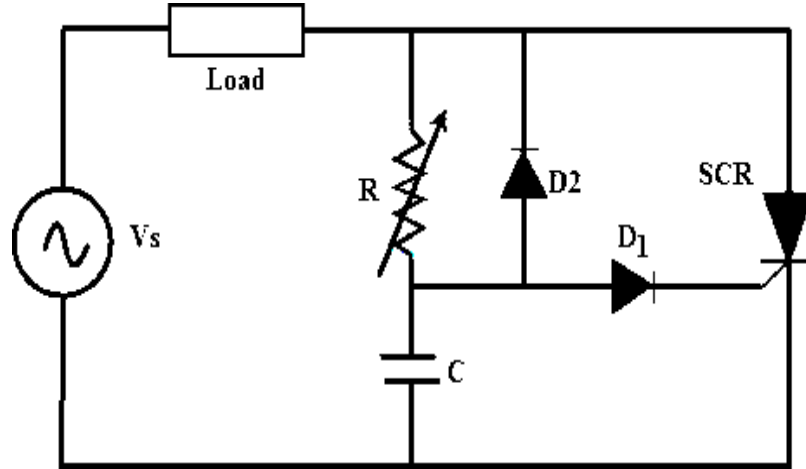


Figure: 5. 16. R Firing circuit for SCR

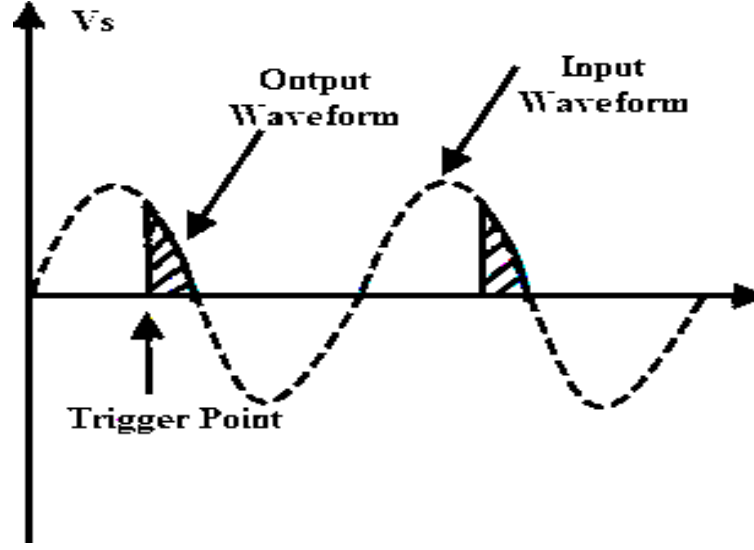


Figure: 5. 17. R Firing circuit waveforms of SCR

UJT Firing Circuit

- It is the most common method of triggering the SCR because the prolonged pulses at the gate using R and RC triggering methods cause more power dissipation at the gate so by using UJT (Uni Junction Transistor) as triggering device the power loss is limited as it produce a train of pulses.
- The RC network is connected to the emitter terminal of the UJT which forms the timing circuit. The capacitor is fixed while the resistance is variable and hence the charging rate of the capacitor depends on the variable resistance means that the controlling of the RC time constant.
- When the voltage is applied, the capacitor starts charging through the variable resistance. By varying the resistance value voltage across the capacitor get varied. Once the capacitor voltage is equal to the peak value of the UJT, it starts conducting and hence produce a pulse output till the voltage across the capacitor equal to the valley voltage V_v of the UJT. This process repeats and produces a train of pulses at base terminal 1.
- The pulse output at the base terminal 1 is used to turn ON the SCR at predetermined time intervals

ಫೈರಿಂಗ್ ಸರ್ಕ್ಯೂಟ್

- ಇದು ಎಸ್ಸಿಆರ್ ಅನ್ನು ಪ್ರಚೋದಿಸುವ ಅತ್ಯಂತ ಸಾಮಾನ್ಯ ವಿಧಾನವಾಗಿದೆ ಏಕೆಂದರೆ ಆರ್ ಮತ್ತು ಆರ್ಸಿ ಅನ್ನು ಪ್ರಚೋದಿಸುವ ವಿಧಾನಗಳನ್ನು ಬಳಸಿಕೊಂಡು ಗೇಟ್‌ನಲ್ಲಿ ದೀರ್ಘವಾದ ದ್ವಿಧರ್ಮ ಧಾನ್ಯಗಳು ಗೇಟ್‌ನಲ್ಲಿ ಹೆಚ್ಚಿನ ವಿದ್ಯುತ್ ವಿಘಟನೆಗೆ ಕಾರಣವಾಗುತ್ತವೆ ಆದ್ದರಿಂದ ಯುಜಿಟಿ (ಯುನಿ ಜಂಕ್ಷನ್ ಟ್ರಾನ್ಸಿಸ್ಟರ್) ಅನ್ನು ಪ್ರಚೋದಿಸುವ

ಸಾಧನವಾಗಿ ಬಳಸುವ ಮೂಲಕ ದ್ವಿಧಳ ಧಾನ್ಯಗಳ ರೈಲು ಉತ್ಪಾದಿಸುವುದರಿಂದ ವಿದ್ಯುತ್ ನಷ್ಟವು ಸೀಮಿತವಾಗಿರುತ್ತದೆ.

- ಆರ್ಥಿಕ ಜಾಲವು ಟೈಮಿಂಗ್ ಸರ್ಕ್ಯೂಟ್ ಅನ್ನು ರೂಪಿಸುವ ಯುಜೆಟಿಯ ಹೊರಸೂಸುವ ಟರ್ಮಿನಲ್ ಸಂಪರ್ಕ ಹೊಂದಿದೆ.

ಪ್ರತಿರೋಧವು ವೇರಿಯೇಬಲ್ ಆಗಿರುವಾಗ ಕೆಪಾಸಿಟರ್ ಅನ್ನು ಸ್ಥಿರಗೊಳಿಸಲಾಗುತ್ತದೆ ಮತ್ತು ಅದರಿಂದ

ಕೆಪಾಸಿಟರ್ನ್ ಚಾರ್ಜಿಂಗ್ ದರವು ವೇರಿಯಬಲ್ ಪ್ರತಿಯೋಧವನ್ನು ಅವಲಂಬಿಸಿರುತ್ತದೆ ಅಂದರೆ ಆರ್ಸಿಎಸ್ ಸಮಯದ

ಸ್ಥಿರತೆಯ ನಿಯಂತ್ರಣ.

- ವೋಲ್ಟೇಜ್ ಅನ್ನು ಅನ್ವಯಿಸಿದಾಗ, ಕೆಪಾಸಿಟರ್ ವೇರಿಯಬಲ್ ಪ್ರತಿರೋಧದ ಮೂಲಕ ಚಾರ್ಜ್ ಮಾಡಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ. ಕೆಪಾಸಿಟರ್ ಅಡಲಾಗಿ ಪ್ರತಿರೋಧ ಮೌಲ್ಯ ವೋಲ್ಟೇಜ್ ವಿವಿಧ ಪಡೆಯುವ ಮೂಲಕ.

ಒಮ್ಮೆ ಕೆಪಾಸಿಟರ್ ವೋಲ್ಟೇಜ್ ಯು. ಜೆ. ಟಿ. ಯ ಗರಿಷ್ಠ ಮೌಲ್ಯಕ್ಕೆ ಸಮನಾಗಿರುತ್ತದೆ, ಅದು ನಿರ್ವಹಿಸಲು ಪ್ರಾರಂಭಿಸುತ್ತದೆ ಮತ್ತು ಆದ್ದರಿಂದ ಯು.ಈ ಪ್ರಕ್ರಿಯೆಯು ಪುನರಾವರ್ತಿಸುತ್ತದೆ ಮತ್ತು ಬೇಸ್ ಟರ್ಮಿನಲ್ 1 ರಲ್ಲಿ ದ್ವಿಧಳ ಧಾನ್ಯಗಳ ರೈಲು ಉತ್ಪಾದಿಸುತ್ತದೆ.

- ಬೇಸ್ ಟರ್ಮಿನಲ್ 1 ರಲ್ಲಿನ ನಾಡಿ ಔಟ್ಪುಟ್ ಅನ್ನು ಪೂರ್ವನಿರ್ಧಾರಿತ ಸಮಯದ ಮಧ್ಯಂತರಗಳಲ್ಲಿ ಎಸ್ಸಿಆರ್ ಅನ್ನು ಆನ್ ಮಾಡಲು ಬಳಸಲಾಗುತ್ತದೆ.

यूजेटी फायरिंग सर्किट

- हे एससीआर ट्रिगर करण्याची सर्वात सामान्य पद्धत आहे कारण आर आणि आरसी ट्रिगर करण्याच्या पद्धतींचा वापर करून गेटवर दीर्घकाळापर्यंत डाळीमुळे गेटवर अधिक वीज अपव्यय होतो म्हणून यूजेटी (यूनी जंक्शन ट्रांजिस्टर) ट्रिगरिंग डिव्हाइसचा वापर करून डाळीची ट्रेन तयार होते म्हणून वीज तोटा मर्यादित आहे.
- आरसी नेटवर्क यूजेटीच्या उत्सर्जक टर्मिनलशी जोडलेले आहे जे टाइमिंग सर्किट तयार करते. प्रतिकार चल असताना कॅपॅसिटर निश्चित केले जाते आणि म्हणूनच कॅपॅसिटरचा चार्जिंग दर परिवर्तनीय प्रतिकारावर अवलंबून असतो याचा अर्थ आरसी वेळ स्थिर नियंत्रित करणे.
- व्होल्टेज लागू केले जाते, तेव्हा कॅपॅसिटर चल प्रतिकार माध्यमातून चार्ज सुरू होते. विविध करून कॅपॅसिटर ओलांडून प्रतिकार मूल्य व्होल्टेज विविध करा. एकदा कॅपॅसिटर व्होल्टेज यूजेटीच्या

MODULE 5

शिखर मूल्याच्या समान आहे, तो आयोजित करणे सुरु करतो आणि म्हणून यूजेटीच्या व्होल्टेज व्हीव्हीच्या समान कॅपॅसिटरच्या ओलांडून व्होल्टेज होईपर्यंत पल्स आउटपुट तयार करतो. ही प्रक्रिया पुनरावृत्ती आणि बेस टर्मिनल 1 येथे कडधान्ये एक गाडी निर्माण करतो.

- बेस टर्मिनल 1 येथे नाडी उत्पादन पूर्वनिश्चित वेळ अंतराने SCR चालू करण्यासाठी वापरले जाते

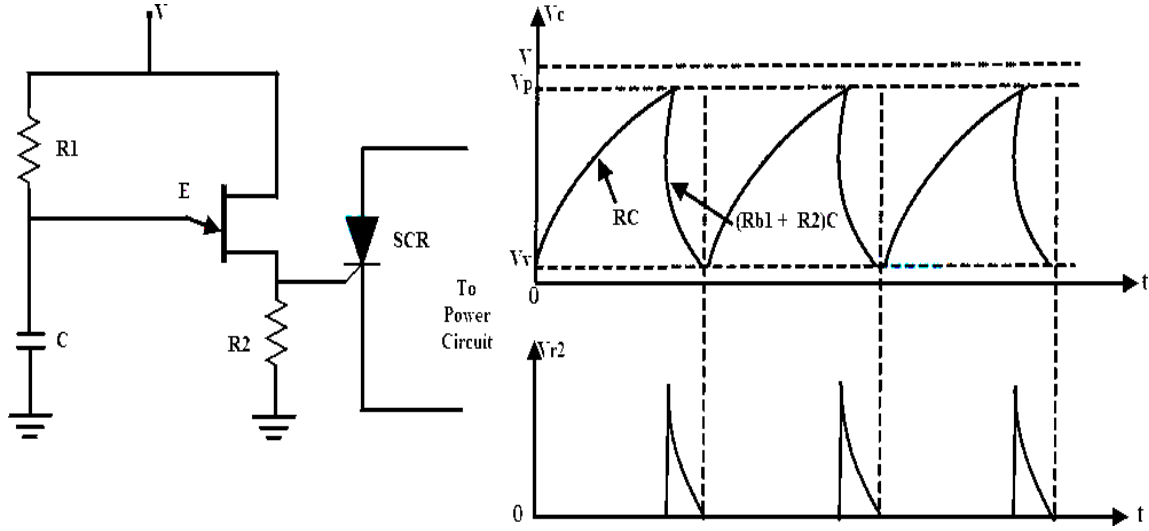


Figure: 5.18. UJT Firing circuit for SCR and corresponding waveforms

AUTHOR PROFILE:



*Mr. Mani C. graduated from PESCE, Mandya in the year 2004 from Department of Electronics and Communication Engineering, post graduate with specialization in Power Electronics in the year 2007 from BMSCE, Bengaluru is currently working as Assistant Professor in the Department of Electronics and Communication Engineering since 2011 in **Maratha Mandal Engineering College, Belagavi**. He has 15 years of teaching experience teaching subjects like analog electronic circuits, Linear IC's, Analog Communication, Digital Communication and also guided many UG and PG Projects. His research interests are in the field of power electronics and Artificial intelligence. He is a research scholar pursuing Ph.d from KLE Technological University, Hubballi.*



*Smt. Sandhya Bevoor graduated from G.I.T, Belagavi in the year 2000 from Department of Electronics and Communication Engineering, post graduate with specialization in Digital Electronics in the year 2003 from **Bhoomraddi College of Engineering, Hubballi**, is currently working as Assistant Professor in the Department of Electronics and Communication Engineering since 2005 in **Maratha Mandal Engineering College, Belagavi**. She has 20 years of teaching experience teaching subjects related to Analog Electronics and communication principles. Her research interests are in the field of Engineering Electromagnetics, Microwave devices and Antennas and also guided many UG and PG Projects. Her research interests are in the field of electromagnetics and Microwave devices and Antennas.*